四通打字机部件与芯片资料

MS－2400／2401／2402／2403／2401H／2406／1300



四通集团OA技术服务中心

四通打字机是四通公司的重要产品之一，市场占有率在80%以上。

四通OA技术服务中心的宗旨是以优质高效的服务为广大四通机用户解除后顾之忧。为使四通机的用户在遇有机器故障时能及时解决问题，特编辑本书。

本书共三册：《四通打字机原理与维修》、《四通打字机部件与芯片资料》、《四通打字机电原理图》。包括详细的基本技术资料、改进的技术资料、应用软件介绍、故障判断方法和维修经验、诊断方法、版本介绍、电路原理及功能介绍、附加部件的方法及设置、电原理图、部件和芯片资料等。

四通公司是集技、工、贸、金融、服务五位一体的高科技企业，服务是其中重要的一环。本中心在每种新机型推出后都定期举办维修学习班，使全国104家维修中心，近千家维修站能尽快掌握维修技术。本书对以前各种机型的各次学习做了全面归纳，以此向广大四通的朋友，热心四通事业的维修技术人员致谢。

四通OA技术服务中心
地址：北京中关村南一街4号
信箱：北京中关村2748
邮编：100080
电话：(01)2546668
传真：(01)2568618

四通打字机部件与芯片资料

MS-2400/2401/2402/2403/2401H/2406/1300

孙武峰　王岩　文健　兰杨东　王凯编

孙武峰 主编

四通集团OA技术服务中心

一九九二年十月

参与本书编写的主要人员：杨辛巍　孙武峰　王　岩
文　健　兰扬东　王　凯
吴志强　蒋耀坤　金　可
陈志宏　汤树清　周芝光
郑里明　赵培光　陈红雨

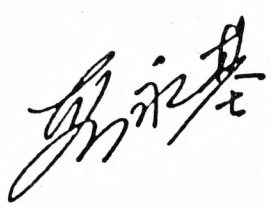
鸣谢：北京四通办公设备有限公司
深圳索泰克电子有限公司

序

四通为什么能在疲软的市场环境中长期保持高速增长？ 或者说，在激烈的市场竞争中，四通比别人略高一筹的原因是什么？当然首先是我们的产品。再有是我们及我们许多忠诚的卓越的伙伴们的市场开拓能力。然而，更重要的是服务。

过去人们认为，服务是售后的一种支持，是“后勤”一类的工作，这是常识性错误。我们认为：销售的灵魂就是服务。在高技术领域只有优质的服务，才能保证好的产品长久地为用户所认可，才能保有和不断扩大市场份额。高技术产品的竞争，在七十年代，是市场开拓能力的竞争；在八十年代，是新产品开发能力的竞争；在九十年代，则成为服务能力的竞争。谁能提供最佳的服务，谁就能拥有最多的用户和最大的市场。

四通公司十分注意按照经济规律和国际惯例办企业，因而自始至终都把服务放在特别重要的位置。在建设全国的销售网的同时甚至之前，就紧紧抓住了全国的维修培训服务网的建设，包括近百家特约维修中心和OA培训教室，已初步形成了分层次的现代销售和服务体系。然而，与不断扩大的市场需求相比，与国际标准相比，我们的服务，在规模上，质量上，特别是规范化方面，尚有相当大的距离。如果说，过去的业绩说明了服务带来效益，服务带来市场，服务是高技术企业的成功秘决，那么，在四通公司开始“二次创业”，向产业化、国际化的目标迈进的今天，我们首先下大力发展完善的便是与全国销售体系相配套的全国服务体系。这个服务体系将更具规模，更加标准化、系统化和现代化。



(摘自1991年12月21日在四通OA技术服务中心新址落成开业式上的讲话)

芯片资料总目录

芯片资料 页

MS-2400

μPD71011, TMM2015, μPD70108

μPD71054,MSM6255 …… 1

MS-2401

μPD70108 …… 2

μPD65013 …… 11

μPD65022 …… 16

μPD65012 …… 20

MB672152 …… 24

μPD71054 …… 28

MSM6255 …… 31

M51953,RP5C15,μPC177 …… 35

MSM5299 …… 36

MSM5298 …… 39

高级加速卡改装说明 …… 41

超级PLUS卡改装说明 …… 44

PLUS(升级卡)安装说明 …… 47

TEAC FD-235-4139 …… 50

DFP双面系列软驱手册 …… 74

新主板与FDD接线图 …… 100

旧主板与FDD接线图 …… 101

MS-2402

μPD70108, μPD65013, μPD65022

μPD65012,MB672152, μPD71054

MSM6255,M51953,RP5C15

μPC177,MSM5299,MSM5298 …… 2-39

MS-2403
STK73410 …… 102
STK6982 …… 106
SI-3050 …… 107
M5266 …… 108
74HC646,S22MD1,PC817 …… 109
FDD …… 110
LCD …… 112
后备电源安装 …… 113
μPD72067 …… 210
μPD70108,μPD65013,μPD65022
μPD65012,MB672125,μPD71054
MSM6255,M51953,RP5C15
μPC177,MSM5299,MSM5298 …… 2-39
MS-2401H
μPD91260(ISH8) …… 118
μPD91261(ISH9) …… 128
CRT卡说明 …… 134
μPD72067 …… 210
μPD70108 …… 2
M51953,RP5C15 …… 35
MS-1300
8086 …… 144
82C100 …… 147
82C606 …… 157
82C425 …… 165
WD37C65 …… 168
LC6543 …… 176

MS-2406
μPD70208 …… 182
SG-8801 …… 194
SG-8802 …… 199
V6366 …… 204
μPD72067 …… 210
MC146818 …… 219
P2503 …… 225
SLA4070 …… 230
SI-7300 …… 231
LCD …… 233
键盘技术资料 …… 237
TEAC FD-235F-127软驱说明 …… 241
TEAC—235软驱用于MS-2401,
MS-2402,MS-2403,MS-2401H,MS-2406 说明 …… 255
机架说明 …… 256

MS-2400芯片资料

μPD71011

此芯片与8284类同。

TMM2015

此芯片为VRAM存储器。

μPD70108，μPD71054，MSM6255

M51953参见MS-2401芯片资料。

μPD70108－5/8

8位微处理机

μPD70108，又称V20"，用16位体系结构具备8位数据总线的8位微处理机。μPD70108不仅具有位处理，BCD逆演算和高速乘除法等各种指令，而且还有很强的指令设置功能。此外，它还具备8088仿真功能。μPD70108具备一种新的，能够大幅度降低耗电的备用功能。

μPD70108和16位微处理机μPD70116(又称V30")有软件兼容性。

特征：

.执行指令的最短时间　400ns(5MHZ,5V;70108－5)
　250ns(8MHZ,5V;70108－8)

.内存容量　1M字节

.多种的内存寻址方式

.14个16位寄存器

.101条指令(和μPD super8088的代码及其执行时间不同)

.位、字节、字、块处理

.以位、字段代表操作命令

.支持BCD运算

.高速乘除运算指令：　3.8－11.4μs(5MHZ 5V 70108－5)
　2.4－7.1μs(8MHZ 5V 70108－8)

.高速块传送命令：(DMA)
　625k 字节/秒　(5MH　5V 70108－5)
　1M字节/秒　(8MHZ 5V 70108－8)

.高速的地址运算

.可屏蔽中断(INT)非屏蔽中断(NMI)，同时输入时分别进行处理

.和IEEE－796总线兼容的接口

.8088仿真功能

.CMOS

.耗电低

.备用功能

.单电源

.用专门的时钟，信号发生器/驱动器

μPD70108　　5/8

1.端子功能：

各个端子在最小模式和最大模式下，使用起来有不同的功能：

(1)A15－A8　（地址总线）　　……小/大模式

20位地址信息中的中间八位输出

这些端子，有三种输出状态；hold acknowledge和高阻。

(2)AD7－AD0　（地址/数据总线）　　……小/大模式

地址和数据共用的总线，采用分时方法输出20位地址信息的低8位和输出数据。

16位数据的输入，输出，分两次进行，即先传低8位再传高3位。

这些端子也有三种输出状态:hold,acknoutedge和高阻。

(3)NMI　（非屏蔽中断）　　……小/大模式

软件用的非屏蔽中断输入

NMI要立即响应，但还要检查在哪一个时钟周期，实际上，是在当前指令结束后，才去处理非屏蔽中断。

中断的开始地址，决定于中断向量2。

NMI信号输入后，可保持至少5个时钟周期的高电平。

响应优先级顺序如下:响应非屏蔽中断过程中，给出hold请求。

INT<NMI<HLDRQor _RQ

NMI中断被用来解除挂起模式

(4)INT(可屏蔽中断)　　……小/大模式

软件上用的可屏蔽中断

它是高电平有效，由指令执行的末周期检测出来。在中断允许状态(被置中断允许标志IE)下，接受中断请求。外设用CPU输出的_INTAK信号提出中断请求，并加以确认。

INT信号(高电平)应不短于最初的INTAK信号。

按照优先级顺序响应中断，如果INT信号和NMI信号同时发生，则NMI优先被响应。INT不被接受。

此外，响应可屏蔽中断过程中，给出Hold请求。

INT<NMI<HLDRQ(小模式)or _RQ(大模式)

这个中断被利用来解除挂起模式

(5)CLK(clock) ……小/大模式

是外部时钟输入

(6)RESET(复位) ……小/大模式

高电平有效的CPU复位输入。可用它启动。

解除复位后，CPU从FFFOH开始运行程序。

通常利用输入复位(reset)信号来重新启动CPU和解除挂起模式。

(7)READY (就绪) ……小/大模式

在CPU的规定时间内，不能完成内存和I/O的读/写操作时，这个信号无效(低电平)，CPU处于等待状态(TW)请求延长R/W周期。如果T3时，Ready信号有效(高电平)，CPU不进入等待状态。这个信号，必须满足set up/hold时间，保证正确的操作，所以必须和外部周期同步。

(8)_POLL(查询) ……小/大模式

输入_POLL，用查询指令来查询，低电平时继续执行指令，结束等待状态。如果由高电平变成低电平，则用连续5个时钟周期低电平进行查询。

(9)_INTAK (中断应答信号) ……小模式

接受INT中断请求时输出的信号，使外部设备和这个信号同步，通过数据总线(AD7－AD0)向CPU输入中断向量。

(10)_ASTB(地址选通) ……小模式

由于外部锁存地址信息，所以输出ASTB(地址选通)信号

由于在备用模式下，锁定LSBO的输出，所以_ASTB的输出只有一次有效(约1/2时钟)

(11)_BUFEN (缓冲器使能信号) ……小模式

是作为外部双向缓冲器使能信号而被使用的信号。

是中断时输入输出内存和I/O数据时被使用。

_BUFEN的输出，在备用模式下，被固定为高电平。

这个端子有三种输出状态:hold acknowledge(响应)高阻。

(12)BUF _R/W(缓冲器读写) ……小模式

外部双向缓冲器的数据传送方向，由这个信号的输出决定。

该信号为高电平输出时，数据从CPU送往外设

该信号为低电平输出时，数据从外设送往CPU

该信号的输出，在备用模式下，固定为低(或)高电平。这个端子有三种输出状态:hold acknowledge高阻。

(13)IO/_M(IO/Memery访问信号)　　……小模式

是区别访问I/O 还是访问内存的输出信号。

高电平表示访问I/O，低电平表示访问内存。

该信号的输出，在备用模式下，被回定为高电平(或低电平)

该端子有三种输出状态:hold acknowledge和高阻。

(14)WR(写选通)　　……小模式

往I/O和内存中写数据时，输出该信号。

用IO/M信号区分是往I/O写还是往内存写。

该信号在备用模式下被固定为高电平。

该端子有三种输出状态：hold(总线请求) acknowledge(总线应答)和高阻输出。

(15)HLDAK(保持应答)　　……小模式

是CPU表示接受hold请求而输出的应答信号。

该信号有效(高电平)期间，地址总线， 地址/数据总线三种状态的控制总线呈高阻状态。

(16)HLDRQ(保持请求)　　……小模式

外设向CPU请求地址总线，地址/数据总线和控制总线而输入的信号。

该信号必须满足set up时间，保证正确的操作，所以，必须和外设同步。

(17)_RD(读选通)　　……小模式

从I/O内存中读取数据时，输出该信号。

用IO/_M信号区分是读I/O数据还是读内存数据。

该信号本来因小模式的原故才有，但在大模式中，同样被输出。

该信号的输出在备用模式下被固定为高电位。

该端子有三种输出状态：holk(总线请求) acknowledge(应答)过程中和高阻状态。

(18)S/_LG(CPU最小/最大模式选择) 最小/最大模式

该信号决定CPU的工作方式。使用固定的高电平和低电平。

高电平时，CPU工作在最小模式下

低电平时，CPU工作在最大模式下

端子号24－31，34 在两种模式下，使用的功能不同，以下是它们在两种模式下的端子名称。

端子番号	機能	
	S/$\overline{LG}$=ハイ	S/$\overline{LG}$=ロウ
24	$\overline{INTAK}$	QS1
25	ASTB	QS0
26	$\overline{BUFEN}$	BS0
27	BUF R/$\overline{W}$	BS1
28	IO/$\overline{M}$	BS2
29	$\overline{WR}$	$\overline{BUSLOCK}$
30	HLDAK	$\overline{RQ}$/$\overline{AK1}$
31	HLDRQ	$\overline{RQ}$/$\overline{AK0}$
34	LBS0	常にハイ

(19)LBS0(锁存总线状态0) ……小模式

IO/_M信号和BUF_R/W信号是一起使用的。外设不知道当前总线周期是如何工作的。

IO/$\overline{M}$	BUF$\overline{R}$/W	LBS0	バス・サイクル	总线周期
0	0	0	プログラム・フェッチ	取指令
		1	メモリ・リード	读内存
	1	0	メモリ・ライト	写内存
		1	受動状態	被动状态
1	0	0	割り込みアクノリッジ	中断响应
		1	I/Oリード	读I/O
	1	0	I/Oライト	写I/O
		1	ホールト	总线请求

(20)A19/PS3－A16/PS0(地址总线/处理机状态)……小/大模式

地址总线和处理机状态信号兼用的输出端口，它们是采用分时方法输出的。

地址总线是作为20位地址总线的高4位而被输出的。

作为I/O地址时，该四位为全0输出。

处理机状态信号是访问内存和I/O时输出的。

PS3在　　模式下通常为0在仿真模式下则变为“1”

PS2输出中断允许标志(IE)的内容

PS1，PS0显示当前被使用的是哪个段(如下表)

A17/PS1	A16/PS0	セグメント	
0	0	データ・セグメント1	数据段
0	1	スタック・セグメント	堆栈段
1	0	プログラム・セグメント	程序段
1	1	データ・セグメント0	数据段

这些输入，在备用模式下被固定在高电平(或低电平)

A19/PS3－A16/PS0端子有三种输出状态:hold acknowledge 高阻状态。

(21)QS1　QS0(队列状态)　　……大模式

外设不知道CPU内部指令的队列状态

QS1	QS0	命令キューの状態	指令队列的状态
0	0	ノー・オペレーション（キューの変動なし）	non-operation
0	1	命令の1バイト目	指令第一个字节
1	0	空	空
1	1	命令の2バイト目以降	指令第二个字节

这样，QS1，QS0给出了执行部件(EU)访问指令队列时的指令队列的状态。QS1，QS0输出的队列状态，只在1个时钟周期内有效。

该状态信息监视浮点小数运算和CPU执行程序的状态，而且自身被其控制的时候，用来和CPU同步进行处理。

这些信号的输出在备用模式下，被固定为低电平

(22)BS2－BS0(总线状态)　　……大模式

外设通过BS2－BS0的输出信号，从而了解当前总线状态。外部总线控制器通过翻译这些信号后，发出访问内存和I/O的控制信号。

BS2	BS1	BS0	バス・サイクル	总线周期
0	0	0	割り込みアクノリッジ	中断响应
		1	I/Oリード	读I/O
	1	0	I/Oライト	写I/O
		1	ホールト	总线请求
1	0	0	プログラム・フェッチ	取指令
		1	メモリ・リード	读内存
	1	0	メモリ・ライト	写内存
		1	受動状態	被动状态

这些信号的输出，在备用模式下，被固定为高电平。

这些端子有三种输出状态:hold acknowledge　高阻状态。Reset(复位)信号有效后，在第一个时钟信号前沿到第二个时钟信号前沿之间，这些信号都输出高电平，一个时钟信号后，这些信号都呈高阻。

(23)_BUSLOCK(总线锁)　　……大模式

执行BUSLOCK前置指令的下一条指令过程中，微处理机系统向其主CPU提出不使用系统总线请求的信号。

该信号的输出，在备用模式下，被固定为高电平。

(但如果是HALT命令前的BUSLOCK<总线锁>指令，则固定为低电平)

该端子有三种输出状态:hold acknowledge　高阻。

(24)_RQ_/AK1,0(保持请求/响应)　　……大模式

_RQ/_AK1，_RQ/_AK0端子既是总线请求的输入信号_RQ，又是总

线响应的输出信号(_AK)，按下面的优先顺序依次通过_RQ/_AK1<_RQ/_AK0。

这些端子有三种输出状态，而且这些端子具有上拉电阻器

在open(开放)状态下，被设定为inactive(不活跃)状态。输入总线请求的情况下，必须满足setup/hold时间，保证动作正确无误，因此，必须和外部同步。

(25)V_{DD}(Rower Supply 电源) ……小/大模式

接电源正极

(26)GND(地) ……小/大模式

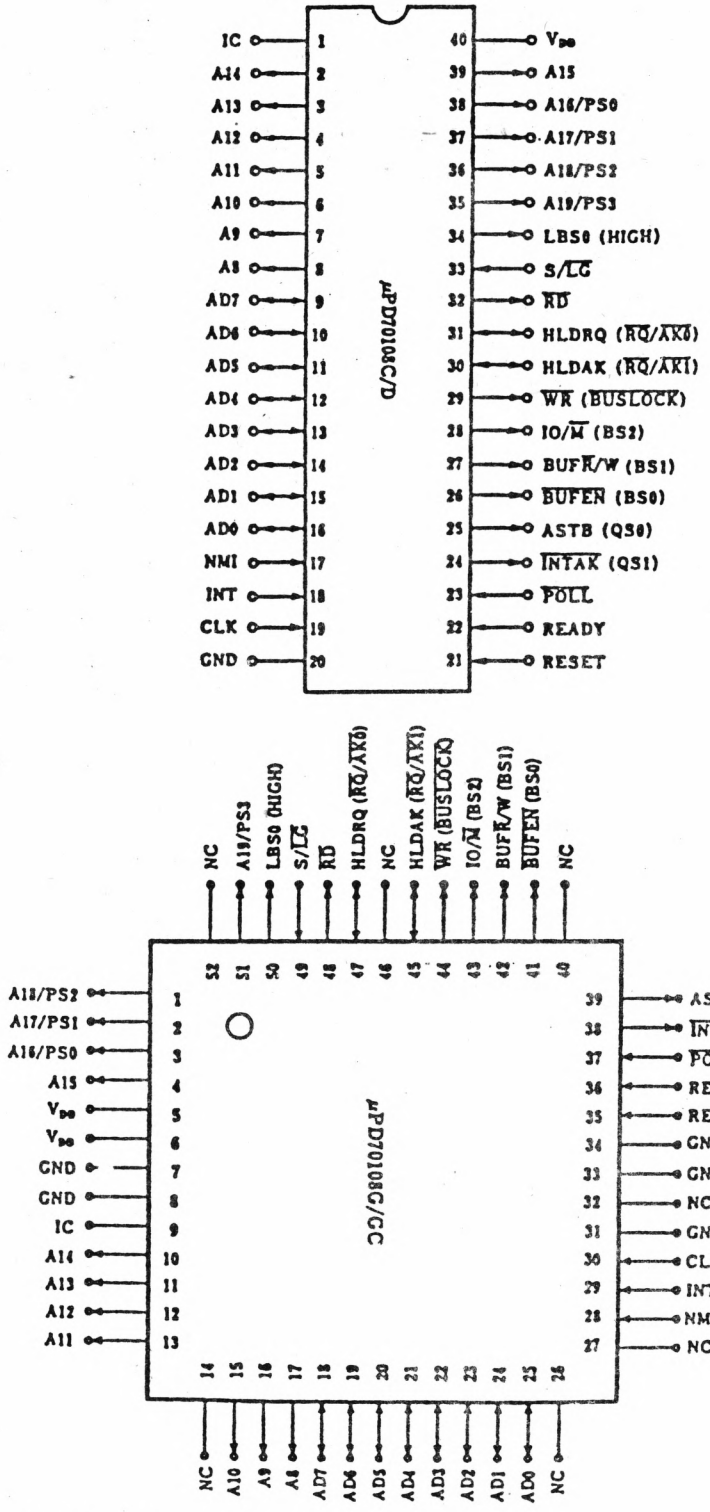
该端子接地

(27)IC(内部连接)

NEC内的数据用端子

使用时，通常接地

端子接続図 (Top View)



NC : No Connection
IC : Internally Connected (GNDと結線して(ください)

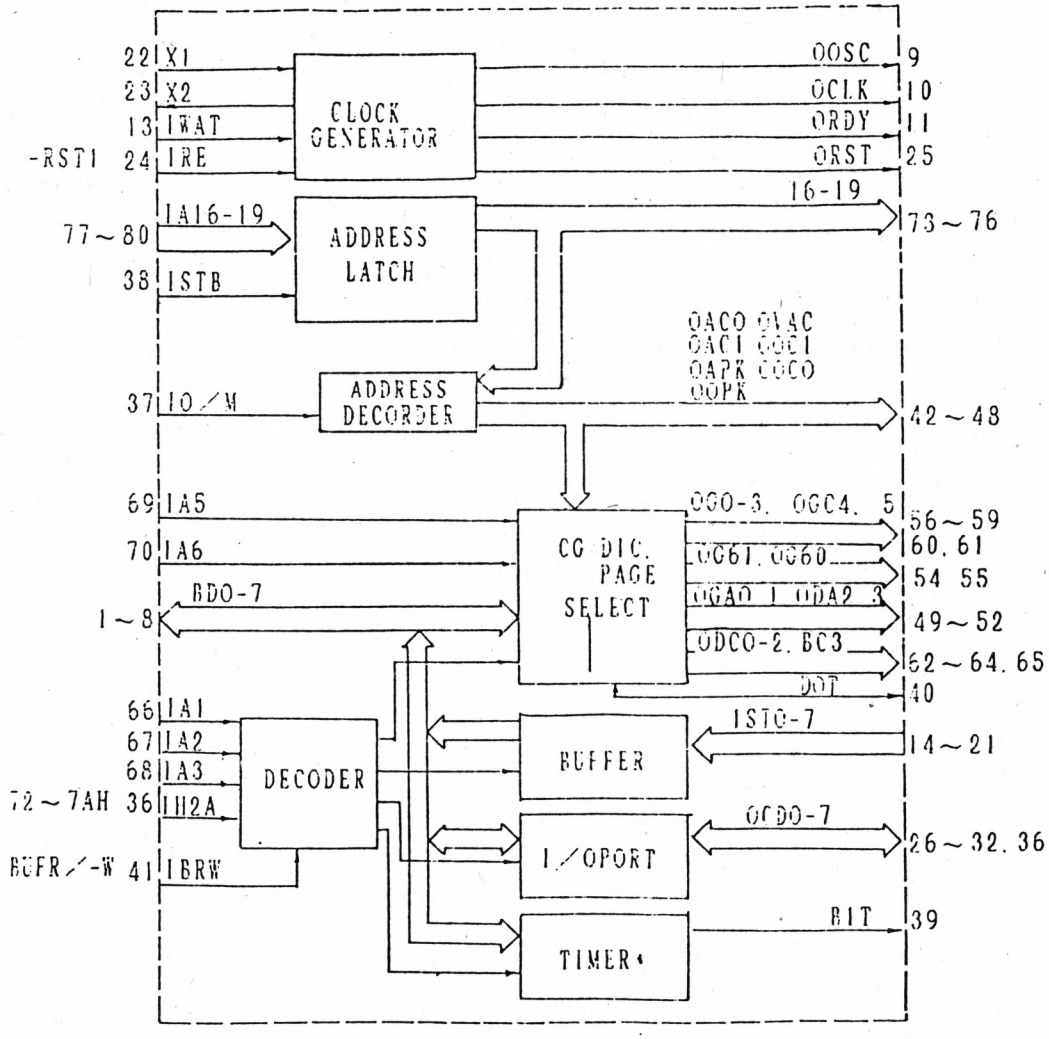
μPD65013

端子No:	端子名	信号名	有效电平	I/O/Z	功　　能
22	X1	X1	φ	I	晶振信号输入端
23	X2	X2	φ	O	晶振信号输入端
13	IWAT	GND	L	I	使ORDY端进入不工作状态的等待信号输入端。固定接地。
11	ORDY	N.C.	H	O	READY，由IWAT信号经OCLK同步后形成，机内未用。
24	IRE	-RST1	L	I	—RST1复位信号输入端
77—80	IA16—IA19	IA16—19		I	CPU发来的高位地址信号
38	ISTB	ASTB	H	I	地址锁存信号输入端
37	IIOM (IO/M)	IO—M		I	选通芯片内部的寄存器时IO/M=1。 选通存贮器时IO/M
66—70	IA1～IA3 IA5，IA6			I	地址输入
1—8	BD0—7	D0—7		I/O	8位数据总线
36	IH2A	-72～7AH	L	I	(门阵芯片内部I/O口)片选信号
41	IBRW	BUFR/-W		I	读/写信号，IBRM=0为输出状态。IBRW=1　为输入状态。
9	OOSC	N.C.	φ	O	输出与晶振同频率的振荡信号
10	OCLK	CLK	φ	O	时钟信号，OOSC的2分频振荡信号
25	ORST	RESET	H	O	RESET输出信号，由—RST1经OCLK同步后输出
73—76	OA16—19	A16—19		O	由ISTB锁存的IA16—IA19的输出
42 43	OAC0 OAC1	-RAMCS0 -RAMCS1	L L	O O	存贮器片选信号，由IO/M控制的IA19—IA16的译码输出 00000H—1FFFFH　D—RAM 20000H—3FFFFH　D—RAM

端子No:	端子名	信号名	有效电平	I O Z	功　　能
					存贮器片选信号，由IO／M控制的IA19—IA16的译码输出
44	OAPK	－BFRAM	L	O	50000H—5FFFFH　S－RAM
45	OOPK	－CALLCG	L	O	60000H－7FFFFH　CGROM
46	OVAC	－VRAMCS	L	O	80000H—8FFFFH　VRAM
48	OOC1	－ROMCS1	L	O	E0000H—FFFFFH　EPROM
47	OOC0	－ROMCS0	L	O	F0000H—FFFFFH　EPROM
56	OG0	－CGCS0	L	O	24×24或32×32点阵CGROM
57	OG1	－CGCS1	L	O	用选片信号
58	OG2	－CGCS2	L	O	
59	OG3	N.C.	L	O	
60	OGC4	N.C.	L	O	
61	OGC5	N.C.	L	O	
64	OG60	－CG16	L	O	16点阵CGROM选片信号，2M芯片
65	OG61	N.C.	L	O	只用OG16
49	OGA0	CGA0		O	字典ROM高位地址
50	OGA1	CGA1		O	
51	ODA2	CGA2		O	
52	ODA3	CGA3		O	
62	ODC0	DCS0	L	O	字库ROM用片选信号
63	ODC1	DCS1	L	O	分64K／256K　2种方式
64	ODC2	N.C.	L	O	
	BC3	GND	L	O	BC3用下降沿，上升沿为测试状态
40	DOT	+5V		I／O	IRE(－RST1)＝0时，指定CGROM的容量。 DOT＝1，指定使用2M　CGROM DOT＝0，指定使用1M　CGROM IRE(－－RST1)＝1时 DOT＝0，　32点阵模式
39	BIT	RXCK		I／O	在－RST1(IRE)＝0时设定定时器初始状态。　－－RST1(IRE)＝1时为定时器输出，作为RS232接收数据的时钟

端子No.	端子名	信号名	有效电平	I/O/Z	功　　能
14	IST0	Z		I	8bits状态输入口，口地址74H
15	IST1	TCOUT2		I	
16	IST2	LOWPOWER		I	
17	IST3	ACOFF		I	
18	IST4	POWEREMPTY		I	
19	IST5	TCOUT0		I	
20	IST6	TCOUT1		I	
21	IST7	GND		I	
26	OCD0	ACNMIEN		I/O	8bits命令输出口，口地址72H
27	OCD1	TIMEN2		I/O	
28	OCD2	TIMEN01		I/O	
29	OCD3	EXPEN		I/O	
30	OCD4	- POSTRT		I/O	
31	OCD5	FDDMTON		I/O	
32	OCD6	BEEPON		I/O	
36	OCD7	PRTNMIEN		I/O	

μPD 65013G__102

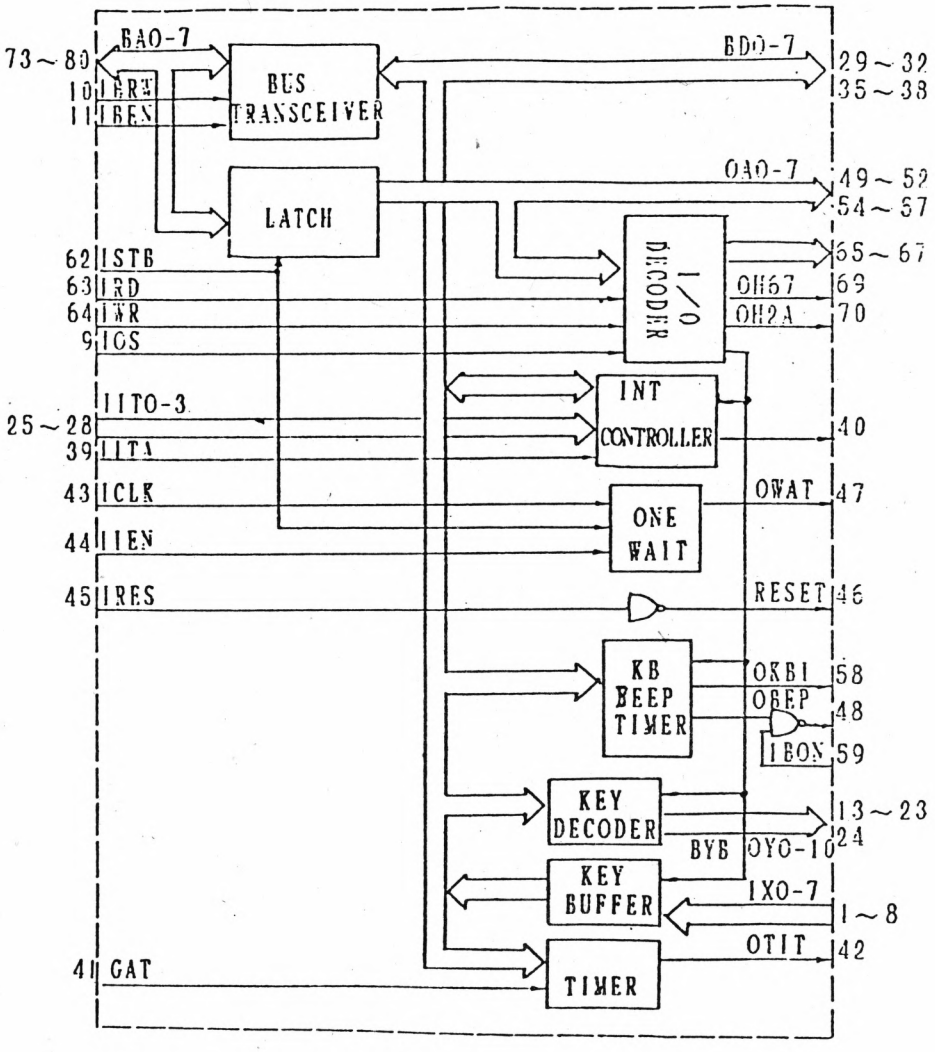


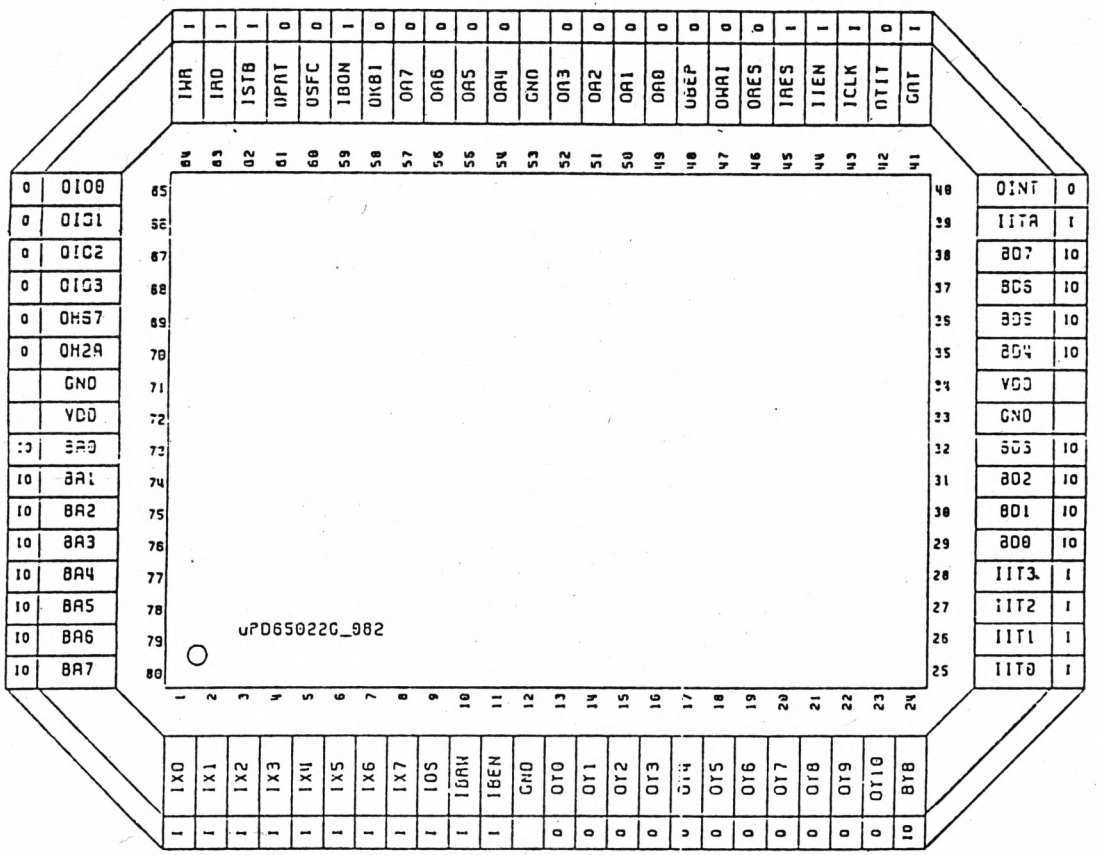
ALPS ELECTRIC CO., LTD.
DSGD.
CHKD.
APPD.
SCALE
UNIT
TITLE
μPD650130-102
DOCUMENT NO.

73—80	BA0—7	AD0—7		I／O	与CPU的地址／数据线相接
29—32 35—38	BD0—7	D0—D7		I／O	8位系统数据总线，在IBEN＝0时，锁存CPU的AD0—7作为数据信号。
49—52 54—57	OA0—7	A0—A7		O	低8位系统地址总线，在ISTB＝1时锁存CPUAD0—7作为低8位地址信号
11	IBEN	—BUFEN	L	I	缓冲允许
62	ISTB	ASTB	H	I	地址选通
10	IBRW	BUFR—W		I	指定读／写状态的信号输入端
63	IRD	- RD	L	I	读信号
64	IWR	—WR	L	I	写信号
9	IOS		H	I	I／O选择
25 26 27 28	IIT0 IIT1 IIT2 IIT3	RXRDY EXPINT KBINT GND	H H H H	I I I I	中断信号输入端，优先顺序 IIT0>IIT1>IIT2>IIT3
41	GAT	+5V	L	I	GAT＝0时，停止内部计数器计数。
60	OSFC	N.C.			
61	OPRT	N.C.			

端子No:	端子名	信号名	有效电平	I.O.Z	功　　能
39	IITA	- INTAK	L	I	中断响应
46	ICLK	CLK	Φ	I	时钟
44	ITEN	GND	L	I	等待允许
45	IRES	RESET	H	I	RESET输入端
65	OIOO	-LSICS	L	O	I／O选片信号，地址00H - 0FH
66	OIO1	- EXP10	L	O	I／O选片信号，地址10H—1FH
67	OIO2	--RTCCS	L	O	I／O选片信号，地址20H—2FH
68	OIO3	—IOCS	L	O	I／O选片信号，地址30H—3FH
69	OH67	—6A～70H	L	O	I／O选片信号，地址6AH - 70H
70	OH2A	—72～7AH	L	O	I／O选片信号，地址72H—7AH
47	OWAI	N.C.	L	O	one WAIT输出端.
46	ORES	--RESET	L	O	—RESET输出信号
58	OKBI	KBINT	H	O	键盘中断定时信号，定时间隔50ms
48	OBEP		Φ	O	Bocp信号输出端
59	IBON		H	I	Beep 信号输出允许
13—23	OY0—OY10		L	O	键盘Y向扫描输出，I／O地址66H
24	BYB	N.C.	L	O	
1--8	IX0—7			I	键盘矩阵X向扫描输入 I／O地址68H
42	OTIT	TXCLX	H	O	定时器输出，用作RS232发送数据的定时时钟信号
40	OINT	INT	H	O	中断信号输出端，由门阵列芯片内部中断控制逻辑发出

μPD 65022G__081





							ALPS ELECTRIC CO.	
						DSGD.	SCALE	uP0650
						CHKD.		TITLE
						APPD.	UNIT	DOCUMENT

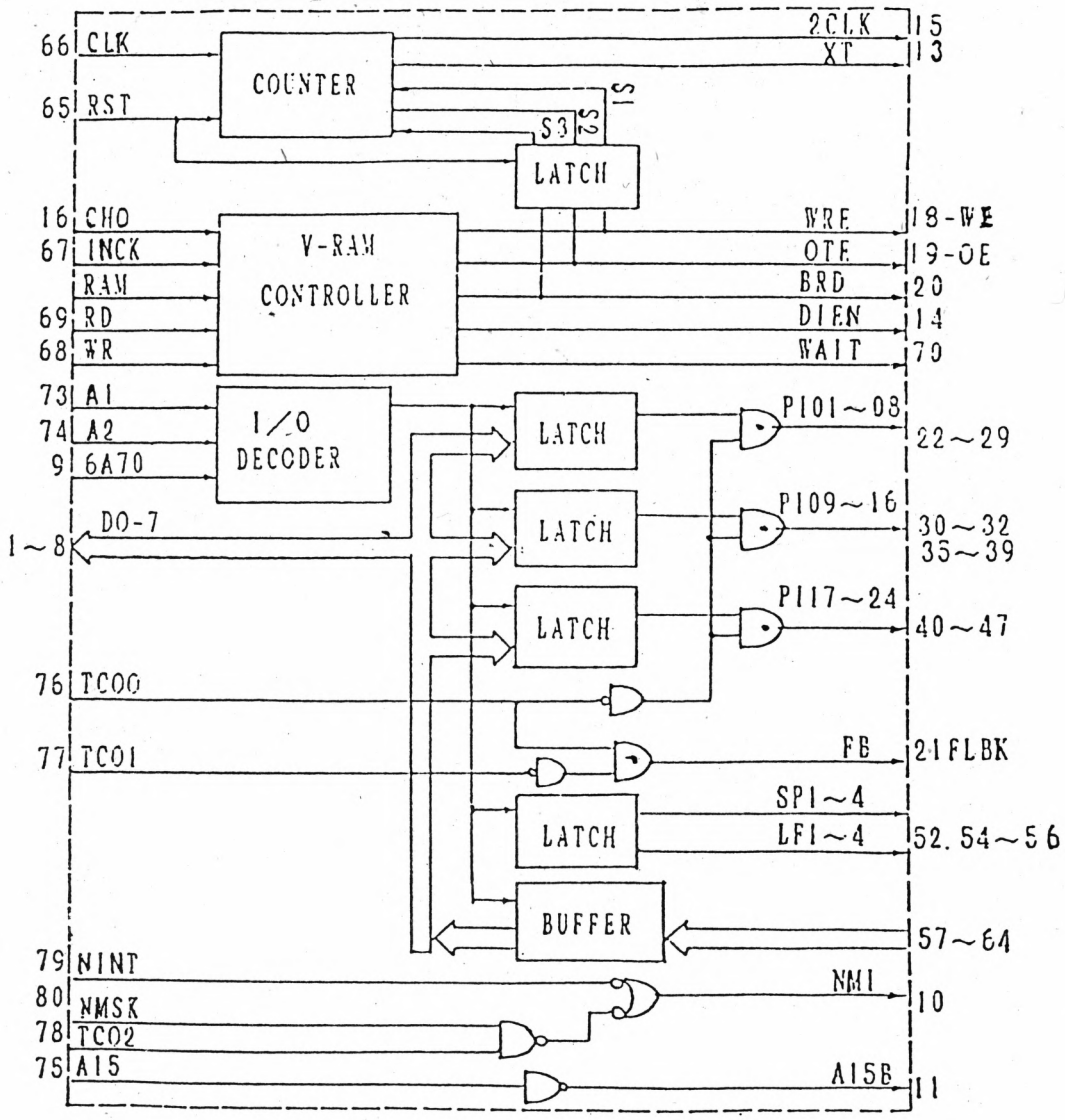
附录3　门阵列芯片技术资料

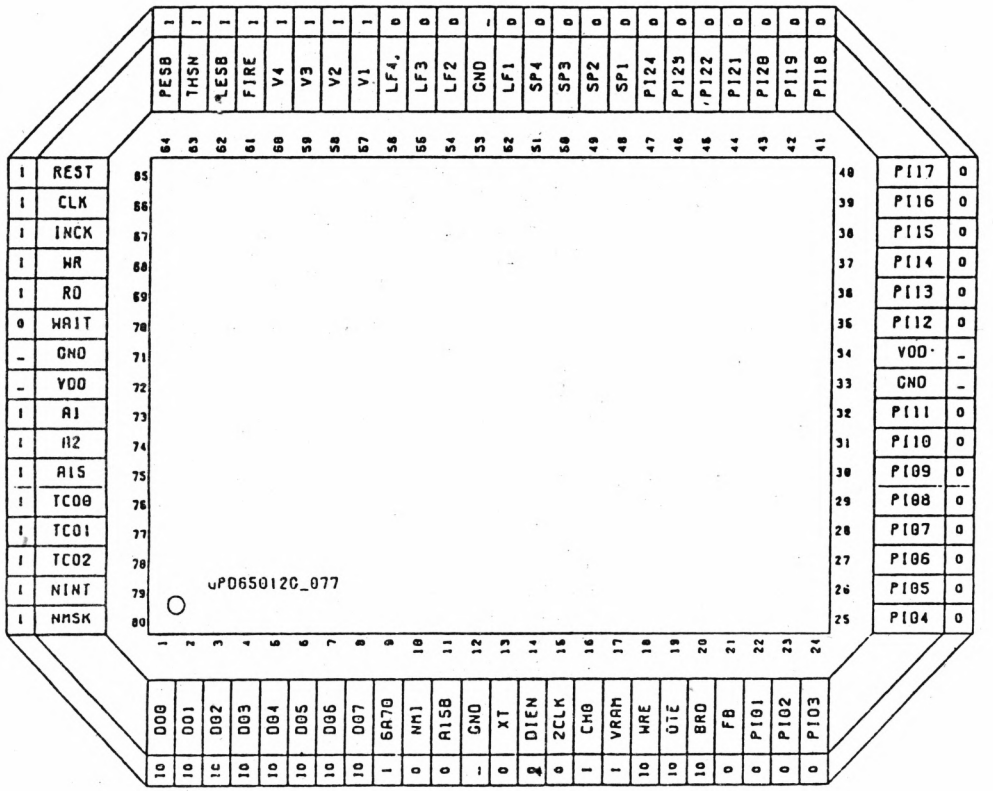
μPD65012

端子No:	端子名	信号名	有效电平	I·O·Z	功　　能
1—8	DO—7	DO—7		I／O	系统数据总线
66	CLK	CLK	Φ	I	时钟信号，亦是XT，2CLK的基准时钟
65	RST	—RESET	L	I	Reset信号输入端。RST＝0时将WRE，OTE，BRD变作S1，S2，S3的输入信号
16	CHO	CHO	Φ	I	LCDC用字符时钟
67	INCK	CLK	Φ	I	键盘扫描用时钟，定时50ms
17	VRAM	—VRAMCS	L	I	VRAM芯片选择信号
69	RD	—RD	L	I	读
68	WR	—WR	L	I	写
73 74 75	A1 A2 A15	A1 A2 A15		I I I	地址，与6A70信号一起，译码选择芯片内部I／O口
9	6A70	—6A—70H	L	I	65012芯片片选信号
76 77 78	TCO0 TCO1 TCO2	TCOUT0 TCOUT1 TCOUT2		I I I	接PTI(μPD71054)的定时输出信号 TCO0及TCO1决定打印头出针时间 TCO2为两个步进马达的控制信号，并参于NMI信号的形成
79	NINT		L	I	外部非屏蔽中断信号输入端，与内部非屏蔽中断信号相与后，向CPU发出NMI。
80	NMSK	PRTNMIEN	H	I	与TCO2一起，决定是否输出NMI信号
15	2CLK	2CLK	Φ	O	CLK的两分频信号
13	XT	XT	Φ	O	LCDC用时钟，CLK的分频信号

端子No:	端子名	信号名	有效电平	I/O/Z	功　　能
13	WRE	－WE	L	O／I	允许向VRAM写入信号，并作为决定XT信号的分频频率的S1信号
19	OTE	－OE	L	O／I	允许VRAM输出信号，并作为决定XT信号分频频率的S2信号
20	BRD	－BRD	L	O／I	VRAM数据流方向信号，并作为决定XT信号分频频率的S3信号
14	DIEN	DIEN	L	O	允许VRAM读／写信号，LCDC利用其进行内部地址与CPU地址的转换
70	WAIT	—WAIT	L	O	在VRAM读写时产生的等待信号，其作用是使CPU与LCDC的工作同步。
	PIO1—P1024		H	O	打印针驱动信号
21	FB	FIBK	H	O	快速回针信号
48—51	SP1—4		H	O	打印头小车驱动马达的相线圈驱动信号
52. 54—56	LF1—4		H	O	打印胶辊驱动马达相线圈驱动信号
					8位状态输入口中的4位
61	FIRE	－FIRECK	H	I	FIRE +34V过高
62	LESB	－LES	H	I	LESB　打印头左界到位信号
63	THSN	－THSEN	H	I	THSN　打印头过热信号
64	PESB	－PES	H	I	PESB　纸尽信号
					8位状态输入口中的4位
57	V1	－V1	H	I	－V4～V1组成一个数字量，数值
58	V2	－V2	H	I	越大，出针时间越长。
59	V3	－V3	H	I	
60	V4	－V4	H	I	
10	NMI	NMI	H	O	NMI＝－NINT+TCO2* NMSK
11	A15B	－A15		O	A15B＝－A15

μPD 65012G___077





ZONE	STNH	DATE	APPD	CHKD	DSGD	

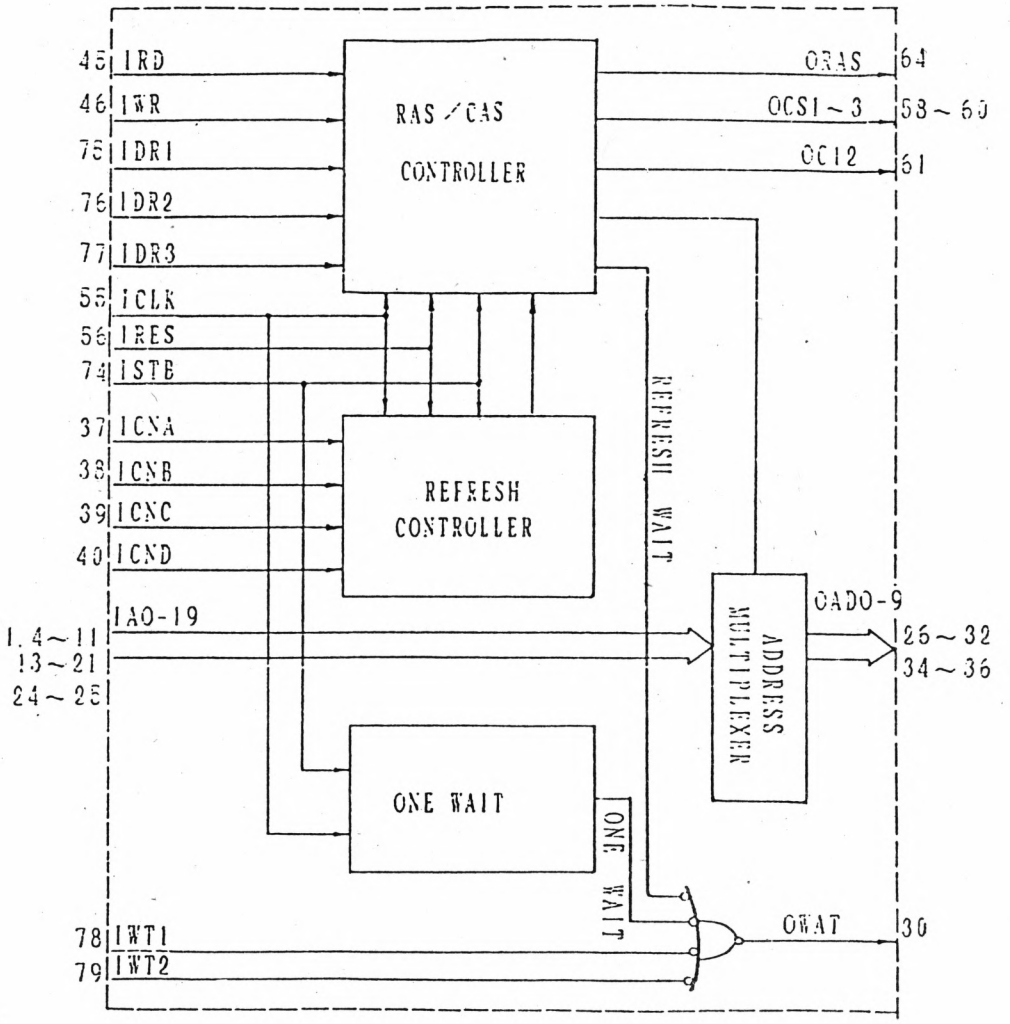
ALPS ELECTRIC CO., LTD.

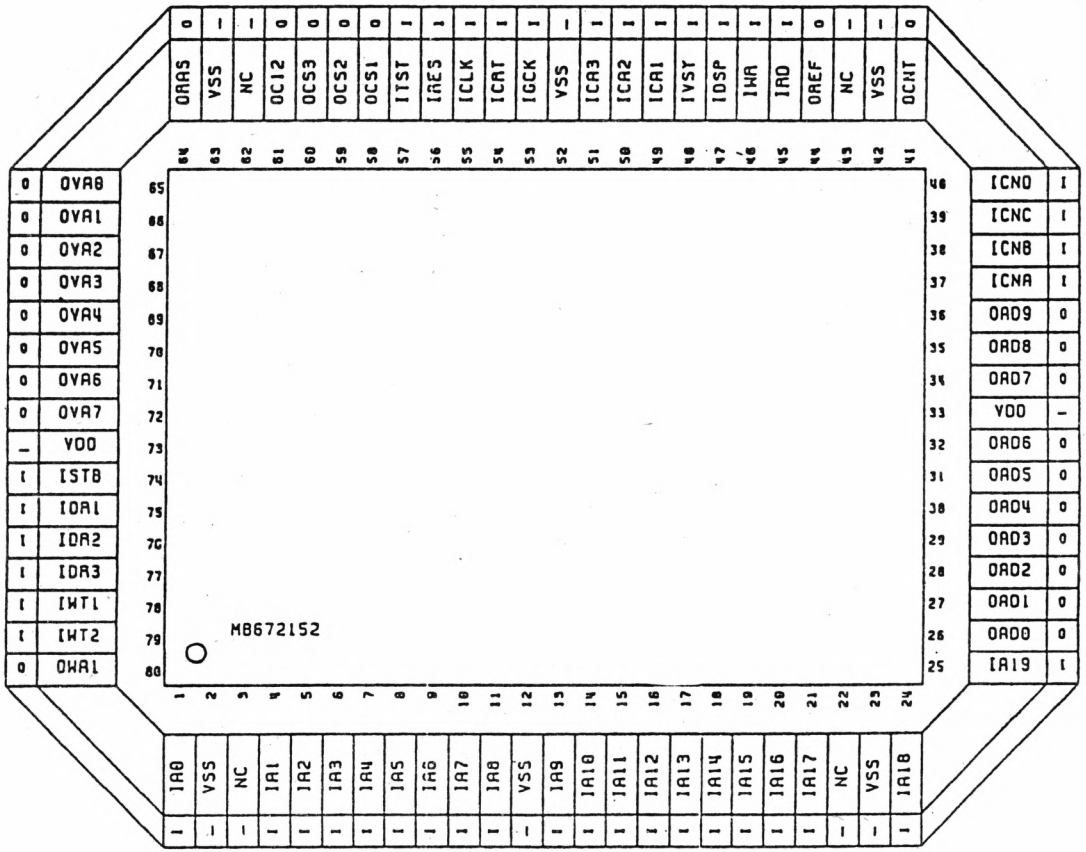
DSGD. K. Ishida	SCALE	μPD65012G-077
CHKD. Y. Sakai		TITLE
APPD. S. Sugo	UNIT mm	DOCUMENT NO. C739270

端子No:	端子名	信号名	有效电平	I/O Z	功　　能
45	IRD	—RD	L	I	读信号
46	IWR	—WR	L	I	写信号
75 76 77	IDR1 IDR2 IDR3	—RAMCS0 —RAMCS1 +5V	L L L	I I I	DRAM体选择信号
55	ICLK	CLK	φ	I	时钟信号输入端
56	IRES	—RESET	L	66I	—RESET输入端
74	ISTB	ASTB	H	I	地址选通信号
37 38 39 40	ICNA ICNB ICNC ICND	+5V GND GND +5V		I	DRAM刷新定时器的设置端，当CLK＝1.9672MHZ时，固定设置为“1001”（ICND—ICNA）
41 44	OCNT OREF	N.C. N.C.		0 0	门阵芯片测试用 门阵芯片测试用
1，14—21 13—21 24—25	IA0—IA19	A0—A19		I	地址总线
78 79	IWT1 IWT2	—EXWAIT —WAIT	L L	I I	等待请求输入端
30	OWAI	READY	L	0	等待信号，在DRAM刷新时，或有其他设备请求等待时，发出等待信号WAIT
64	ORAS	—RAS	L	0	DRAM行(ROM)地址打入信号，在有读写RAM的要求(IDR1—3)或刷新DRAM时发出行(ROW)地址打入信号
61	OC12	—CAS	L	0	DRAM列(column)地址打入信号
58—60	OCS1—OCS3	N.C.	L	0	DRAM列地址打入信号，机内未用
26—32 34—36	OAD0—OAD9	D—AD0～8		0	DRAM读／写用行／列地址信号输出OAD9未用

端子No:	端子名	信号名	有效电平	I O Z	功　　能
47	IDSP	GND		I	
48	IVSY	GND		I	
49	ICA1	GND		I	
50	ICA2	GND		I	
51	ICA3	GND		I	
53	ICGK	GND		I	
54	ICRT	GND		I	
57	ITST	GND		I	
65	OVA0	N.C.		O	
66	OVA1	N.C.		O	
67	OVA1	N.C.		O	
68	OVA3	N.C.		O	
69	OVA4	N.C.		O	
70	OVA5	N.C.		O	
71	OVA6	N.C.		O	
72	OVA7	N.C.		O	

MB672152


45 IRD
46 IWR
78 IDR1
76 IDR2
77 IDR3
55 ICLK
56 IRES
74 ISTB
37 ICNA
38 ICNB
39 ICNC
40 ICND
1, 4 ~ 11
13 ~ 21
24 ~ 28
IA0-19
RAS / CAS CONTROLLER
REFRESH CONTROLLER
ONE WAIT
REFRESH WAIT
ONE WAIT
ADDRESS MULTIPLEXER
ORAS 64
OCS1 ~ 3 58 ~ 60
OC12 61
OAD0-9
26 ~ 32
34 ~ 36
OWAT 30
78 IWT1
79 IWT2


MB672152
1 VSS – 2
2 IA0 I 3
3 IA1 I 4
4 IA2 I 5
5 IA3 I 6
6 IA4 I 7
7 IA5 I 8
8 IA6 I 9
9 IA7 I 10
10 IA8 I 11
11 VSS – 12
12 IA9 I 13
13 IA10 I 14
14 IA11 I 15
15 IA12 I 16
16 IA13 I 17
17 IA14 I 18
18 IA15 I 19
19 IA16 I 20
20 IA17 I 21
21 NC – 22
22 VSS – 23
23 IA18 I 24
24 OCNT O 25
25 IA19 I 26
26 OAD0 O 27
27 OAD1 O 28
28 OAD2 O 29
29 OAD3 O 30
30 OAD4 O 31
31 OAD5 O 32
32 OAD6 O 33
33 VDD – 34
34 OAD7 O 35
35 OAD8 O 36
36 OAD9 O 37
37 ICNA I 38
38 ICNB I 39
39 ICNC I 40
40 ICND I 41
41 OAAS O 42
42 VSS – 43
43 NC – 44
44 OC12 O 45
45 OCS3 O 46
46 OCS2 O 47
47 OCS1 O 48
48 ITST I 49
49 IRES I 50
50 ICLK I 51
51 ICAT I 52
52 IGCK I 53
53 VSS – 54
54 ICA3 I 55
55 ICA2 I 56
56 ICA1 I 57
57 IVSY I 58
58 IDSP I 59
59 IWA I 60
60 IAD I 61
61 OREF O 62
62 NC – 63
63 VSS – 64
64 OVA0 O 65
65 OVA1 O 66
66 OVA2 O 67
67 OVA3 O 68
68 OVA4 O 69
69 OVA5 O 70
70 OVA6 O 71
71 OVA7 O 72
72 VDD – 73
73 ISTB I 74
74 IDR1 I 75
75 IDR2 I 76
76 IDR3 I 77
77 IWT1 I 78
78 IWT2 I 79
79 OWA1 O 80
80

PCB_NO. DH00

| | | |

μPD71054

1.端子机能：

1.1 D7－D0(数据总线)　　……三种状态

8bit双向数据总线有三种状态。

接好系统总线后，就可用来传送数据。

当_CS＝0　　_RD＝0　　_WR＝0时，处于active状态

其它情况下，数据总线处于高阻态。

1.2 CLK n (Counter Clock n:0－2)　　……输入

是决定 Counter n的计数频率的。

频率在0－8M　H2范围内。

1.3 OUT n (Counter Output n:0－2)　　……输出

是Counter n的输出。用Counter n的计数方式得到这样的输出。另外在用μPD71054中断的情况下， Counter n的输出也作为中断信号而使用。

1.4 GATE n (Counter Gate n: 0－2)　　……输入

禁止Counter n被设置的方式和控制计数初始化。

1.5 A1,A0 (address)　　……输入

A1A0＝00，01，10时，分别选择Counter 0,Counter1 Counter2。

A1A0＝11时，选择控制字寄存器。

通常这些端子接到系统的地址总线上。

1.6 _CS (chip select)　　……输入

_CS＝1时　用于读/写(R/W)控制的_RD，_WR变为无效，这样，数据总线呈高阻状态。所以，在用μPD71054时，_CS＝0。

1.7 _RD (Read Strobe)　　……输入

从μPD71054进行读操作时_RD＝0

1.8_WR (write strobe)　　……输入

向μPD71054进入写操作时_WR＝0。

_WR从0变1时，数据总线内容写入μPD71054

1.9 Vcc (Power)

接电源正极

1.10 GND (Ground)

接电源0V端。

1.11 IC (Internally Connected)

请别把它接任何东西

模块

2. BLOCK 功能:

说明:μPD71054的各模块功能。

2.1 数据总线缓冲器:

用具有三种状态的8bit双向缓冲来管理, μPD71054系统总线和数据总线之间变换。

μPD71054不同, CPU是应用IN和OUT命令, 数据通过总线被传送。

数据总线缓冲器有以下4种作用。

(1) control word(控制字)

(2) 向累加寄存器中写下记数值

(3) 从数据锁存读出记数值

(4) 用状态锁存读出状态数据

2.2 R/W 控制

R/W控制电路, 通过分析系统总线上的输入信息, 从μPD71054其它模块给出R/W控制信号。

2.3 控制字寄存器

控制字寄存器, 决定counter的工作方式, 控制字被写入8位寄存器。写入这个控制寄存器时, A1A0=11, 不仅用OUT命令从CPU写入。而且, 还要用IN命令, 虽然不能读出控制寄存器的内容, 但要读各模块的工作方式和状态信息, 要注意各种可能的锁存命令。

2.4 Counter n (n:0-2)

Counter是二进制的, 以BCD方式减计数, Counter是具有六种可编程的计数方式和三种R/W方式的计数单元。

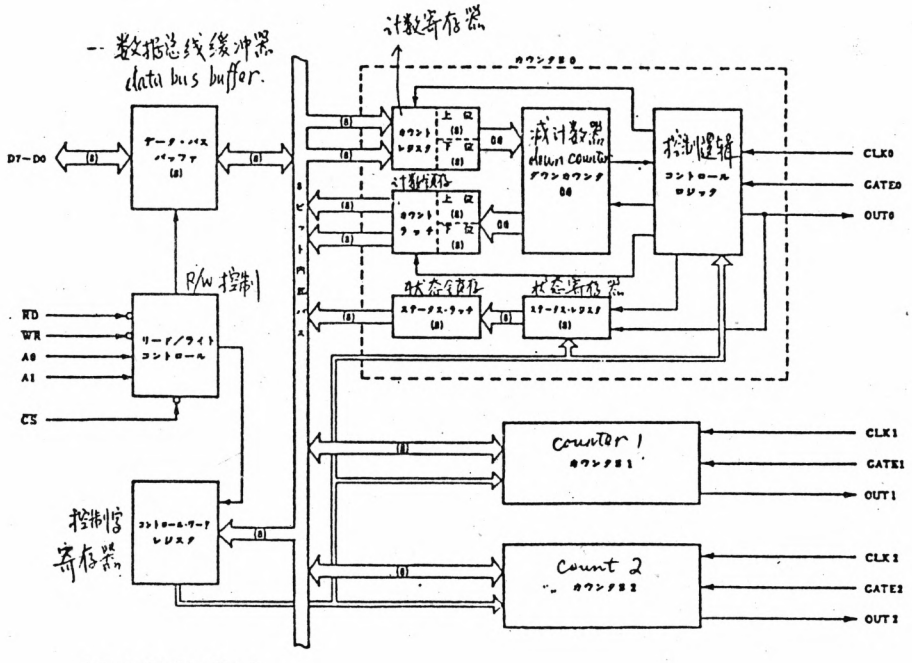
μPD71054上, 有三个这样的计数单元, 即Cornter 0, Cornter1.

counter 2，它们之间相互独立。所以， 三个计数单元可以分别使用三种不同的方式。在进行计数值的读、写操作时，用A1A0选择三个中的一个。

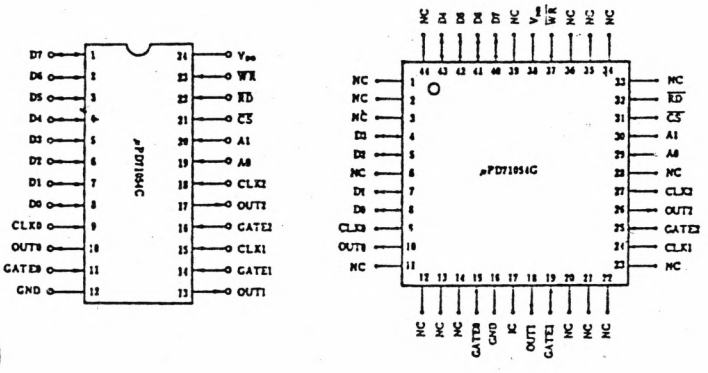
μPD71054为高性能可编程定时器，是为微机控制外设而设计的。

特点：

- 3×16位计数器
- 6种编程方式
- 二进制和二-十进制计数
- 各种锁存命令
- 计数频率 0(DC)～8MHz
- CMOS
- 单电源供电



端子接続図 (Top View)

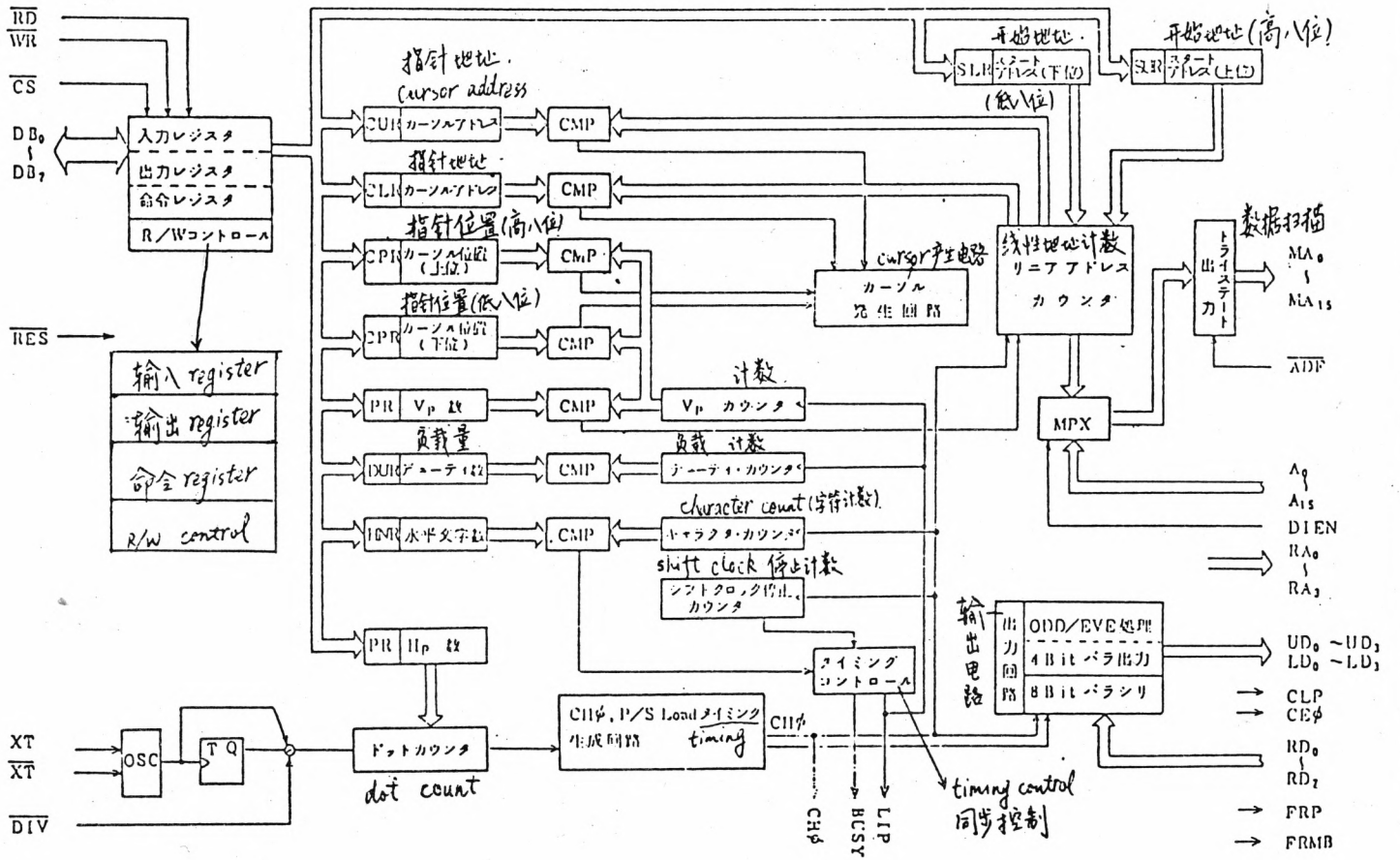


MSM6255

端子No:	端 子 名	信 号 名	有效电平	I/O/Z	功 能
42	−RD	−RD	L	I	读信号
43	−WP	−WP	↑	I	写信号WP，上升沿有效
41	−CS	−LCDCS	L	I	MSM6255片选信号
45—52	DB0--DB7	D0—D7		I/O/Z	8位数据总线，三态输入输出
44	−RES	+5V	+5V	I	RES=0，总清芯片内各寄存器内容
65	XT	XT		I	时钟信号输入端
66	−XT	N.C.		O	
70	−DIV	+5V	+5V	I	DIV=1使用XT时钟信号 DIV=0使用自身时钟信号
6—1 68—71	MA0—MA15	MA0—MA15		O/Z	显示RAM用地址信号
40	−ADF	+5V		I	−ADF=0时，输出MA0—MA15， −RA0～−RA3为高阻状态 −ADF=1时， −DIEN=0 在MA0—MA15端 输出A0—A15 −DIEN=1，在MA0—MA15端输出 刷新地址
39	DIEN	DIEN	H	I	LCD允许输出信号
7—22	A0—A15	A0—A15		I	地址总线信号(机内A13-A15接GND)
61—64	RA0—RA3	N.C.		O/Z	显示RAM的低位地址信号，图形方式时不用。−ADF=0时呈高阻状态
33—36	UD0—UD3	CN2−4～CN2−7		O	高4位数据OD1，ED1，OD2，ED2并行输出
28—31	LD0—LD3	N.C.		O	低4位数据并行输出

端子No:	端 子 名	信 号 名	有效电平	I/O/Z	功 能
25	CLP	CN2—11	φ	O	数据移位时钟
26	CEO	CN2—12	φ	O	段驱动的片启动时钟
53—60	RD0—RD7	RD0—RD7		I	ROM字符发生器的点阵图形数据 RAM数据
23	FRP	CN2—8		O	帧同步信号
27	FRMB	CN2—9		O	交流信号
24	LIP	CN2—10		O	数据锁存信号
38	BUSY	N.C.		O	LCDC忙信号
37	CHO	CHO		O	字符时钟
68 69	TEST1 TEST2	N.C. N.C.	φ	I I	测试输入端，开机时处于正常工作状态。

図 1.　MSM6255 GS の内部ブロック図



半導体集積回路仕様

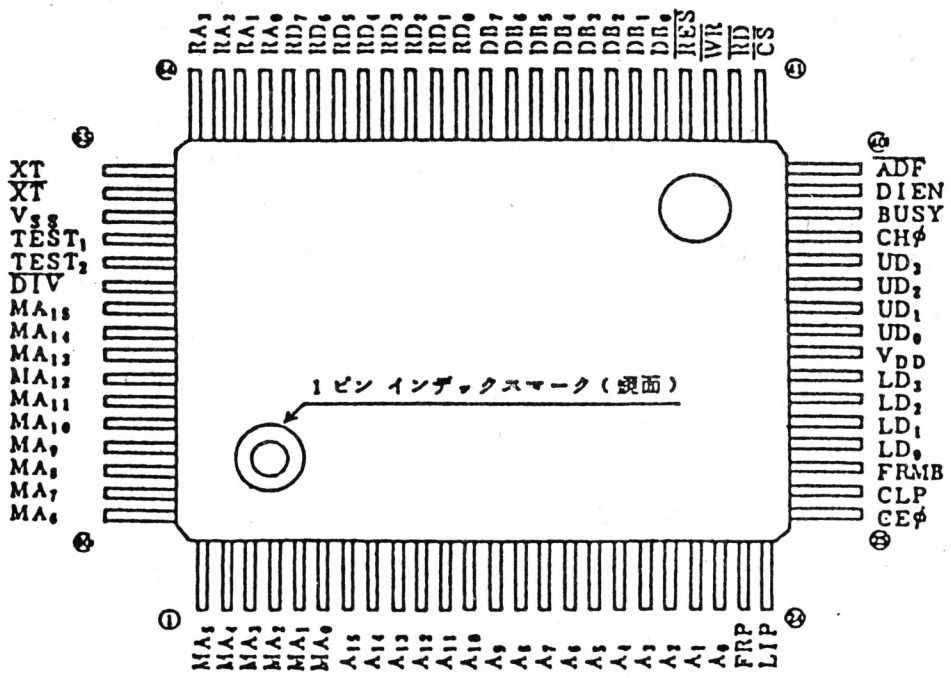
1. 形　　名　　MSM6255GS(−K)

2. 機　　能　　LCDコントローラ

3. 構　　造　　CMOS IC

4. 回路構成　　図 − 1 による。

5. 端子接続　　(Top View) 80 Lead Plastic Flat Package



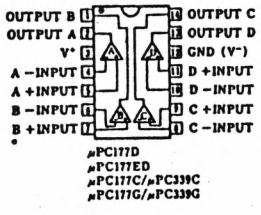
	沖電気工業株式会社	図番：OSL-62020-00　1/2

M51953

功能：是一种单稳态发生器，产生RESET信号。

RP5C15

功能：可设定年、月、日、时、分、秒、星期的实时钟表芯片。

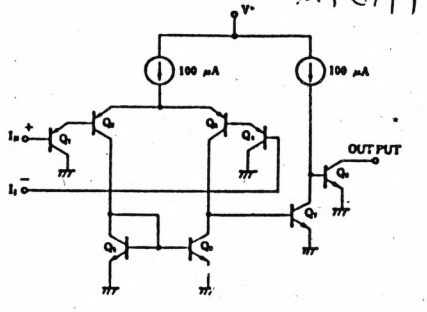


μPC177D
μPC177ED
μPC177C/μPC339C
μPC177G/μPC339G

μPC177

等価回路/Equivalent Circuit (1/4回路)

μPC177



MSM5299BGS

LCDドットマトリクスセグメントドライバー

■概　要

MSM5299BGSはLCDドットマトリクスセグメントドライバーで，80ビット双方向シフトレジスターと80ビットラッチと各ビットごとのレベルシフターおよび4レベルドライバー等から構成されたCMOS ICです。

マイクロコンピュータまたは液晶表示用コントローラMSM6255GS等から4ビットパラレルで転送されてくる表示用データをラッチし，液晶駆動用信号を発生します。

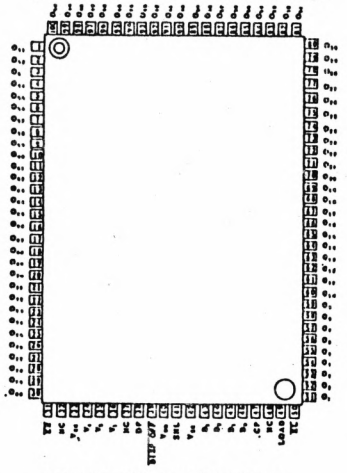
また，パワーダウン機能を有しており，ドライバーの数にかかわらず見かけ上1ケのドライバー以外は全て低消費電流状態（IDD SBY）となるようになっています。ドライブレベルを決めるバイアス源は外部から任意に与えることができ，広範な液晶パネルに対応できます。

■特　長

- ●ロジック電源電圧　4.5V～5.5V
- ●液晶駆動電圧　8～26Vと広範囲
- ●1/64～1/256デューティまでの液晶パネルに対応
- ●液晶出力　80本
- ●外部よりバイアス電源供給可能
- ●パワーダウン機能により大画面液晶パネルユニットのローパワー化が可能
- ●4ビットパラレル転送のため従来のシリアル転送にくらべて1/4の転送スピードとなり，低消費電力可能
- ●LCDコントローラMSM6255GSとインターフェース可能
- ●100ピンフラットプラスチックパッケージ

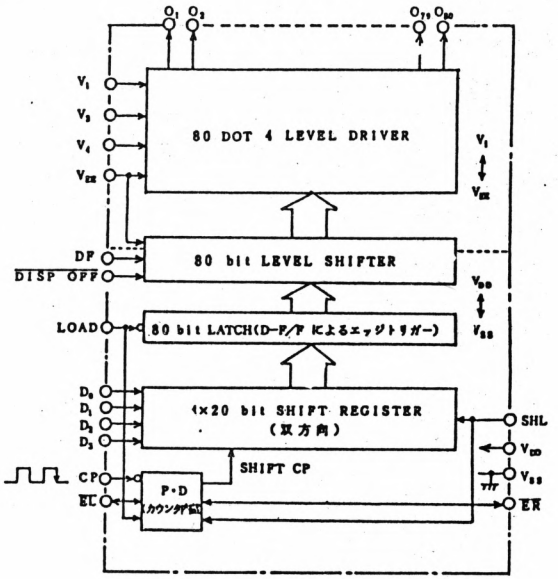
■端子接続

(Top View) 100Lead Plastic Flat Package



注. 基板の電源への表示は裏面を用い MS5299Bとなります。

■回路構成



■真理値表

DF	ラッチデータ	DISP OFF	ドライバーアウト（O_1～O_{80}）
L	L	H	V_3
L	H	H	V_1
H	L	H	V_4
H	H	H	V_{EE}
×	×	L	V_1

SHL	$\overline{ER}$	$\overline{EL}$	シフト方向
L	入力	出力	$D_0 \rightarrow O_1 \rightarrow O_2 \cdots\cdots \rightarrow O_{77}$ $D_1 \rightarrow O_2 \rightarrow O_3 \cdots\cdots \rightarrow O_{78}$ $D_2 \rightarrow O_3 \rightarrow O_4 \cdots\cdots \rightarrow O_{79}$ $D_3 \rightarrow O_4 \rightarrow O_5 \cdots\cdots \rightarrow O_{80}$
H	出力	入力	$D_0 \rightarrow O_{80} \rightarrow O_{76} \cdots\cdots \rightarrow O_4$ $D_1 \rightarrow O_{79} \rightarrow O_{75} \cdots\cdots \rightarrow O_3$ $D_2 \rightarrow O_{78} \rightarrow O_{74} \cdots\cdots \rightarrow O_2$ $D_3 \rightarrow O_{77} \rightarrow O_{73} \cdots\cdots \rightarrow O_1$

↑ 最終データ　　↑ 先頭データ

<表－2>

● D_0, D_1, D_2, D_3

4ビットパラレルシフトレジスタのデータ入力端子で表示データをクロックと同期して入力します。

$D_0 \sim D_3$ と DF 及び液晶駆動出力と液晶表示の関係を表－3に示します。

$D_0 \sim D_3$	DF	液晶駆動出力	液晶表示
L	L	非選択レベル　(V_3)	OFF
H	L	選択レベル　(V_1)	ON
L	H	非選択レベル　(V_4)	OFF
H	H	選択レベル　(V_{EE})	ON

<表－3>

● LOAD

シフトレジスタに格納された表示データをラッチするための入力端子でロードパルスの立ち下がりでシフトレジスタに格納された表示データをラッチします。

ロードパルスの "H" レベルで本 IC の内蔵カウンタがリセットされます。

● DF

液晶駆動波形の交流同期のための信号入力端子で通常フレーム反転信号を入力します。

● V_{DD}, V_{SS}

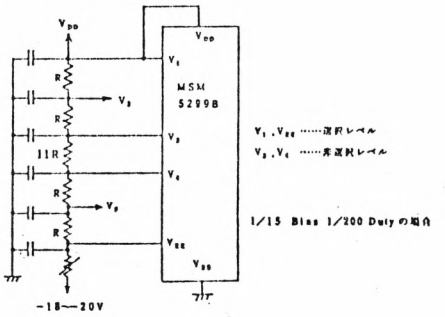
本 IC の電源端子で通常 V_{DD} = 4.5V～5.5V, V_{SS} は GND 端子で V_{SS} = 0V で使用します。

● V_1, V_3, V_4, V_{EE}

液晶駆動用のバイアス電源端子で，通常は抵抗分割によるバイアス電源を使用します。

液晶駆動用バイアス電圧を抵抗分割で供給する場合の一例を図－1に示します。

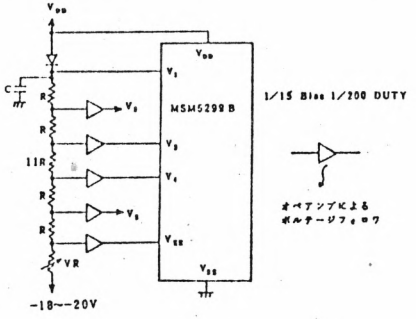
V_1 端子は V_{DD} 端子より分離しても使用可能です。



<図－1>

またオペアンプを使用してバイアス電圧を供給する場合を図－3に示します。

オペアンプを使用することによりバイアス電源のローインピーダンス，低消費電流が可能となります。



<図－2>

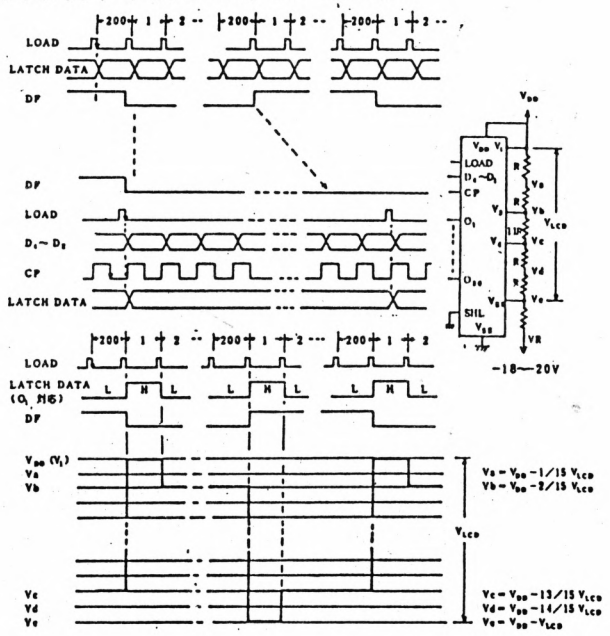
● $O_1 \sim O_{80}$

本 IC の4レベルドライバーの出力端子でシフトレジスタの各ビットに直接対応しています。
ラッチの内容（表示データ）と DF 信号の組み合せにより V_1, V_3, V_4, V_{SS} の4レベルのうち1レベルが選択され出力されます。真理値表参照。
本出力は液晶パネルのセグメント側に接続します。

● $\overline{DISP\ OFF}$

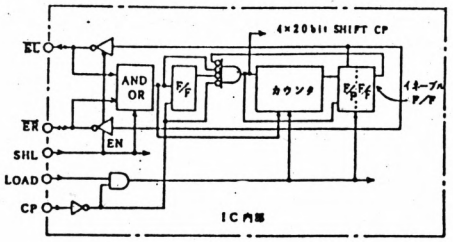
$O_1 \sim O_{80}$ 出力端子を制御する入力端子で "L" レベル入力区間中 $O_1 \sim O_{80}$ 端子出力より V_1 レベルが出力されます。真理値表参照。

■タイミングチャート（1/200 Duty 1/15 Bias の場合

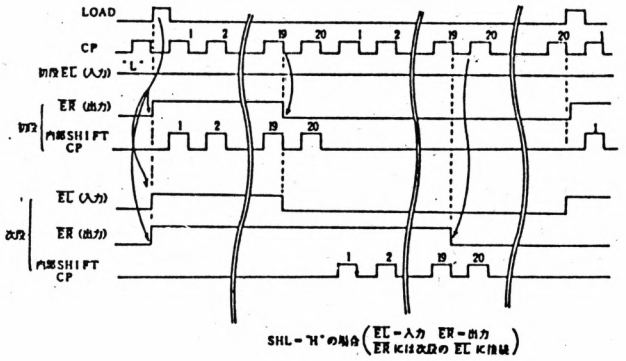


■パワーダウン機能

カスケード接続した場合低消費電力を図る様 IC 内部にイネーブル F/F を設けてあり（図－3参照）このイネーブル F/F がセットされた IC のみ表示データが転送され、他のイネーブル F/F がセットされていない IC は非取込み状態となり、低消費電流状態（I_{DD} SBY）を保持します。
このイネーブル F/F のセット状態は IC 1個のみ存在する様 $\overline{EC}$, $\overline{ER}$ 及び内部カウンタにより順次次段にシフトされて行きます。



<図－3>



カスケード接続時のタイムチャート

MSM5298GS

LCDドットマトリクスコモンドライバー

■概　要

MSM5298GSは，LCDドットマトリクスコモンドライバーで 68ビット双方向シフトレジスタと各ビットごとのレベルシフターおよび4レベルドライバーから構成されたCMOS ICです。

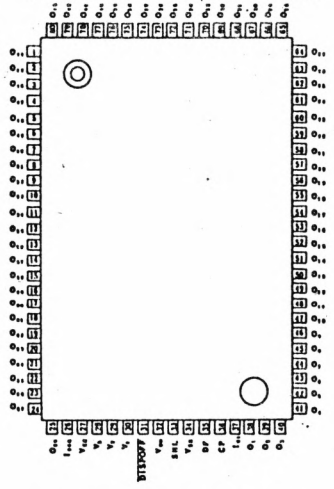
LCD出力は68本を有し，他にカスケード接続のための入出力端子によりICの増設が可能でLCD出力を増やすことができます。ドライブレベルを決めるバイアス源は外部から任意に与えることができ，広範な液晶パネルに対応できます。

■特　長

- ロジック電源電圧　4.5V ～ 5.5V
- 液晶駆動電圧　8～26Vと広範囲
- 1/64 ～ 1/256デューティまでの液晶パネルに対応（1/200デューティはMSM5298GSをカスケード接続した場合）
- 外部よりバイアス電源供給可能
- 80 ピンフラットプラスチックパッケージ

■端子接続

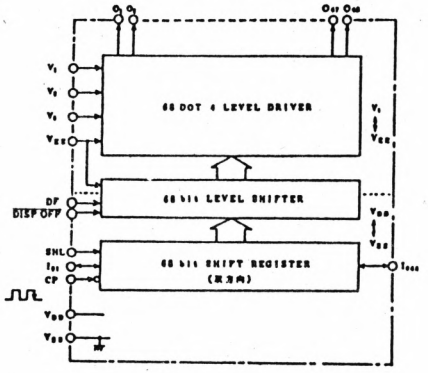
(Top View) 80Lead Plastic Flat Package



注．形名の現品への表示は簡略形を用い，M5298となります。

〔本仕様は予告なく変更することがあります〕

■回路構成



■真理値表

DF	ラッチデータ	$\overline{DISPOFF}$	ドライバーアウト($O_1 \sim O_{68}$)
L	L	H	V_2
L	H	H	V_{EE}
H	L	H	V_5
H	H	H	V_1
×	×	L	V_1

■端子説明

● I_{01}, I_{068}, SHL

68 ビット双方向シフトレジスタの入出力端子でシフト方向は SHL 端子で選択します。

I_{01} I_{068} 及び SHL の機能を表－1に示します。

SHL	シフト方向	I_{01} ／ I_{068}	入出力	機　　能
L	$O_1 \rightarrow O_{68}$	I_{01}	入	シフトレジスタの走査データ入力端子でクロックと同期して入力します。 注1
		I_{068}	出	シフトレジスタの出力端子で I_{01} 端子より入力された走査データのビット数（68）だけ遅れてクロックパルスに同期して出力されます。 カスケード接続の場合は応用回路例参照
H	$O_{68} \rightarrow O_1$	I_{068}	入	シフトレジスタの走査データ入力端子でクロックと同期して入力します。 注1
		I_{01}	出	シフトレジスタの出力端子で I_{068} 端子より入力された走査データのビット数（68）だけ遅れてクロックパルスに同期して出力されます。 カスケード接続の場合は応用回路例参照。

<表－1>

注1. 走査データ（I_{01}, I_{068}）と液晶駆動出力（$O_1 \sim O_{68}$）の関係は表－2に示します。

I_{01}, I_{068}	液晶駆動出力
"H"	選択レベル　(V_1　V_{EE})
"L"	非選択レベル　(V_2　V_5)

<表－2>

● CP

68 ビット双方向シフトレジスタのクロックパルスの立ち下がりで走査データはシフトします。

● DF

液晶駆動波形の交流同期のための信号入力端端で通常のフレーム反転信号を入力します。

● V_{DD}, V_{SS}

本 IC の電源端子で通常 V_{DD} = 4.5V～5.5V V_{SS} は GND 端子で　V_{SS} = 0V で使用します。

● $\overline{DISP\ OFF}$

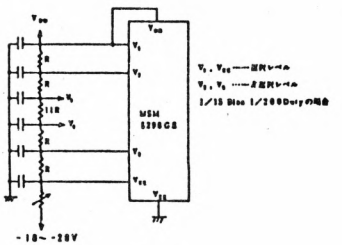
$O_1 \sim O_{68}$ 出力端子を制御する入力端子で "L" レベル入力区間中 $O_1 \sim O_{68}$ 端子出力より V_1 レベルが出力されます。真理値表参照

● V_1, V_2, V_5, V_{EE}

液晶駆動用のバイアス電源端子で，通常は抵抗分割によるバイアス電源を使用します。

液晶駆動用バイアス電圧を抵抗分割で供給する場合を図－1に示します。

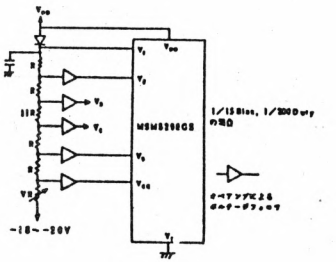
V_1 端子は V_{DD} 端子より分離しても使用可能です。



<図－1>

またオペアンプを使用してバイアス電圧を供給する場合を図－2に示します。

オペアンプを使用することによりバイアス電源のローインピーダンス，低消費電流が可能となります。



<図－2>

● $O_1 \sim O_{68}$

本 IC の4レベルドライバーの出力端子でシフトレジスタの各ビットに直接対応しています。

シフトレジスタのデータと DF 信号の組み合せにより V_1, V_2, V_5, V_{EE} の4レベルのうち1レベルが選択され出力されます。

真理値参照。

本出力は液晶パネルのコモン側に接続します。

MS—2401高级加速卡改装说明

一、技术性能(装加速卡后与原性能相比)

字号	字体	打印速度	字形质量
五号	宋	不变	不变
	黑	提高2.4倍	好
	楷	提高2.4倍	好
	仿宋	提高2.4倍	好
四号	宋	提高2.4倍	非常好
	黑	提高2 倍	非常好
	楷	提高2 倍	非常好
	仿宋	提高2 倍	非常好
三号	宋	提高1.6倍	较好
	黑	不变	不变
	楷	不变	不变
	仿宋	不变	不变
二号	宋	不变	不变
	黑	提高1.2倍	较好
	楷	提高1.2倍	较好
	仿宋	提高1.2倍	较好

二、改装

1、准备三片27256，将软盘文件

2401NEW·BIO(BIOS)

WP0702·R1(WP1)

WP0702·R2(WP2)

写入27256

2、将三片27256装到2401主机板相应位置(见下图)



3、按新的电路图对字库板改线，并焊上20脚×2插座。2Mb字库板(11片字库）焊在正面右上角。4Mb字库板(6片字库)焊在正面左边。

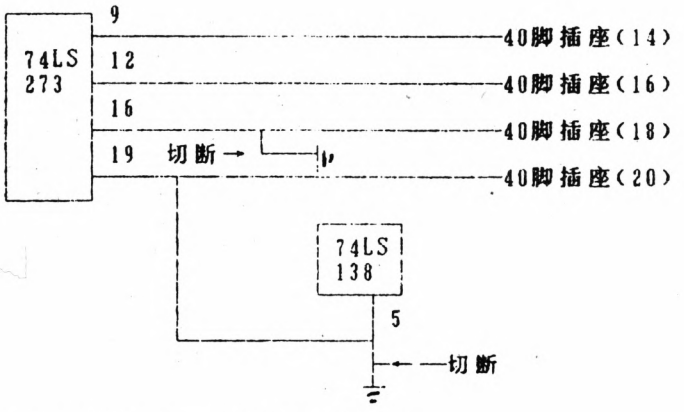
4、将2401高级加速卡插在改装好的精密字库板上(注意元件面向下)。

三、字库板电路变更

A、4Mb字库(6片字库)加6条线

线号	起点	终点
1	74LS273(9)	40脚插座(14)
2	74LS273(12)	40脚插座(16)
3	74LS273(16)	40脚插座(18)
4	74LS273(19)	40脚插座(20)
5	74LS273(19)	40脚插座(5)

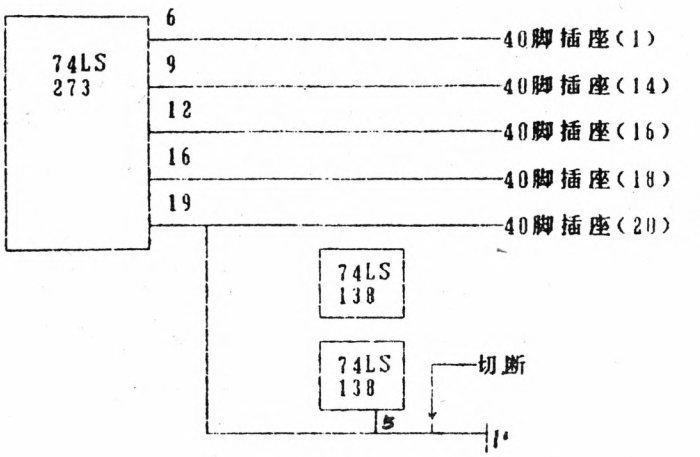
切断原74LS273(16)和74LS138(5)的接地连线及40脚插座(20)脚原接线



B、2Mb字库片(11片字库)加七条线

线号	起点	终点
1	74LS273(9)	40脚插座(14)
2	74LS273(12)	40脚插座(16)
3	74LS273(16)	40脚插座(18)
4	74LS273(19)	40脚插座(20)
5	74LS273(19)	74LS138(5)
6	74LS273(6)	40脚插座(1)

切断原74LS138(5)接地连线



四、注意事项

1、加速卡板插在字库板上时一定要插到底

2、字库板插到主机板上时一定要插到底

3、电路变更中的40脚插座是指新焊上的20脚×2插座

4、加速卡小板安装时元件面向下

5、焊线时字库芯片一定要取下来

6、焊线时应先检查烙铁头是否漏电

7、2mb字库板上有2个74LS138，改线指的是元件面上面的一个。

8、1991年7月24号以前经销单位拿到的加速卡请将加速卡小板的(4)(5)脚连在一起。

9、2Mb字库板元件面左上角编号N打头为N板，S或C打头为S板、C板。
N板使用A、B、C…为序的字库，S板C板使用01、02、03…为序的字库。

10、2Mb字库在板上顺序如下：

B C I

A F H K

D E G J

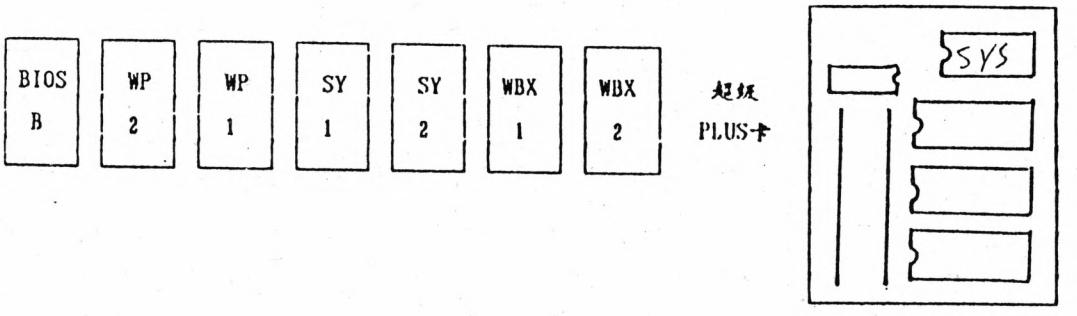
11、4Mb字库在板上顺序如下：

F、E、D、C、B、A

超级PLUS卡改装说明

一、改装方法

将三片27256芯片BIOS、WP1、 WP2分别插到2401主机板的相应位置(见下图)，将 SYS芯片插到PLUS卡上(有的卡已插好，见右图)



注:芯片缺口必须向上。

按新的电路图对字库板改线，并焊上20脚×2插座。2MB字库板(11片字库)焊在正面右上角。4MB字库板(6片字库)焊在正面左边。

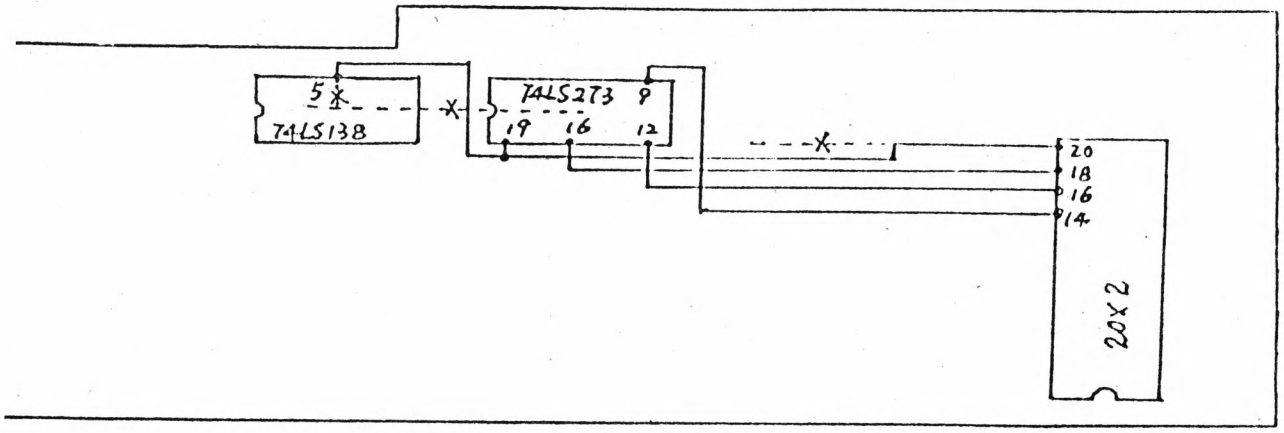
将2401超级PLUS卡插在改装好的精密字库板(元件面朝下)

一、字库板电路变更

A、4MB字库在(6片字库)加焊5条线(见下图)

线　号	起　点	终　点
1	74LS273(9)	40脚插座(14)
2	74LS273(12)	40脚插座(16)
3	74LS273(16)	40脚插座(18)
4	74LS273(19)	40脚插座(20)
5	74LS273(19)	74LS138(5)

注意:切断原74LS273(16)和74LS138(5)的接地连线及40脚插座(20)脚原接地线。

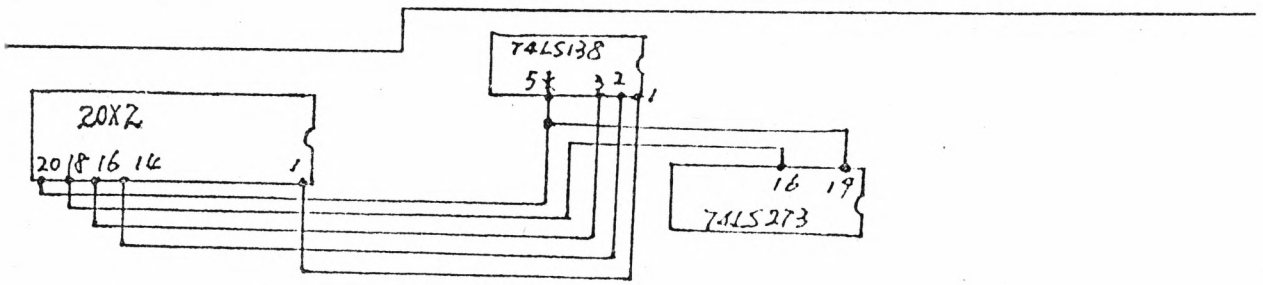


B、2MB字库片(11片字库)加6条线

线　号	起　点	终　点
1	74LS138(1)	40脚插座(1)
2	74LS138(2)	40脚插座(14)
3	74LS138(3)	40脚插座(16)
4	74LS273(16)	40脚插座(18)
5	74LS273(19)	40脚插座(20)
6	74LS273(19)	74LS138(5)

注意:切断原74LS138(5)接地线

2MB字库背面



三、注意事项

1.PLUS板插在字库板上时一定要插到底；

2.字库板插到主机板上时一定要插到底；

3.电路变更中的40脚插座是指新焊上的20脚×2插座；

4.PLUS小板安装时元件面向下；

5.焊线时字库芯片一定要取下来；

6.焊线时应先检查烙铁头是否漏电；

7.2MB字库上有2个74LS138、改线指的是元件面上面的一个；

8.字库芯片排列顺序为：

2MB字库在板上顺序如下：

B C I

A F H K

D E G J

4MB字库在板上顺序如下：

F、E、D、C、B、A

9.对于4MB字库的2401机、键盘电路板焊点与精密字库板的间隔距离相对较小，在这样的打字机上安装PLUS卡，如果出现盖上机壳有时死机现象，请把键盘电路对于安装PLUS卡上方的焊点用锉刀锉平一些，并在PLUS卡上帖一张绝缘胶带。

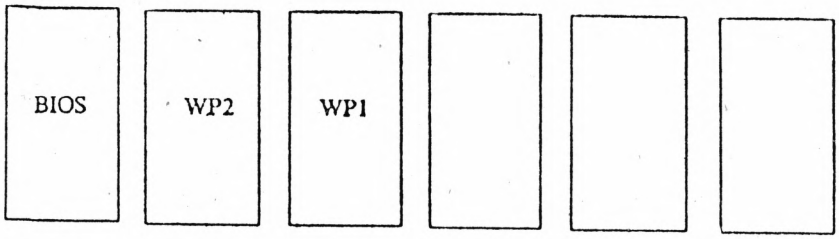
MS—2401 PLUS （升级卡）安装说明

一、更换主板程序片：

1.准备三片27256，将软盘文件

BIOS、 WPR1、WPR2、分别写入27256。

2.将写好27256插入2401主机板相应位置（参见下图）。



二、改装2MB字库板：

1.在2MB字库板的5E处安装20P单排插座2个，针孔缺口向外。

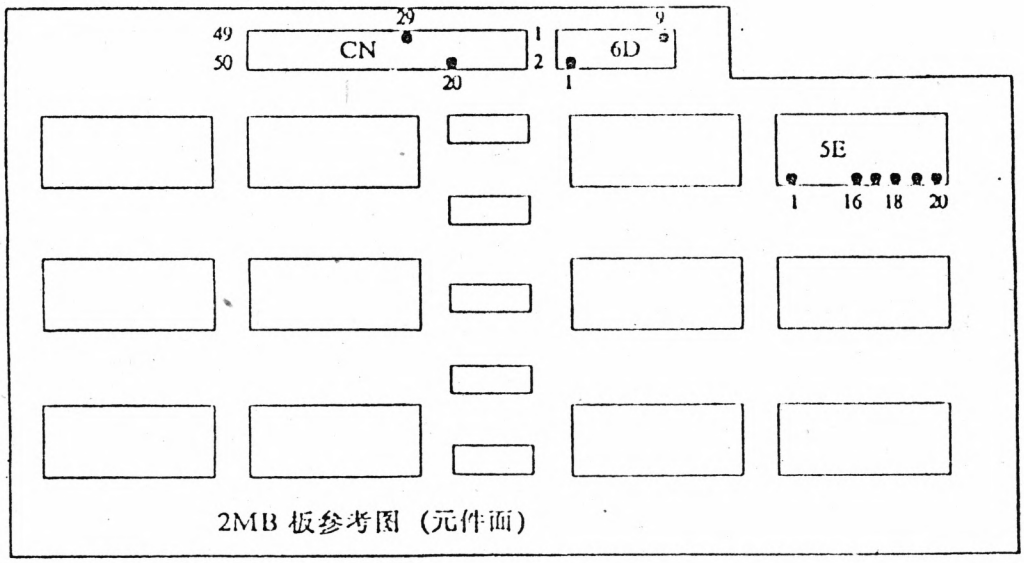
2.按参考图加线三根。

（1）： CN—29（元件面）——5E—16（焊接面）（195mm）

（2）： 6D—9（焊接面）——5E－18（焊接面）（95mm）

（3）： CN—20（元件面）——5E—20（焊接面）（180MM）

3.2MB板改装完后，将2401升级卡插在5E插座上。



2MB 板参考图（元件面）

三、改装4MB字库板

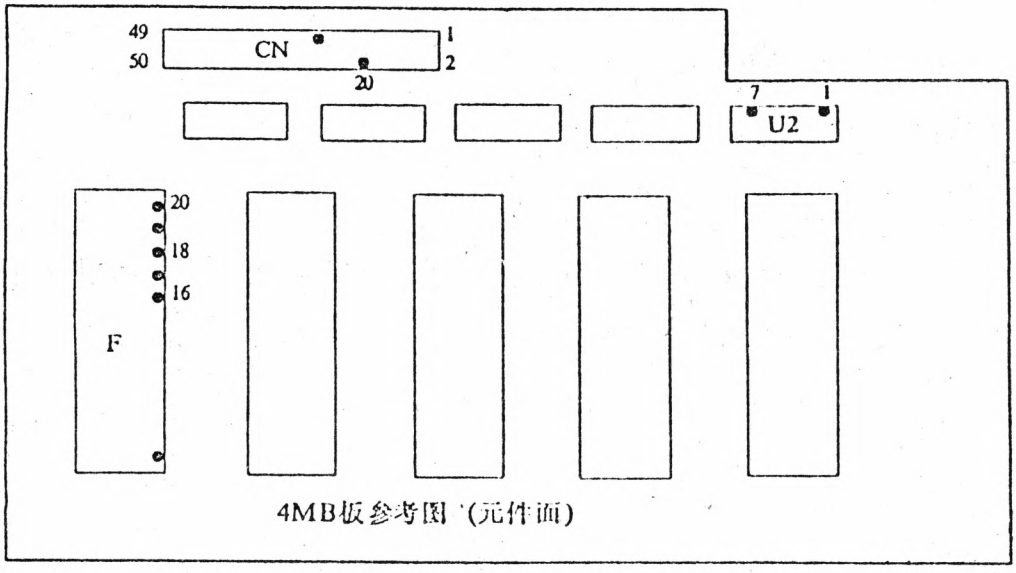
1.在4MB字库板的F'处安装20P单排插座2个，针孔缺口向外。

2.按参考图加线三根：

(1)：　CN—29(元件面)——F'—16(焊接面)(185mm)

(2)：　U2—7(焊接面)——F'—18(焊接面)(160mm)

(3)：　CN—20(元件面)——F'—20(焊接面)(100mm)



4MB板参考图 (元件面)

3.4MB板改装完毕后，将2401升级卡插在F'的插座上。

四、检测：

(1)开机后，运行检测程序TEST · COM，可在屏幕上看到65个OK，则说明升级卡的字库和程序芯片均正常，若出现相应的数字，如：

OK，OK，OK，04，05，06……OK

则说明升级卡上字库的第4页、第5页、第6页出错。

(2)当检测正常后，可试打印TEST · TXT文件。应正确打出楷、宋、黑、各体的四号字。

五、注意事项：

⑴焊线时应检查烙铁头是否漏电。

⑵升级卡插在字库板上时一定要插到底。

⑶字库板插在主机板上时一定要插到底。

⑷安装完毕后，必须用检测程序检测升级卡。

⑸安装4MB板时应剪去键盘板上相应部分的焊头，防止造成短路。

STONE　OA　技术开发部

1992年7月1日

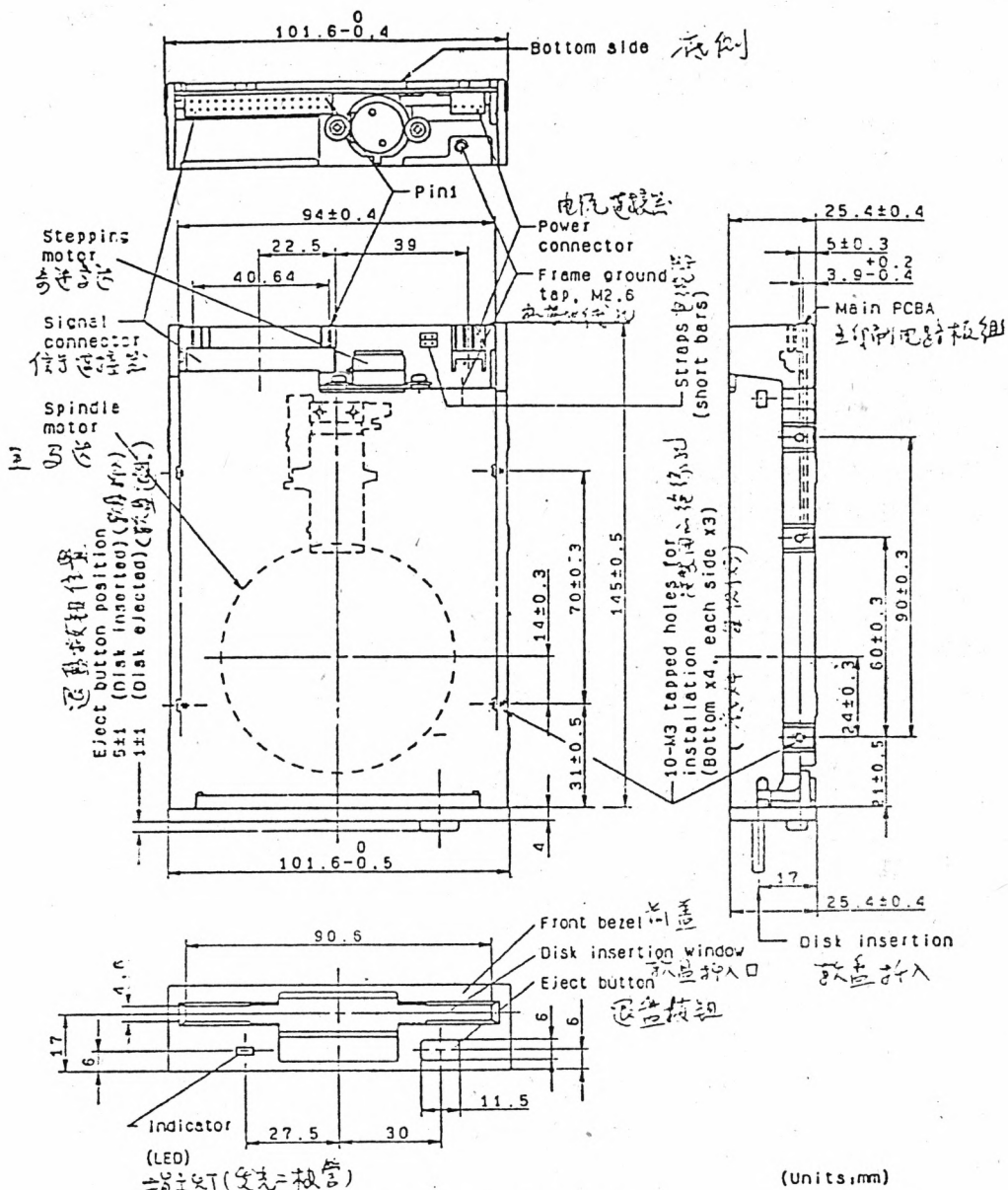
TEAC FD-235F-4139 软盘驱动器技术说明

1.概要

TEAC FD-235F双面3.5"软盘驱动器(以下简称FDD)技术参数。表1例出FDD的主要参数。

型号名称	FD-235F-4139
安全标准	UL和CSA
3.5"盘使用	普通密度3.5"软盘(2DD)
格式化前的容量	1兆字节
数据传输速率	250千位/秒
磁盘转速	300圈/分
磁道密度	135道/英寸
磁道时间	3毫秒
所需电源	+5伏 单向(4.5～5.5伏)
前盖	Beidge (AT)
退盘按钮	Beidge (AT)
发光二极管指示灯	绿色
输出信号驱动器	集电极开路TTL
输入信号匹配器	1KΩ±5% 不可卸下
用户可选的电缆带	DS0 DS1
传输时电缆带设定	1.电缆设定:DS1(驱动选择1在12脚) 2.其它功能设定 2.1 发光二极管打开条件:驱动选择 2.2 马达转动条件:马达打开 2.3 准备就绪和检索完毕门,(全屏散)用于索引和读数据输出脉冲。 2.4 软盘更换在脚34。 2.5 自动检查,自动调整。 2.6 FDD机架为零伏直流。
接口连接器	34脚直角连接器和电源连接器
其它功能选项	没有配备

(表1)参数概要



(Units:mm)

(Fig.1) FDD external view

2.软盘

用户和TEAL-致同意采用3.5"软盘

3.物理参数

⑴宽：101.6毫米(4.00寸)，最大值

⑵高：25.4毫米(1.00寸)，标称

⑶长：145毫米(5.71寸)，最大值。不包括前盖

⑷重量：350克(0.77磅)，标称

370克(0.82磅)，最大值

⑸外形图：参见图1

⑹冷却：自然风冷

⑺安装：按下述方向安装

(a)从前面装入并垂直固定

(b)从前面装入并水平固定主马达

(c)在a和b中的安装角度应该小于25度，并且前盖要上下一致。

注意：对于与上述方向不同的其它安装方法应分别考虑。

⑻固定：用FDD机架上的固定孔，参见图1

⑼机架材料：铸铝

⑽前盖材料：PPHOX(Zyron 符合 UL94-5V)

4.操作特性

4.1 数据容量

参见表2

4.2 软盘转动特性

⑴主马达：无电刷直流马达

⑵主马达速度：300转/分

⑶马达伺服方式：由陶瓷振荡器提供频率伺服

⑷马达/主轴连接：马达传动轴定向

⑸软盘转速：300转/分

长期转速误差(LSV)：±1.5%或更低

瞬间转速误差(ISL)：±2%或更低

录制方法				FM	MFM
数据转换速率（千位/秒）				125	250
磁道/软盘				160	160
磁道位密度（位/寸）				4,359	8,717
磁道磁力线密度（磁通翻转/寸）				8,717	8,717
数据容量	未格式化		千字节/磁道	3.125	6.250
			千字节/软盘	500	1,000
	格式化后	16扇区/磁道	千字节/扇区	0.128	0.256
			千字节/磁道	2.048	4.096
			千字节/软盘	327.68	655.36
		9扇区/磁道	千字节/扇区	0.256	0.512
			千字节/磁道	2.304	4.608
			千字节/软盘	368.64	737.28
		5扇区/磁道	千字节/扇区	0.512	1.024
			千字节/磁道	2.560	5.120
			千字节/软盘	409.60	819.20

表2　数据容量

(6)起动时间：480毫秒或更短

(7)平均等待时间：100毫秒

4.3　索引检测

(1)索引个数：1次/软盘转动一圈

(2)检测方法：通过霍尔元件进行主马达的旋转检测

(3)检测循环：197-203毫秒

(4)索引脉冲时间误差：±1ms或更短，配有专门测试盘

4.4　磁道结构

(1)磁道密度：135道/寸（道间距187.5微米）

(2)磁道柱面个数：80柱面

(3)磁道个数：80道/面，160道/软盘

(4)磁道外径（00磁道）：0面39.500毫米（1.5551寸）

1面38.000毫米（1.4961寸）

⑸磁道内径(79磁道):0面24.6875毫米(0.9719寸)

1面23.1857毫米(0.9129寸)

⑹定位精度:±15微米或更低，用特定的检测盘(40磁道，23±2°摄氏，相对湿度45-55%，水平)

4.5 磁头

⑴磁头:读/写头带擦除间隙，2套

⑵擦除后的有效磁道宽度:0.115±0.008毫米(0.0045±0.0003寸)

⑶读/写间隙方位错误:0° ±26′，用特定的检测盘

4.6 磁道检索特性

⑴磁头定位结构:步进马达和导向螺栓

⑵步进马达:4相，20步/圈

⑶步进马达驱动:2步/道

⑷磁道00检测方法:光检测器

⑸磁道之间的时间:3毫秒(不包括设置时间，参见8.3.4节)

⑹设置时间:15毫秒(不包括磁道之间的时间)

⑺磁道平均检索时间:94毫秒(不包括设置时间)

4.7 窗口容限及其它

⑴窗口容限(用特定的测试盘，改进调频制方法，锁相振荡分离器):600毫微秒或更长

⑵建议的预写补偿:0-±125毫微秒

⑶磁头加载结构:不配备(无论何时插入软盘FDD即变为加载状态)

⑷文件保护原理:通过开关测试写入孔禁止

⑸软盘检测原理:通过开关检测软盘的插入

⑹软盘插入力:700克力或更小，在软盘中心

⑺软盘退出力:1400克力

⑻50厘米的躁音:50分贝或更低，在3或4毫秒的检索操作时。

⑼自动调整:电源开启后，自动调整到00磁道。

5.环境条件

注释:下述条件仅适用于未打开包装的FDD。

⑴环境温度

(a)操作：摄氏4-51.7度(华氏39-125度)

(b)存贮：摄氏-22-60度(华氏-8-140度)

(c)运输：摄氏-40-65度(华氏-40-149度)

⑵温度变化

(a)操作：每小时摄氏20度(华氏30度)或更小。

(b)存贮和运输：每小时摄氏30度(华氏54度)或更小。

⑶相对湿度

(a)操作：20-80%(没有冷凝)

最大湿球湿度将为摄氏29.4度(华氏85度)

(b)存贮：5-90%(没有冷凝)

最大湿球温度将为摄氏40度(华氏104度)

(c)运输：5-95%(没有冷凝)

最大湿球温度将为摄氏45度(华113度)

⑷震动

(a)操作：1.5克或更小

1.0克或更小

0.5克或更小

(b)运输：2克或更小

⑸冲击

(a)操作

读和写：5克(11毫秒，1/2正弦波)或更小

只读：　10克(11毫秒，1/2正弦波)或更小

在三次之内可重新读取的软错误是元件的。

(b)运输：70克(11毫秒，1/2正弦波)或更小

⑹操作高度：-300米(-980尺)～5000米(16400尺)

6.可靠性

⑴平均无故障时间：开机30000小时(标准操作)

⑵平均修复时间：30分钟

⑶无器件设计寿命：5年

⑷软盘寿命：3×10⁶次/磁道或更多

⑸软盘插入次数：3×10⁴次或更多

⑹检索操作寿命：1×10⁷随机检索或更多

⑺预防性维修：不需要（标准操作时）

⑻错误率

（a）软错误：1次/读10⁹位或更低

软错误的定义是在三次之内可以正确读出

（b）硬错误：硬错误的定义是在三次之内不可正确读出。然而调整到00磁道后再进行四次以上的读取。

（c）检索错：1次/10⁴检索

检索错误的定义是在一次重新检索中可以找到所要的目标，其中包括调整到00磁道。

⑼安全标准：符合UL和CSA标准

⑽静电荷：15千（150微微法，330欧）或更高当测试前盖时，不会发生硬错误或元器件损坏。

7. 电源接口

7.1 所需电源

下列参数用于FDD的接口

⑴+12伏直流：不需要

⑵+5伏直流

（a）电压误差：±10%（4.5-5.5伏）

（b）允许波动电压：100毫伏峰峰值或更低（包括脉冲噪音）

注释：

1. 标准电压值为5.0伏，而在软盘运行有力矩时，最大值为5.5伏（+10%）

2. 等待方式定义在主马达和检索操作停止状态下。

3. 马达起动后，急速起动电流时间限制在350毫秒内。

4. 短时间尖峰电流小于0.9安培（不包括电源打开时的电涌）

5. 电流消耗曲线请参见9.4节

Operating mode		Average current		Average power	
		Typ.	Max.	Typ.	Max.
Stand-by		3.0mA	5.0mA	15mW	28mW
Read operation		0.22A	0.33A	1.10W	1.82W
Write operation		0.22A	0.33A	1.10W	1.82W
Seek operation	3ms	0.42A	0.53A	2.10W	2.92W
	6ms	0.50A	0.62A	2.50W	3.41W
Spindle motor start		0.62A	0.70A	3.10W	3.85W

表3　电流和功耗

7.2　电源接口和电缆

(1)电源接口

(a)FDD-侧的接头：AMP，D/N　171826-4(自然色)或相应的接头。

(b)管脚个数：4个

(c)错接时的保护措施：靠接头孔形状的不同而采取保护。

(d)接头外形图：参见图2

(e)接头位置：参见图1

(f)电源接口接头：参见表4

(g)电缆一侧的匹配接头：AMP　P/N　17128224(自然色)或相应的接头。

(h)电缆一侧的匹配管脚：

AMP　P/N170204-2(AWG #20-26，散件)

或　P/N170262-2(AWG #20-26，带状)或相应的管脚

(2)电源接口电缆

任何超过FDD额定功耗的电缆均可选用。

8.信号接口

8.1　电特性

(1)接口驱动器/接收器：见图3

(2)电特性

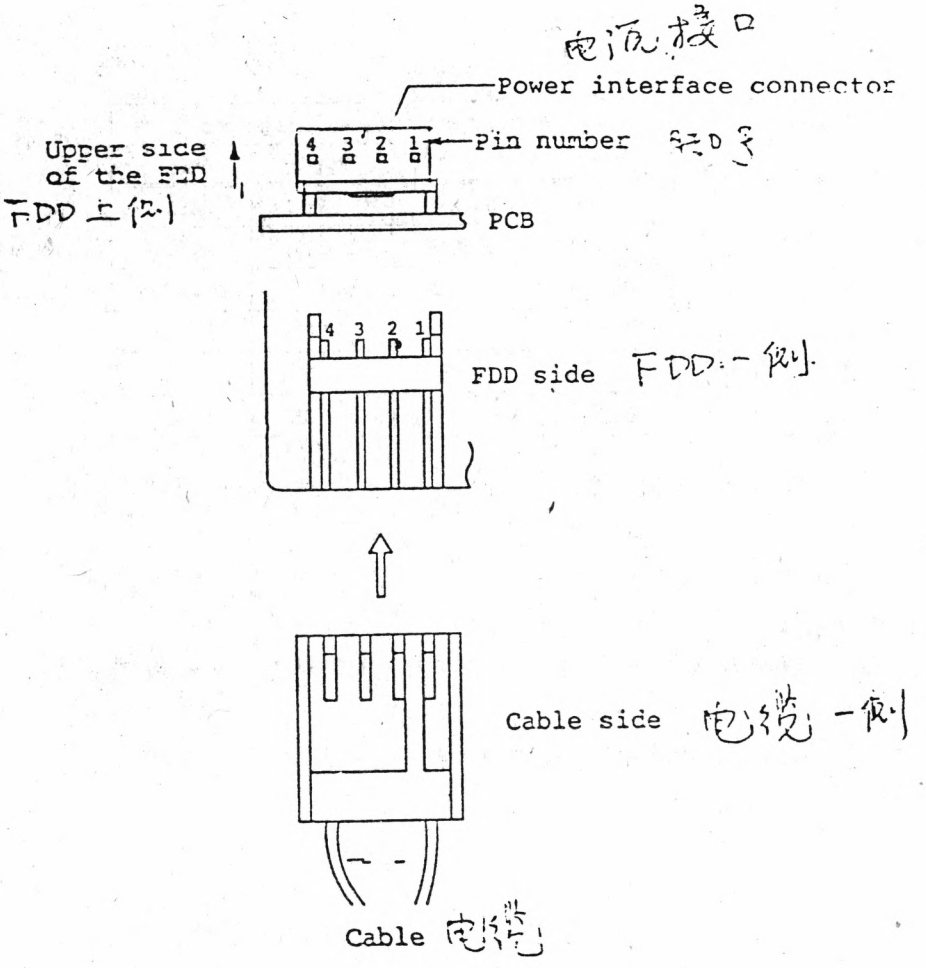


图2　电源接口外形图

Power voltage	Pin numbers
DC +5V	1
0V	2
(0V)	3
(No connection)	4

电源电压　管脚号　不连接

表4　电源接口管脚分布

下列参数用于FDD的接口接头

(a)输入信号(TTL电平)

低电平(真):0-0.7伏

输入电流:5.9毫安，最大值(包括匹配电阻的电流)

高电平(假):2.2-+5V伏电压

(b)输出信号(集电极开路驱动器)

低电平(真):0-0.4伏

驱动器吸收电流能力:37毫安，最大值

高电平(假):取决于主侧匹配电阻

(3)匹配电阻值:1KΩ±5%

匹配电阻(可拔下)连接于每个输入信号线

(4)主侧驱动器:TTL、CMOS等

所需的吸收电流:FDD输入电流×FDD菊花链个数

(5)主侧接收器:TTL、CMOS等

FDD每一个输出信号线均需匹配电阻。

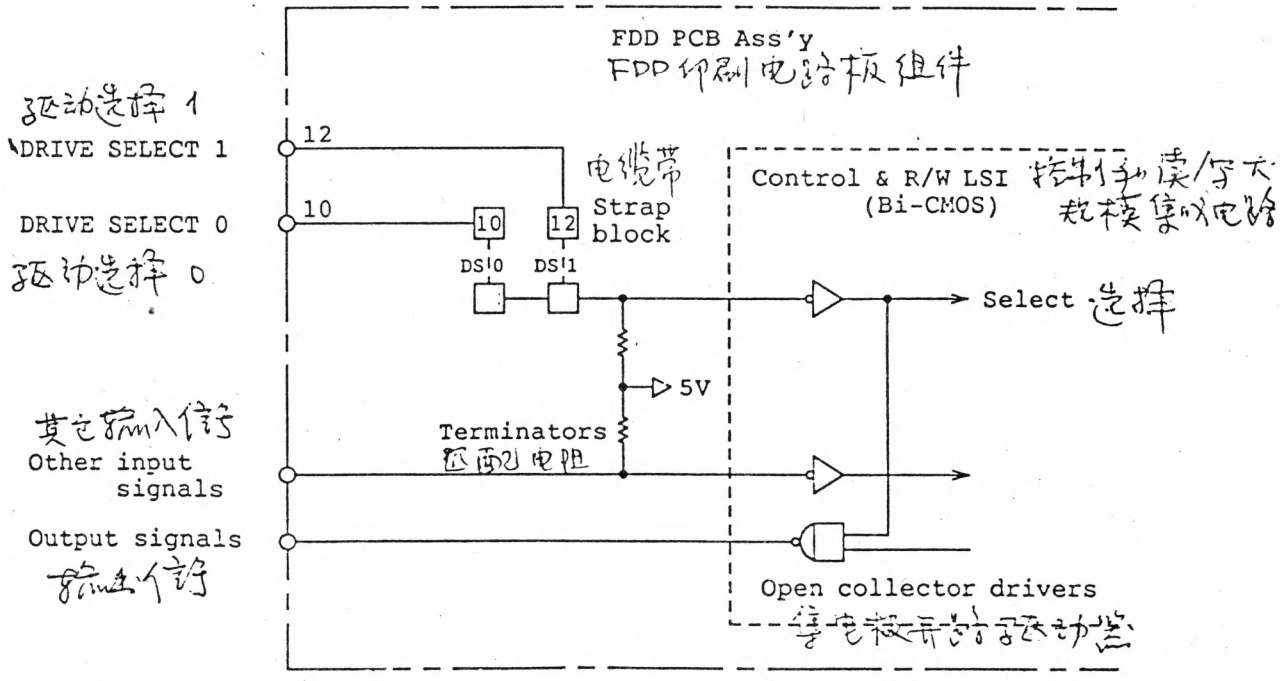


图3 FDD信号接口电路图

主侧匹配电阻值：通常要用1-2.2千欧（最小值为150欧）

8.2 信号接口接头和电缆

(1)信口接口接头

(a)FDD一侧的接头：Fujitsu、D/N FCN-725P034-AU% 或相应的接头。

(b)管脚个数和管脚间距：

2.54毫米(0.1寸)间距，34个管脚，方块头

(17脚，两行，偶数管脚在上边)

(c)接头外形图：见图4

(d)接头位置：见图1

(e)接口边接：见表5

管脚 信号 管脚 信号 方向

Pin Nos.	Signals	Pin Nos.	Signals	Direction	
1	NC	2	NC	—	
3	NC	4	NC	—	
5	NC	6	NC	—	
7	0V	8	INDEX 索引	Output	输出
9	0V	10	DRIVE SELECT 0 驱动选择0	Input	输入
11	0V	12	DRIVE SELECT 1 驱动选择1	Input	输入
13	0V	14	NC	—	
15	0V	16	MOTOR ON 马达开	Input	输入
17	0V	18	DIRECTION SELECT 方向选择	Input	〃
19	0V	20	STEP	Input	〃
21	0V	22	WRITE DATA 写数据	Input	〃
23	0V	24	WRITE GATE 写门	Input	〃
25	0V	26	TRACK 00 磁道00	Output	输出
27	0V	28	WRITE PROTECT 写保护	Output	〃
29	0V	30	READ DATA 读数据	Output	〃
31	0V	32	SIDE ONE SELECT	Input	输入
33	0V	34	DISK CHANGE/READY	Output	输出

表5 信号接口管脚分布

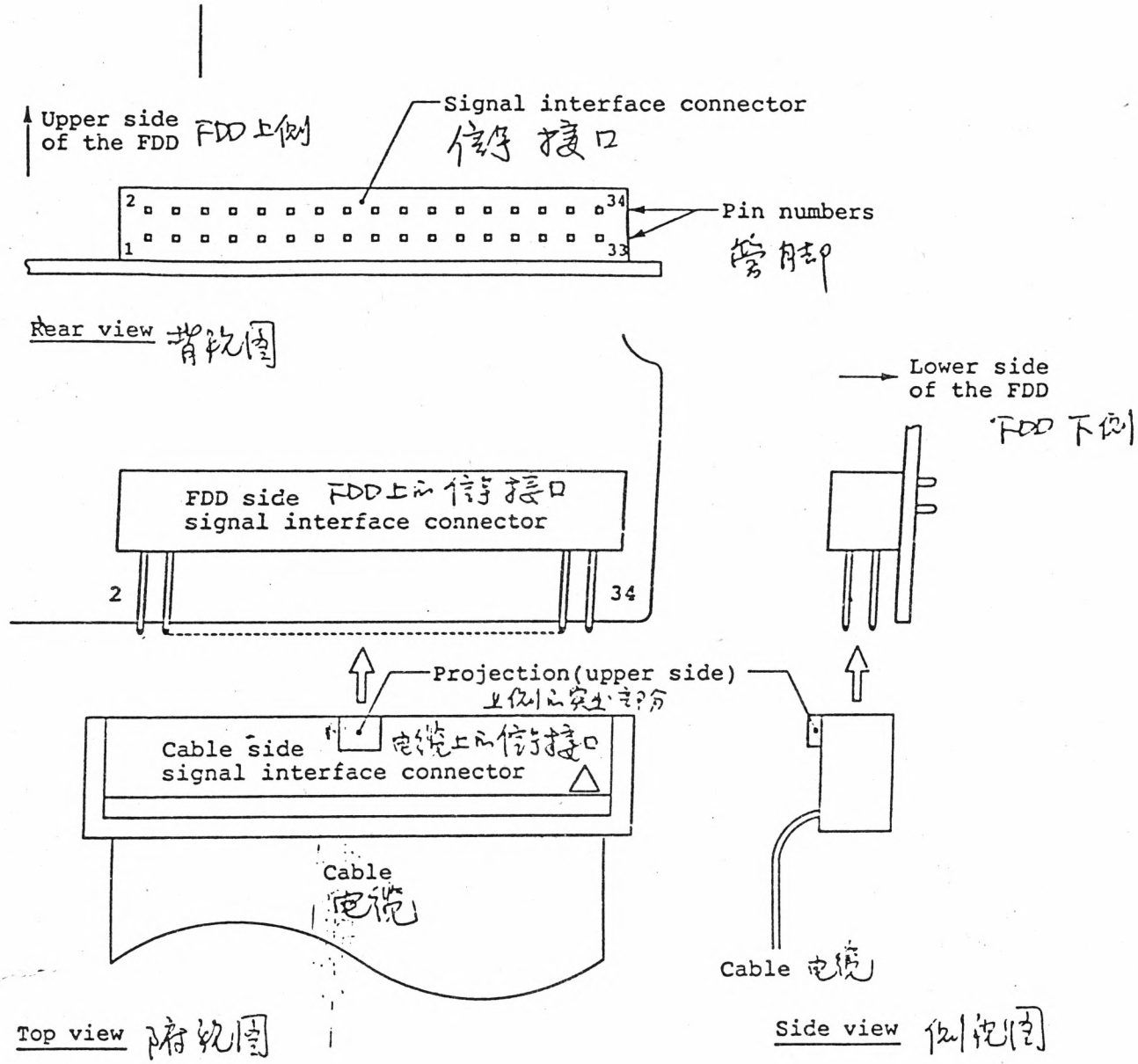

Upper side of the FDD
FDD上侧
Signal interface connector
信号接口
2
1
34
33
Pin numbers
管脚
Rear view
背视图
Lower side of the FDD
FDD下侧
FDD side
FDD上的信号接口
signal interface connector
2
34
Projection(upper side)
上侧的突出部分
Cable side
signal interface connector
电缆上的信号接口
Cable
电缆
Cable
电缆
Top view
俯视图
Side view
侧视图

图4　信号接口外形图

(f)电缆一侧的匹配接头：

Fujitsu,D/N FCN-747B034-AU/B(封底)或-AU/O(菊花链)或相应的接头。

注释：

推荐使用大众化的接头，因为其中间带有一个凸块以防止错误连接。参见图4

对这种流行的接头，▼号表明的管脚是第34号脚。

(2)信号接口电缆

电缆最大长度：2米(6.6尺)，匹配电阻为1千欧或更小(对于菊花链连接，电缆总长度应小于2米)

电缆越长，所需的阻值越小。

8.3 输入/输出信号

其下列叙述中，输入信号是传送给FDD的信号，而输出信号是取自于FDD的信号。

8.3.1 驱动选择0和1输入信号

(1)在多路控制中，信号选择一个特定的FDD进行操作。

(2)仅仅是与电缆带中相同序号的驱动选择信号才有效。

(3)当输入/输出被有效地接收时，此信号为有效值，不包括马达打开的信号。

(4)使每个输入或输出信号成为有效值所需的时间是在此信号传输后的0.5微秒(最大值)，包括通过接口电缆的延迟时间。

(5)前盖指示灯的打开条件请参见12.1节。

(6)电缆带设置参见11节。

8.3.2 马达启动输入信号

(1)电平信号驱动主马达

(2)马达启动信号变为有效后，在480毫秒内主马达到达额定转速。

(3)主马达旋转条件，请参见12.2节。

8.3.3 方向选择输入信号

(1)当步进信号线激话时，电平信号来确定磁头的运动方向。

(2)失步信号(从软盘中心向外移动)定义为高电平。反之，步入

信号(向着软盘中心移动)定义为低电平。

⑶这个信号将保持其电平达0.8微秒(最小值)，然后到达步进脉冲的下降沿。参见图10

8.3.4 步进输入信号

⑴负脉冲信号驱动磁头。脉冲宽度应为0.8微秒或更多，每个驱动脉冲驱动磁头移动一个磁道的距离。

⑵存取访问(磁头检索操作)在步进脉冲的后沿被初始化，并在开始存取访问的18毫秒内完成，这其中包括设置时间。

⑶对于相同方向的连续运动，步进脉冲间隔时间为3毫秒或更长些。而对于不同方向的运动，此间隔值应为4毫秒或更长时间。参见图10

对于同方向的运行，间隔时间少于3毫秒或对于同方向的运动，间隔时间少于4毫秒都会发生检索错误。

⑷当下列条件中的任何一条得到满足时，步进脉冲不被理睬及存取访问不被初始化：

(a)写保护信号为错误和写允许信号有效。

(b)00磁道信号有效和方向选择信号为高电平。

(c)步入操作(方向选择信号为低电平)取自于81磁道。

8.3.5 写允许输入信号

⑴电平信号擦除已写的数据并使可写新数据。

⑵当下列逻辑表达式得到满足时，FDD设置为写模式：

写门*驱动选择*写保护

⑶在单面选择信号电平变化后，这个信号应有效，延迟时间大于100微秒。

⑷在写允许信号变为无效后，用步进脉冲驱动的磁头检索操作不应超过1毫秒。

8.3.6 写数据输入信号

⑴负脉冲信号指定写在软盘上的数据内容。脉冲宽度应为0.1微秒至2.1微秒，并且使用脉冲的前沿。

⑵当下列任何一个条件满足进，写数据脉冲不被响应。

(a)写允许信号无效

(b)写保护信号有效

⑶此信号应按照图6寸序输入。

在读操作的过程中，为了避免有害的交叉对话，建议停止写允许信号的输入。

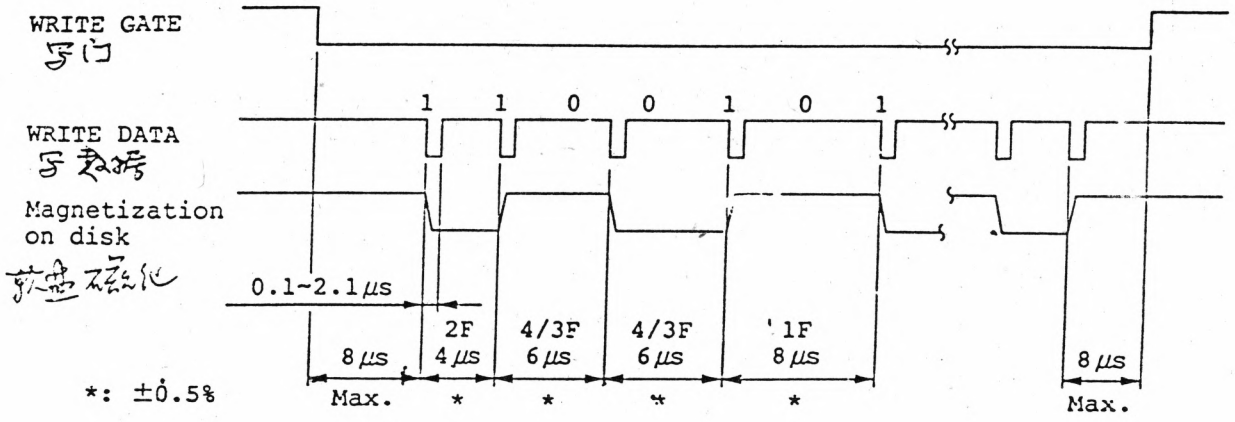


图5　写数据时序

8.3.7　一面选择输入信号

⑴电平信号指定双面软盘的哪一面用来读或写。

⑵当这个信号为高电平时，磁头选择软盘0面(底面)的表面；而当此信号为低电平时，磁头选择软盘1面(上面)的表面。

⑶此信号电平改变后，在被选定软盘表面的读数据脉冲有效值大于100微秒。

⑷此信号电平改变后，在被选定软盘表面的写操作(写允许信号有效)有效值应大于100微秒。

8.3.8　00磁道输出信号

(1)电平信号表明磁头处于00磁道。

(2)在有效地接收到步进脉冲后，此信号的有效值应大于2．8毫秒。

8.3.9　索引输出信号

(1)负脉冲信号指明磁道的起始点，软盘转一周输出一个索引脉冲。

(2)当下列逻辑表达式满足时，输出索引脉冲：

索引测试*驱动选择:准备就绪:检索完成

注释：

(a)准备就绪状态是电源开、软盘已插入、自动夹紧完毕、马达开命令经过484至505毫秒后、和索引脉冲已测试诸信号相“与”的结果。

(b)检索完毕意味着:在最终的步进脉冲后沿之后，15.8至17.9毫秒的状态通过。

(3)图6表明了此信号的时序。脉冲宽度为1.2至5毫秒，脉冲前沿将作为参考信号。

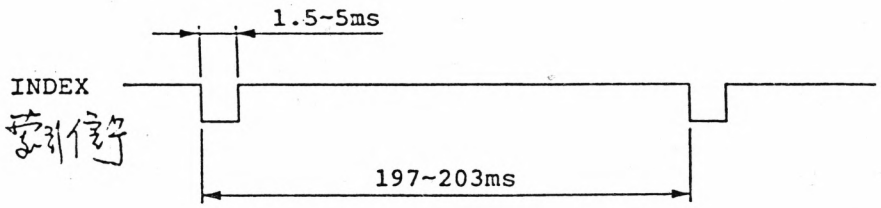


图6　索引时序

8.3.10　读数据输出信号

(1)负脉冲信号用于读取软盘上的时钟位和数据位数据。

(2)图7表明了此信号的时序。脉冲宽度为0.15微秒至0.8微秒，脉冲的前沿将作为参考。

(3)当下列表达式满足时，读数据脉冲便输出：

读数据测试*驱动选择*写操作*准备就绪

注释：

(a)准备就绪状态，请参见8.3.9(2)节

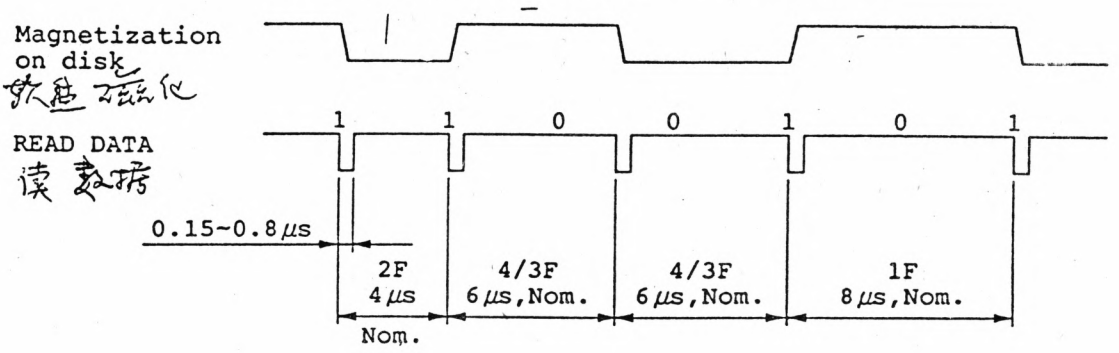
(b)写操作意味着：在写允许信号无效后，写允许输入信号无效和擦除延迟时间已被通过。

(c)检索完毕，请参见8.3.9(2)节

⑷当任何一个下列条件不满足时，输出脉冲为无效。

(a)在一面选择信号电平改变之后，100微秒已通过。

(b)在写允许信号无效之后，1毫秒已通过。



Note: The displacement of any bit position does not exceed ±700nsec from its nominal position. (When PLO separator is used with recommended write pre-compensation.)

(Fig.7) READ DATA timing (MFM method)

图7 读数据时序 (改进型调频制方法)

注释：任何一个二进位的位置不能超过其正常位置的±1/23

(当锁相振荡分离器与预写补偿一起使用时)

图7 读数据时序

8.3.11 写保护输出信号

(1)电平信号表明插入软盘的写禁止孔是打开的。

(2)当此信号有效时，软盘上的数据不可擦除，禁止写操作。

8.3.12 更换软盘输出信号

(1)电平信号表明FDD中的软盘被退出。

(2)当下列任何一个条件满足时，此信号变为有效。

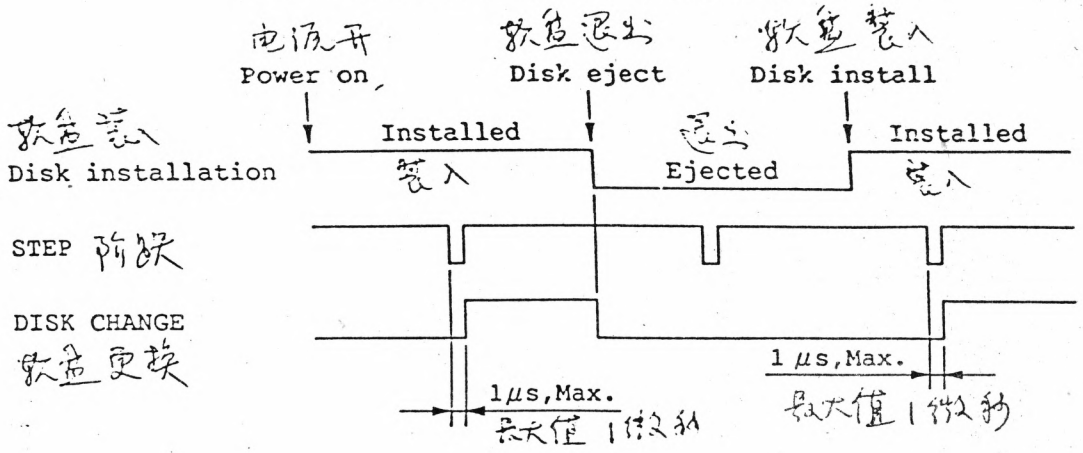
(a)电源打开。

(b)一张软盘被退出。

(3)当下列两个条件同时满足时，此信号变为无效：

(a)一张软盘已被插入

(b)当驱动选择信号有效时，收到步进命令。



Note: To simplify the timing chart, the DRIVE SELECT signal is assumed always TRUE in the above figure.

图8 软盘更换信号时序

8.3.13 不连接(NC)

在FDD中，不连接的管脚与其它电路是绝缘的。

8.3.14 对不用的信号的处理

如果对某些提供的输入/输出信号暂时没用，请断开这些信号的

电缆(参见11节)，或断开这些信号线，或用适当的匹配电阻(大于150欧)将他们连接主侧的一边。

9. 控制序列

9.1 电源开

(1)+5伏电源的上升和下降时间：不规定

(2)电源开或关的保护

(a)在+5伏电源低于3.5伏的瞬间，FDD避免错写和错擦除，无论输入信号状态是什么。

(b)在不包括(a)的条件下，只要写允许输入信号无效，FDD即避免错写和错擦除。

(3)FDD的电源复位时间：小于400毫秒，包括自动调整时间。

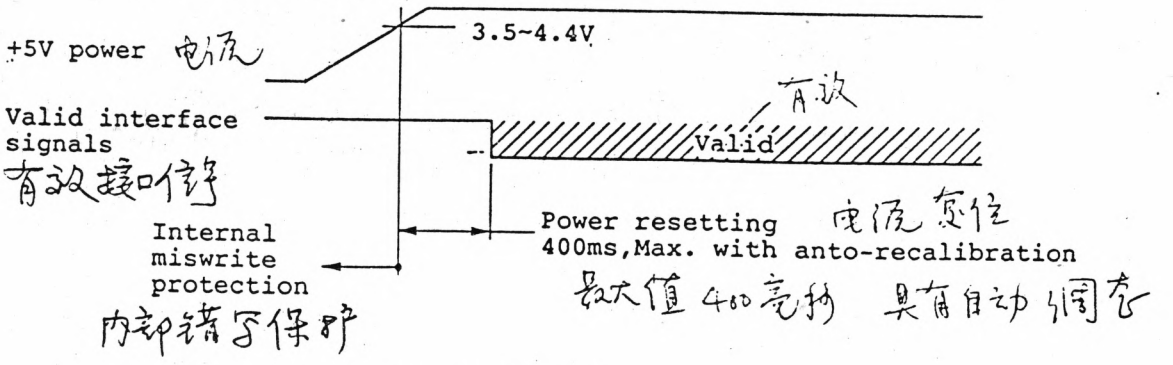


图9 电源开时序

9.2 检索操作

参见图10

9.3 读写操作

参见图11

9.4 电流损耗曲线

参见图12

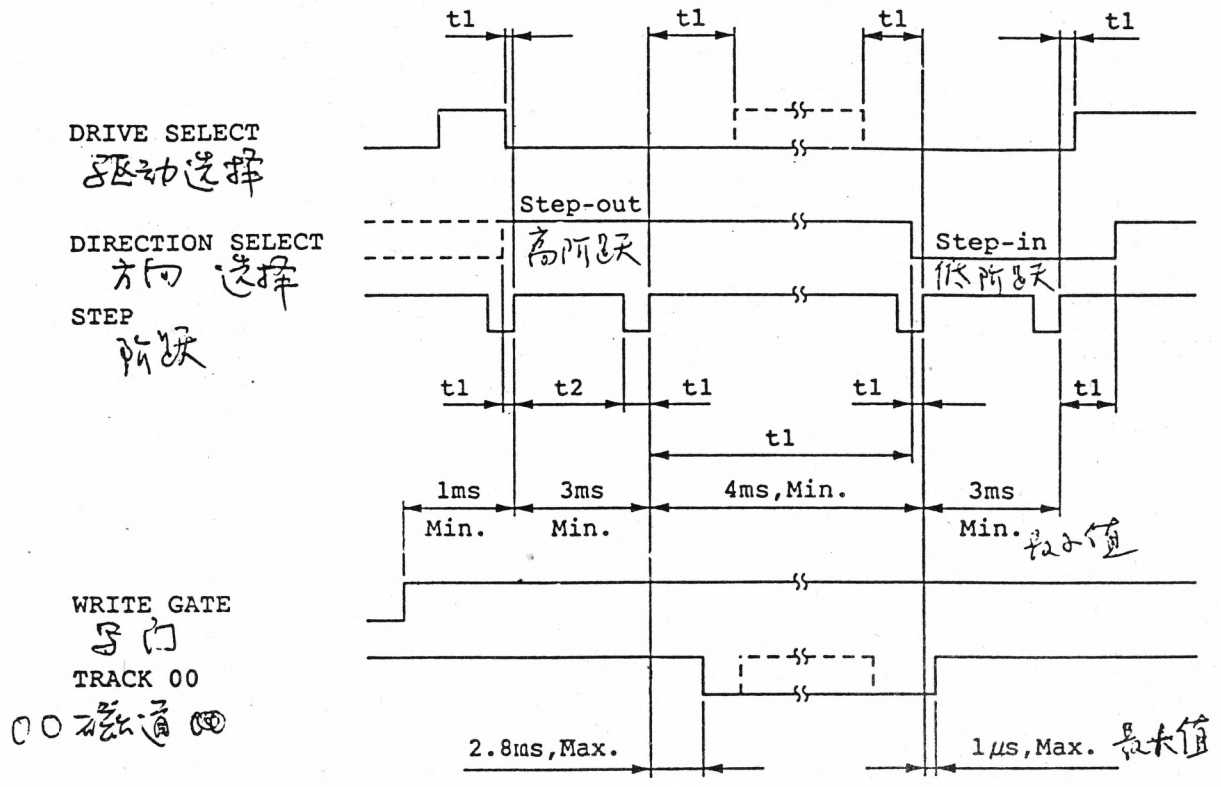
(1)等待模式

当下列条件都满足时，FDD进入等待模式(低功耗模式)。

(a)主马达停止。

9.2 Seek Operation 检索操作

Seek operation can be done independently of the spindle motor rotation.
检索操作与主驱旋转是独立的



$t1 \geqq 0.8\mu s$ $t2 \geqq 2\mu s$

图10 检索操作时序

Min. 最小
Max. 最大
ms：毫秒
μs：微秒

9.3 Read Write Operation

读写操作

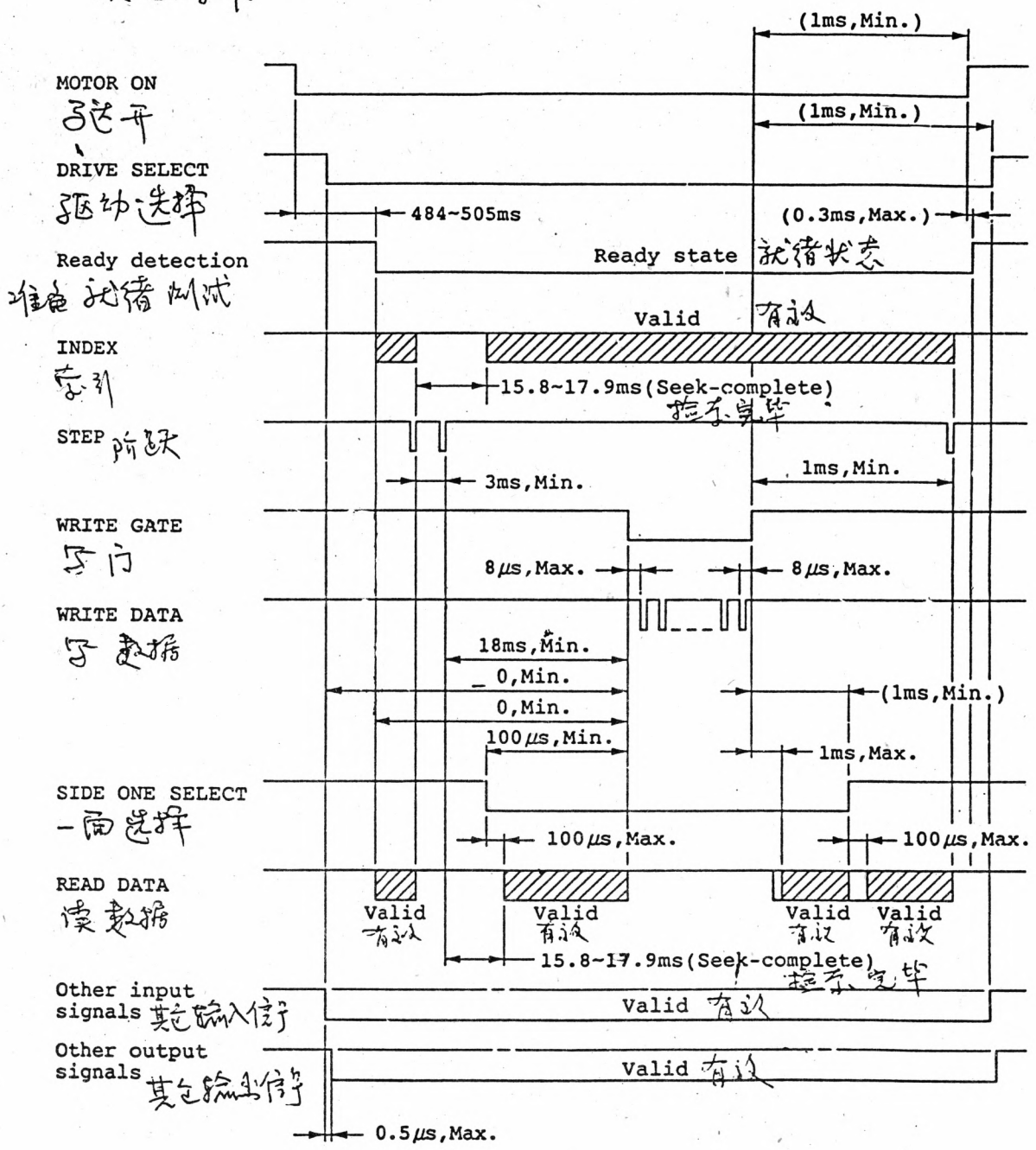


图11 读/写操作时序

9.4 Current Consumption Profile

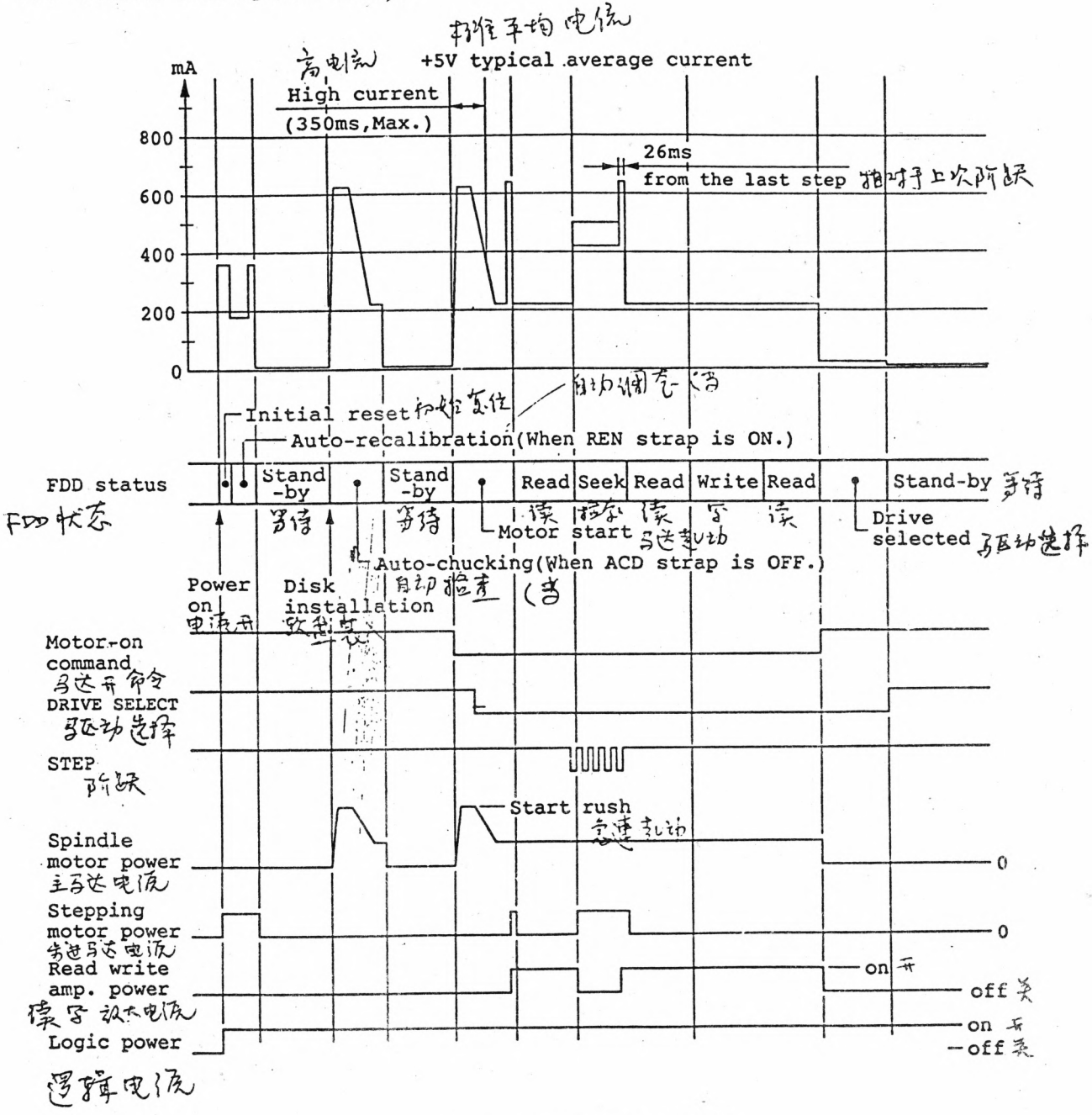


图12 标准平均电流曲线

(b)没进检索操作(包括设定时间)。

注释:

在等待模式中，FDD可以立即响应来自于主控制器的命令，无任何限制。

在等待模式中，如果驱动选择线做轮询操作，则电流间歇流动和+5伏电流稍稍增加。

⑵马达起动和检索同时操作。

如果检索操作正处于主马达起动的过程中，或者如果马达起动正处于检索操作的过程中，马达起动的+5V电流就要从表3中的值增加0.38安培(最大值)。步进马达要以高电源激活，两个阶跃之间为26毫秒。

10.机架地线

FDD机架通过主印刷电路板组件上的镙钉接为0伏直流。(见图13)

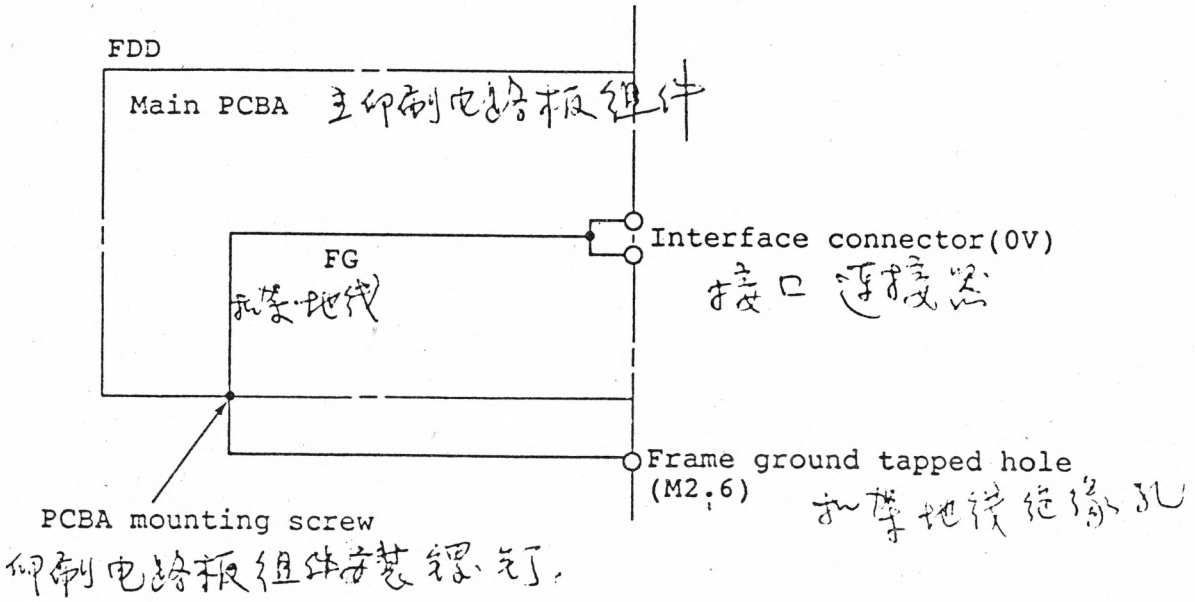


图13 机架地线内部连接图

11.用户可选择的电缆带

11.1 电缆带功能小节

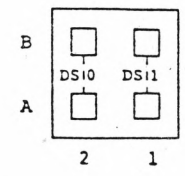
在主印刷电路板组件上，FDD配备下列可选择的电缆带。短带插到管脚上即为电缆带的接通状态。发货时电缆带设置请参见表1。

11.2 DS0和DS1电缆带

(1)在多路控制中，这些电缆指定为FDD的地址。

(2)通过组合驱动选择0和1信号，可以指定两个地址。参见图3和表6。

Strap	Function
DS0	DRIVE SELECT 0 input on pin 10
DS1	DRIVE SELECT 1 input on pin 12



Strap-post layout

表6 电缆功能小节

12.主马达和指示灯打开的条件

12.1 前盖指示灯

当驱动选择信号有效时，发光二极管指示灯打开。然而，驱动选择信号通过3.1毫秒后指示灯才打开，这是为了避免驱动选择信号的轮询操作。

12.2 主马达

(1)当马达启动信号有效时，主马达才旋转。然而，当无软盘插入时，任何条件都不使主马达旋转。

(2)每次插入软盘时，通过主马达的旋转来执行自动夹紧操作，主马达大约旋转490毫秒(最大值为500毫秒)。当自动夹紧操作操作进行时，所有接口信号按照8.3节的解释为有效。

DFP双面系列软驱手册

1、概述：

本手册详述了DFP系列微型软盘驱动器的维护程序。

第二章详述了用于维护的磁盘、模具和测量仪器

第三章详述了如何排除故障

第四章、第五章分别讲座了如何更换和调试部件

第六章讲述了排除故障的流程

第七章包括硬件连接图，机械构造和零部件清单

2、ALPS FDD测试系统的描述：

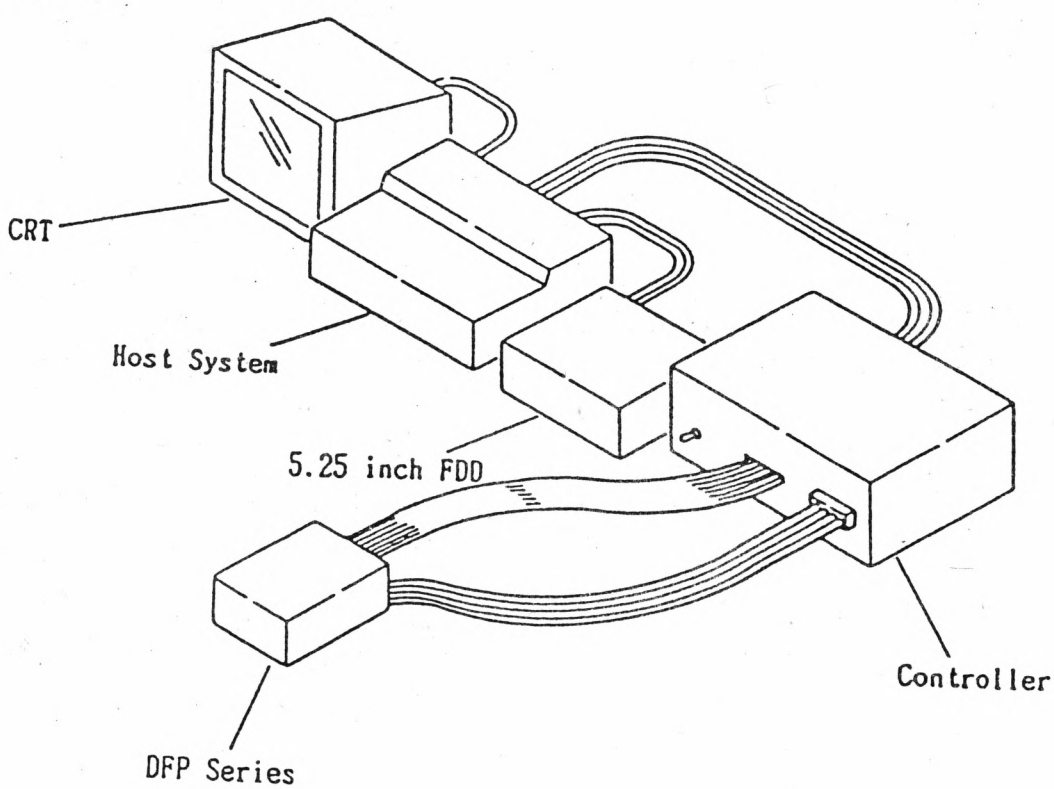
2.1 ALPS FDD测试系统的组成：

主系统 控制器 FDD接口板

控制器接口板、5.25英寸软盘驱动器、接口转换单元、CRT

2.2 与驱动器的连接：

如图 2-1



2.3 磁盘：

2.3.1 空盘：

使用空盘的目的是：

(1)磁头输出电平检测

(2)分辨率检测

(3)写保护传感器检测

(4)换盘功能检测

(5)不对称

2.3.2 校准盘：

校准盘用于以下各项的测量和调试：

(1)径向定位

(2)索引脉冲同步

校准盘的记录信号如表2-1所示：

记录信号	记录磁道
眼　图	2，40，75
索引脉冲序列	40
方　位　角	76

表 2-1

2.3.3 读写监视盘

监视盘用于检查驱动单元的读／写功能

注：低质量的驱动器会破坏这张盘上的内容。

3、故障排除：

3.1 概述：

有很多原因可造成驱动器故障

只有排除以下七个方面，方可断定驱动器发生故障。

(1) 操作错误

(2) 编程错误

(3) 磁盘坏

(4) 驱动器与主系统的连接不正确(仔细检查地线)

(5) 强磁场的影响

(6) 电源输出有错或不稳定

(7) 周围的电噪声

3.2 软错误：

导致软错误，主要有以下原因：

(1) 空气污染影响磁头和磁盘的接触

正常情况下，是由磁盘套筒防止这一污染的。

(2) 小于几微秒的随机电噪声

(3) 寻道错

(4) 驱动器或主系统的电源接地不正确

(5) 马达速度不合适

执行以下程序，可以改正以上软错误

(1) 清洗磁头

(2) 检查索引脉冲

(3) 重复读盘10次或重复读盘直到数据恢复为止。

(4) 如果(3)不能改正错误，那么就把磁头按原方向移至相邻磁道，然后再把它移回到发生错误的磁道

(5) 重复(3)

如果以上操作无效，那么错误就改不了了。

3.3 写错误：

如果在写操作过程中出错，则对该驱动器执行先读后写操作。

如果执行了4遍先读后写操作，磁盘仍没有恢复，就在另一个磁道上执行先读后写操作，如果还是有错，就换张盘，再做这一操作。

如果错误依旧，说明驱动器坏了

如果错误消除，说明盘坏了

3.4 寻道错：

以下原因可造成寻道错

⑴步进马达或步进马达驱动电路的故障

⑵电噪声干扰接口信号，使磁头不能到达目标磁道，可采用以下措施来矫正寻道误　　差：

1)重新校准，即把驱动器校准到0磁道，再寻道到目标磁道

2)读标识域，识别磁道号，再寻道到目标磁道

3.5 兼容性错误

兼容性错误是指磁盘数据可以从一个驱动器读出，而不能从另一个驱动器读出。

兼容性错误的原因通常有：

⑴磁头偏离磁道

⑵马达转速不合适

⑶磁头读信号弱

⑷磁盘没装好

⑸格式化不一样

4、零部件的更换：

4.1 顶盖和驱动器门的拆与安装(图4-1)

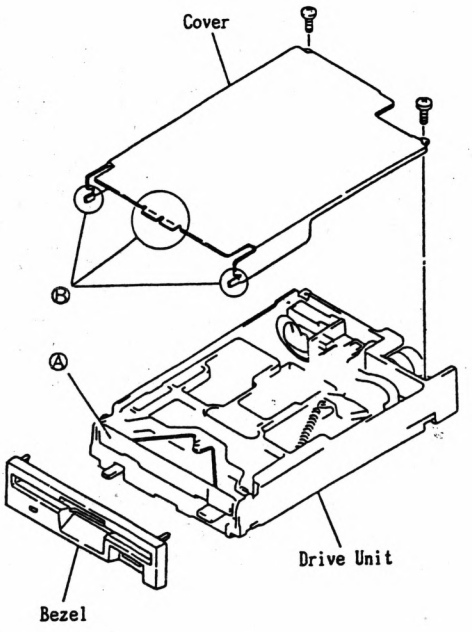
a)拧下顶盖上的两个螺丝

b)向前移动驱动器门和顶盖直到脱离LED(指示灯)然后从驱动器上拆下

c)安装时把驱动器门小心推入驱动器，直到触到A表面。

d)放下顶盖，把B处插入驱动器门

e)拧上项盖上的两个螺丝



4.2 P.C.B组件的拆和安装 （图4-2）

a)按照4.1所述的步骤拆下顶盖和驱动器门

b)拧下A处螺丝

c)拔下B处电缆

d)拧开P.C.B组件上的两个螺丝

e)拆下步进马达，磁头组件和OTK传感器与P.C.B之间的电缆

f)拆下P.C.B组件

g)安装过程与拆卸过程相反

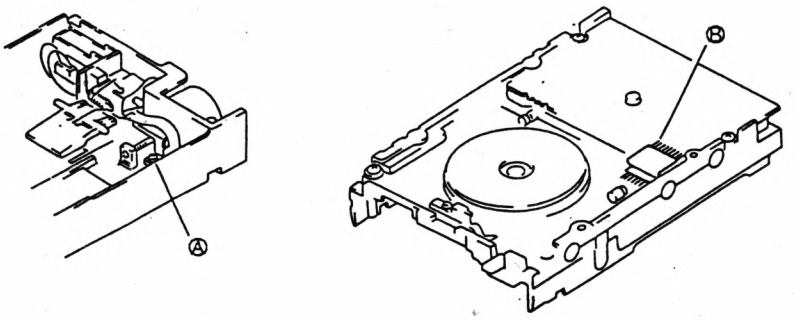


图 4-2

4.3　磁头装载(图4-4)

a)按照4.1所述的步骤拆下顶盖和驱动器门

b)准备一张干净的纸叠成一个小盒子，如图4-3(*注1)

c)用小纸盒扣住底部磁头，将其整个罩起来(*注2)

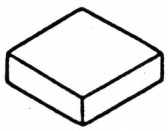
d)旋转锁定手柄，抬起磁头

注意不要把底部磁头上的小纸盒拿掉，否则两个磁头都会被损坏(注：防止上部磁头和底部磁头直接接触)

e)按下释放按钮放下磁头，然后轻轻地拿去，罩住底部磁头的小纸盒。(*注2)

*注1：执行以上操作时，为保证不污染磁头，必须戴上手套，选用干净的纸，否则，会有油污染磁头。

*注2：操作过程中禁止对磁头施加任何外力



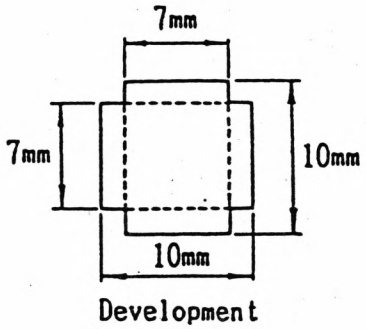


图　4-3

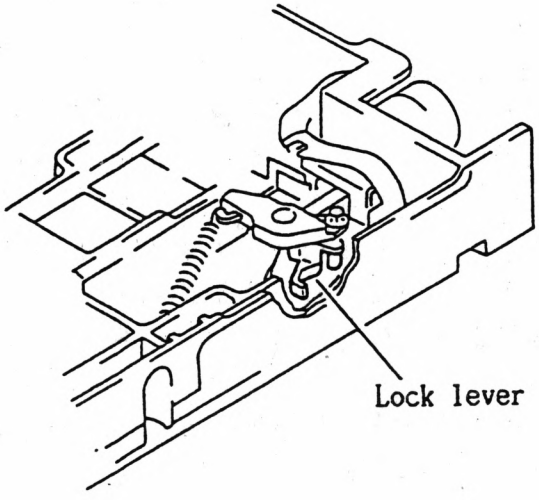


图　4-4

4.4　自动装卸装置的拆卸和安装：

a)按照4.1所述的步骤拆下顶盖和驱动器门

b)使磁头寻道到0磁道

c)按照4.3所述的步骤抬起磁头

d)拆下图中A处的两个弹簧

e)从软驱至体上拆下自动装卸装置，注意不要把它抬起过高

f)安装的正好与拆卸顺序相反

注1:在安装过程中，不要遗漏流滚轮，而且要在B处安装两个中心滚轮

注2:步骤e)执行完毕后，把锁定手柄向后扳一下

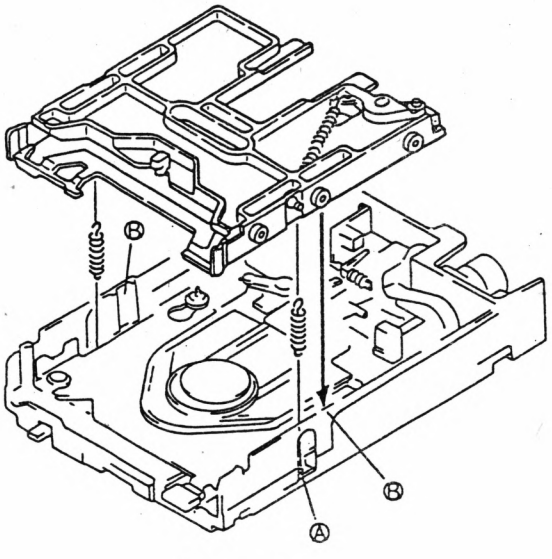


图　4-5

4.5 磁头组件的拆卸，安装和调试:(图4-6)

a)使磁头寻道到79磁道

b)拧下图4-1A处螺丝，拔下磁头电缆

c)拧下固定定位杆的螺丝

d)将磁头组件轻轻取下

e)从磁头组件中拔出定位杆，用干净布将其擦干净

f)慢慢将定位杆插进磁头组件

g)安装时应将定位杆顶进前方凹槽

h)用改锥将固定定位杆的螺丝上紧

R)安装完毕后，要检查以下各项内容:

- 径向定位 (5.2)
- OTK传感器 (5.3)
- 方位角 (5.4)
- 电平 (5.6)

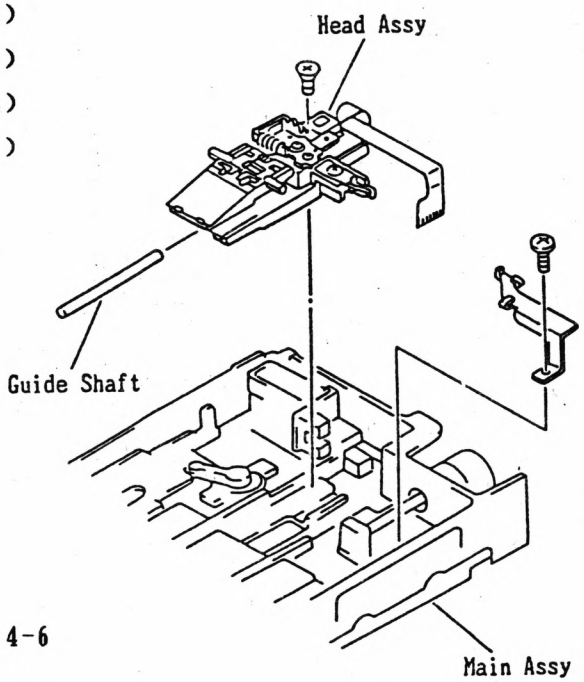


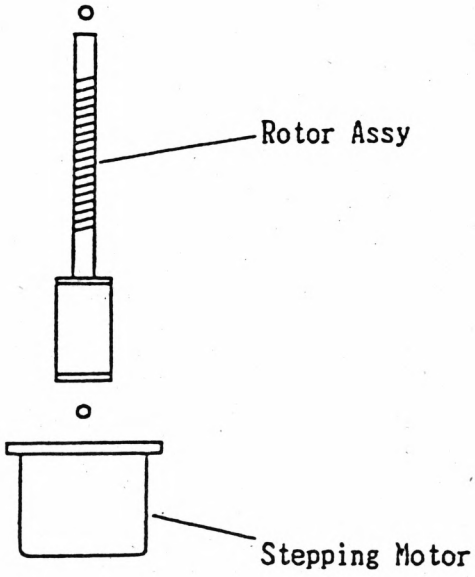
图 4-6

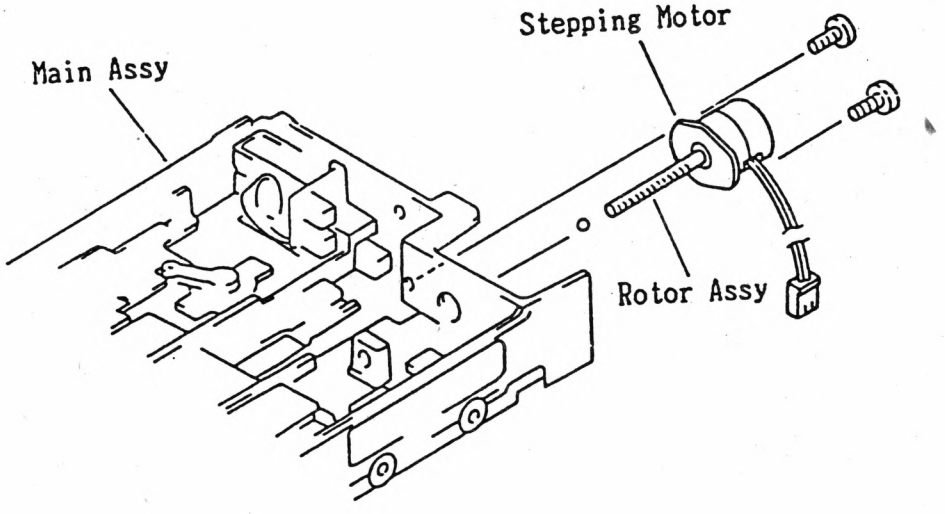
4.6 步进马达组件的拆卸、安装和调试： (如图4-9)

a)去除粘在螺丝上的粘合剂

b)拧下步进马达组件上的两个固定螺丝

c)将步进马达定子轻轻拔出，再按逆时针方向慢慢旋出转子


Rotor Assy
Stepping Motor


Stepping Motor
Main Assy
Rotor Assy

d)安装时先把两个滚珠轻轻放入步进马达转子，再把转子(rotor)组件按顺时针方向旋(如图4-8)

e)轻轻地把步进马达定子安装到机器的底架，注意，不要忘记放滚珠

f)上紧两上螺丝，固定步进马达

g)做完上述操作后，用约200毫克的粘合剂涂在螺丝上。

i)安装完毕后，要调节径向定位(5.2)并检查以下各项内容

- OTK传感器 (5.3)
- 方位角 (5.4)
- 电平 (5.6)

4.7 0磁道传感器组件的拆卸和安装 (图4-10)

a)使磁头寻道到40号磁道

b)拔下0磁道传感器组件的电缆

c)拧下固定0磁道传感器组件的螺丝

d)拆下0磁道传感器P.C.B组件

e)安装顺序与上述过程相反

f)安装完毕后，要调试0磁道传感器 (5.3)

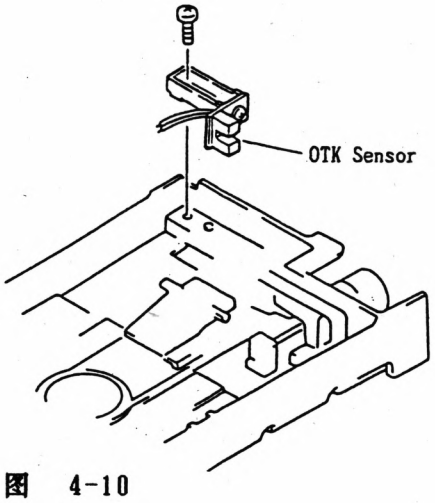


图 4-10

5. 调整和检测：

将驱动器连接到ALPS测试系统后，可以做全面的调整和检测
这一章介绍以下各项的调整和检测

- 主轴转速
- 径向定位
- 0号磁道传感器
- 方位角
- 索引脉冲同步
- 电平
- 不对称
- 写保护
- 换盘

5.1 主轴转速检查：（spindle speed check）

a)装上一张空盘，寻道到40号磁道

b)检查主轴转速，正常情况下，主轴转速与注1中所列数值相同，偏差在±0.5以内，否则，就是主轴马达问题

注1：

型号	低密	高密
DFP 423	196～204	————
DFP 723	196～204	196～204
DFP 683	196～204	163.3～170.0
DFP 643	166.3～170.0	163.3～170.0

5.2 径向定位检查

a)把校准盘装入驱动器

b)用索引脉冲作示波器基准波形，观察前置放大器的输出(用TP1，TP2两个测试表笔)。(20sm／div，50ms／div)

c)寻道到2号磁道，40磁道，75号磁道

d)观察眼图(如图5-1)，从图上读出A、B值，查表5-1，得出偏移量

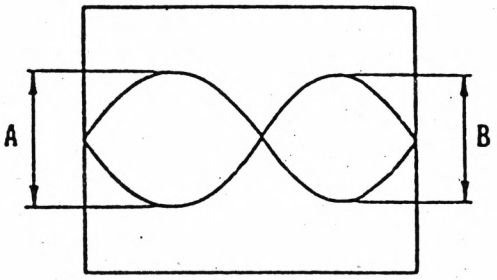


图 5-1

off. Track. Head 偏移程度

Table 5-1

A/B×100 (%)	O.T. (μm)	A/B×100 (%)	O.T. (μm)	A/B×100 (%)	O.T. (μm)	A/B×100 (%)	O.T. (μm)	A/B×100 (%)	O.T. (μm)
100	0	90	4.0	80	8.4	70	13.4	60	19.0
98	0.8	88	4.9	78	9.4	68	14.5	58	20.2
96	1.6	86	5.7	76	10.4	66	15.6	56	21.4
94	2.4	84	6.6	74	11.4	64	16.7	54	22.7
92	3.2	82	7.5	72	12.4	62	17.8	52	24.0
B/A×100 (%)	O.T. (μm)	B/A×100 (%)	O.T. (μm)	B/A×100 (%)	O.T. (μm)	B/A×100 (%)	O.T. (μm)	B/A×100 (%)	O.T. (μm)
100	0	90	-4.0	80	-8.4	70	-13.4	60	-19.0
98	-0.8	88	-4.9	78	-9.4	68	-14.5	58	-20.2
96	-1.6	86	-5.7	76	-10.4	66	-15.6	56	-21.4
94	-2.4	84	-6.6	74	-11.4	64	-16.7	54	-22.7
92	-3.2	82	-7.5	72	-12.4	62	-17.8	52	-24.0

e)计算湿度矫正偏移量

矫正偏移量＝偏移量+(50-H1.5s)／167.5

H：湿度　(%)

S：面　　(0或1)

如果矫正偏移量满足下式，则径向偏移量正常

$-20\mu m \leqslant$ 矫正偏移量 $\leqslant +20\mu m$

[例]已知测量值如下：

温度23℃，温度H＝60%RH，S＝0面

A＝216mv　　B＝240mv

A／B×100＝216／240×100＝90

查表5-1，得出偏移量4.0

再根据矫正偏移量公式计算：

矫正偏移量＝偏移量+(50-H)×(32-1.5)／167.5

＝4.0+(50-60)×(32-1.5×0)／167.5

＝2.1μm

注1：校准盘和驱动器很易受潮，所以要做到精确测量，应把它们放在环境稳定的实验室中至少24小时。

注2：测量的环境要求：

温度23℃±2℃

湿度50%±10%RH

f)如果矫正偏移量不能满足要求，就要采用以下措施来调节径向定位。

调试要求：矫正偏移量$\leqslant 13\mu m$

g)重新校准(把磁头移到0号磁道)

h)再把磁头移到40号磁道

i)从40号磁道出发，推进两个磁道，再退回两个磁道，观察眼图，如图5-2

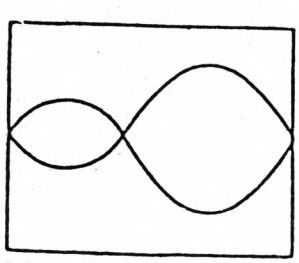


图　5-2

j)慢慢旋转调节旋钮(如图5-3所示)使眼图左右对称，睁得最大。然后换一面(0面或1面)，继续旋转调节旋钮，使眼图左右对称，睁得最大。

k)重新校准(把磁头移到0号磁号)

再把磁头移到2号磁道，40号磁道，75号磁道，分别检查两个面(0面和1面)测得眼图，如果眼图左右不对称，就如j)所述的方法加以调节。

l)磁头寻道到79道后，把它移回75，40和2道，再观察眼图，如果偏移量不满足调试要求，就按照j)的方法加以调整。

m)执行k)，l)进一步检查，校准

o)经过几次k)，l)调整，如果仍满足不了要求，则要更换磁头组件。

p)检查完毕后，拧上螺丝。

5.3 0磁道传感器调试：

a)调节电压表，用它来测量0磁道传感器的输出电压

b)用索引脉冲作示波器基准波形，观测前置放大器的输出

c)把校准盘放入驱动器

d)重新校准(磁头移到0道)

e)把磁头移到40道

f)如果观察不到眼图，则进行j)操作，并调节传感器

g)如果观察到眼图，就把磁头移到1道，检查0磁道传感器的电压输出

h)如果输出电压不在3.7v±0.5范围内，转l)

i)正常情况下，输出电压在3.7v±0.5范围内，转m)

j)从40道出发，推进两个磁道，再退回两个磁道，观察眼图

k)从观察到眼图的位置开始，退回39个磁道

l)旋转0磁道传感器的调节旋钮，使输出电压在3.7v±0.2范围内，最后用粘合剂固定传感器调节旋钮

m)重新校准

n)把磁头移到40磁道，确保观察到的眼图如图5-1那样

o)把磁头移到1道，检查0磁道传感器的电压是否在3.2v～4.2v范围内

p)重复操作m)到o)传感位置3次

q)调节0磁道传感器位置，使磁头组件和0磁道传感器间缝隙在0.1±0.05道范围内

r)如果在m)到01的检查操作过程中，观察不到眼图，或者0磁道传感器的输出电压达不到标准，则需更换0磁道传感器组件

s)调节完毕后，用粘合剂涂在0磁道组件的调节旋钮上。

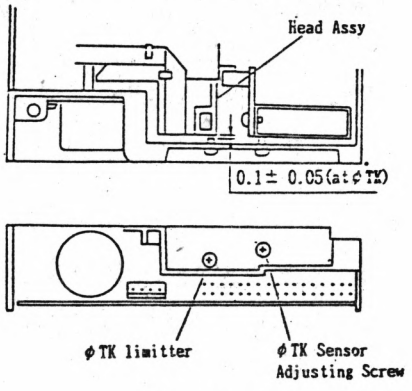


图 5-3

5.4 方位角检查

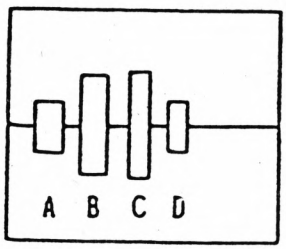
a)把校准盘放入驱动器中

b)用索引脉冲作示波器基准波形调节示波器，观察前置放大器的输出

c)寻道至40道

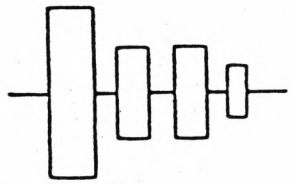
d)观察示波器波形，如图5-5，比较A.B.C.D的高度，正常情况下，应满足A≤B且C≥D

e)如果出现A>B或C<D，如图5-6，要按4.6所述的步骤更换磁头组件



1 ms/div
20 mV/div

图 5-5



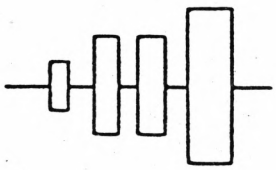


图 5-6

5.5 索引脉冲同步调节

a)把校准盘放入驱动器

b)用索引脉冲作示波器基准波形，观察前置放大器的输出

c)寻道至40道

d)观察索引脉冲序列，如图5-7

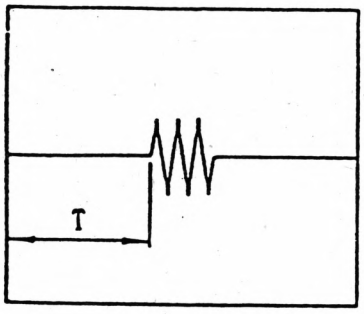
e)正常情况下，两个磁头的校准盘索引触发脉冲(即索引脉冲)和索引脉冲序列(即索引时间)的时间的偏差应小于400μs，即

索引触发脉冲时刻＝索引脉冲序列时刻±400μs

f)否则，重置调节旋钮位置，使两个磁头上的索行触发脉冲变为“索引脉冲序列时刻”±100μs

g)装上拿上校准盘5次，以确保两个磁头的索引脉冲与索引时间的时间偏差不超过100μs

完成以上操作后，固定调节旋钮，并涂上粘合剂



50μs/div
50mV/div

图　5-7

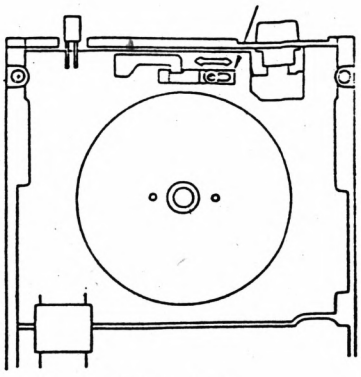


图　5-8

5.6　电平检测：

a)把一张空盘放入驱动器

b)用索引脉冲作示波器基准波形，观察前置放大输出

c)寻道至79道

d)写2F类型

e)观察波形，如图5-9

f)从图上读出A、B值

g)写1F类型

h)观察波形，如图5-10，从图上读出C、D值

i)根据公式计算：

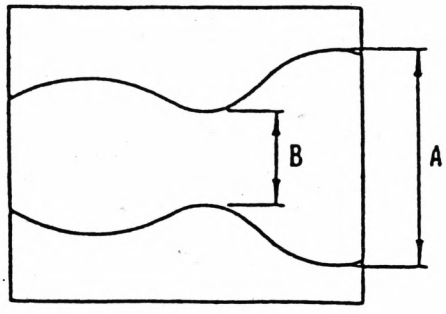
分辨率＝A／C×100(%)　Resolution

转换率＝B／A×100(%)　Transformation

j)如果计算值与测量值满足以下标准，则可认为是正常

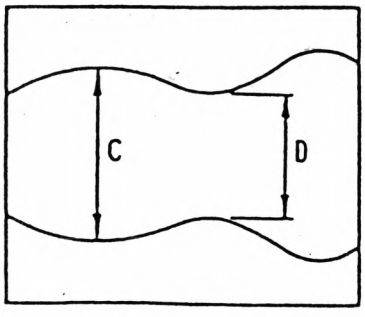
分辨率≥65%

转换率≥80%



20ms/div
50ms/div

图　5-9



20ms/div
50mV/div

图　5-10

k)否则，按照以下程序检查电平

l)检查主轴转速

m)更换电路板，重新检测

n)更换磁头组件，重新检测

o)重复操作e)到n)

5.7 不对称检测：

a)把一张空盘放入驱动器

b)调节示波器，观察读数据脉冲

c)把磁头移到0道

d)写1F类型

e)观察波形，如图5-11

f)从图中读出T值

g)将磁盘换面，重复d)～f)操作

h)正常情况下，T值与(注2)中相应数值相符

i)如果T值大于(注2)中相应数值，更换磁头组件，重新检测

j)如果T值小于(注2)中所列数值中，更换电路板，重新检测

注2

型号	低密	高密
DFP 423	600	
DFP 723	600	300
DFP 863	600	300
DFP 643	600	

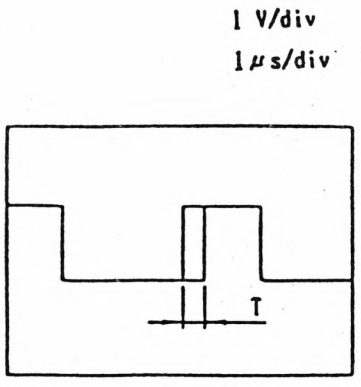


图 5-11

5.8 写保护信号检查

a)拨动写保护键，如图5-12，当小孔露出时，磁盘被置为写保护，当小孔被写保护键盖住时，磁盘被置为非写保护。

b)正常情况下，装上写保护盘，驱动输出低电平(低于0.4v)装上非写保护盘，驱动器输出高电平(高于3.7v)

c)如果驱动器工作不正常，按以下步骤检查写保护转换组件和P.C.B电缆的管脚输出。

正常情况下，装上写保护盘，转换组件输出低电平(低于0.4v)

装上非写保护盘，转换组件输出高电平(高于3.7v)

如果转换组件工作正常，则需更P.C.B，其步骤如4.2所述

如果转换组件工作不正常，则可能是主轴马达有问题。

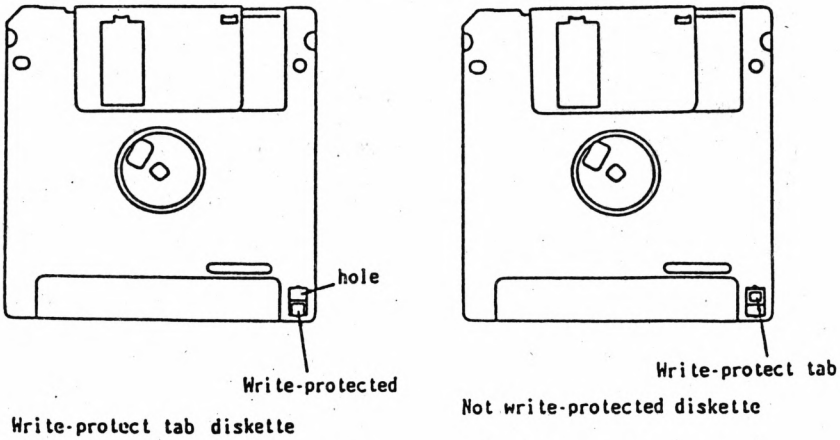


图 5-12

5.9 换盘信号检查：

a)打开驱动出器电源，无论是装了一张空盘，还是没有装盘，换盘输出信号就是低电平(低于0.4v)

b)打开驱动单元电源，装上一张空盘，换盘输出低电平

c)往换盘端子输入一个脉冲，确保换盘，并确保输出高电平(3.7v以上)

e)如果驱动器工作不正常，检查换盘转换组件和P.C.B电缆的管脚输出，其步骤如下：

正常情况下，装上磁盘后，转换组件输出低电平(低于0.4v)
而没装盘时，输出高电平(高于3.7v)

如果转换组件正常，则按照4.2所步骤更换P.C.B

如果转换组件不正常，则主轴马达可能有问题

6、排除故障流程

7、构造和零件清单

7.1 机械构造

7.2 零部件清单

7.3 连线图

见母板元件面

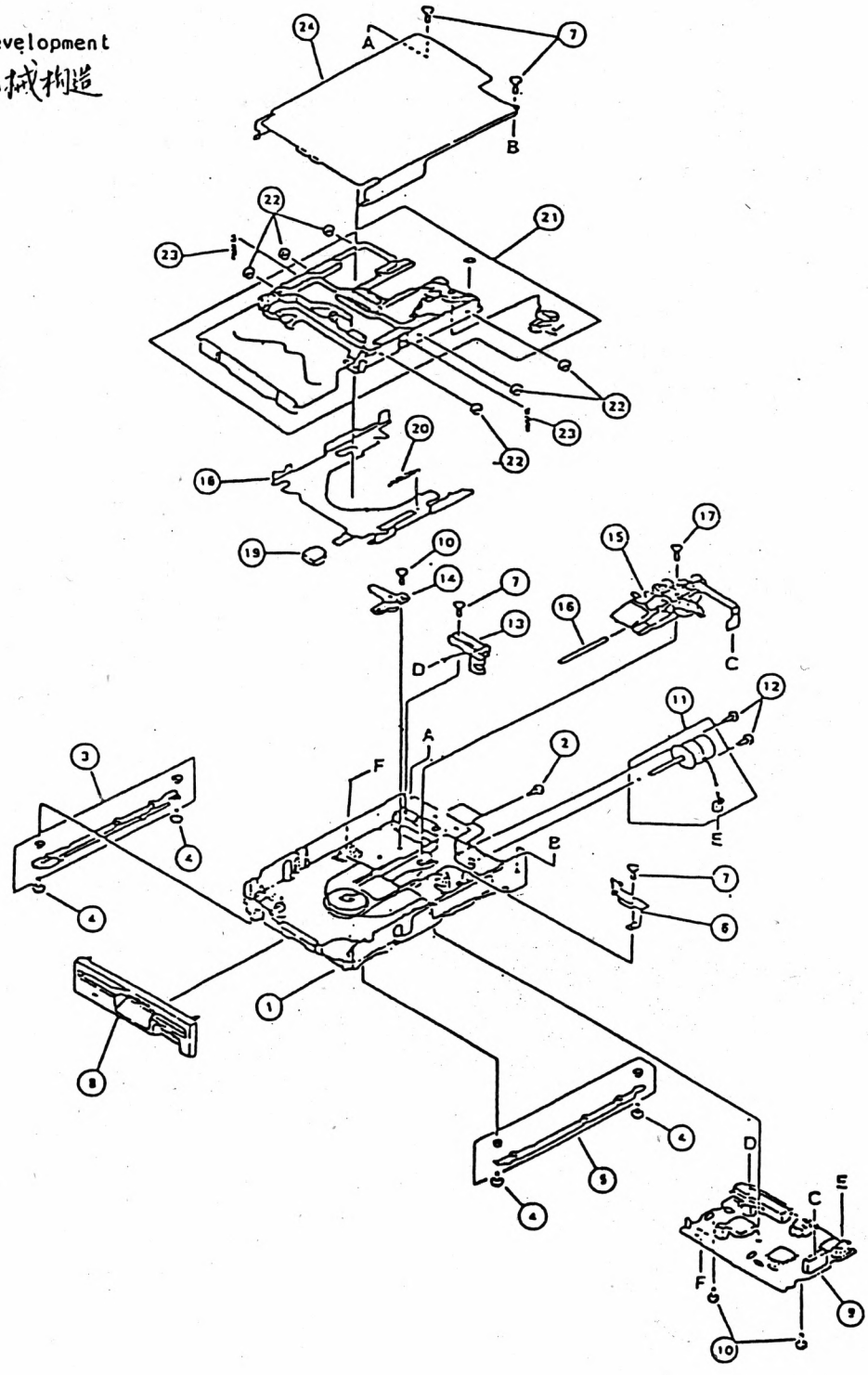
7.2 零部件清单

No.	名　称
(1)	主轴马达
(2)	螺　丝
(3)	驱动器左托座
(4)	螺　丝
(5)	驱动器右托座
(6)	FPC夹片
(7)	螺　丝
(8)	驱动器门
(9)	P.C.B组件
(10)	螺　丝
[11]	步进马达
[12]	螺　丝

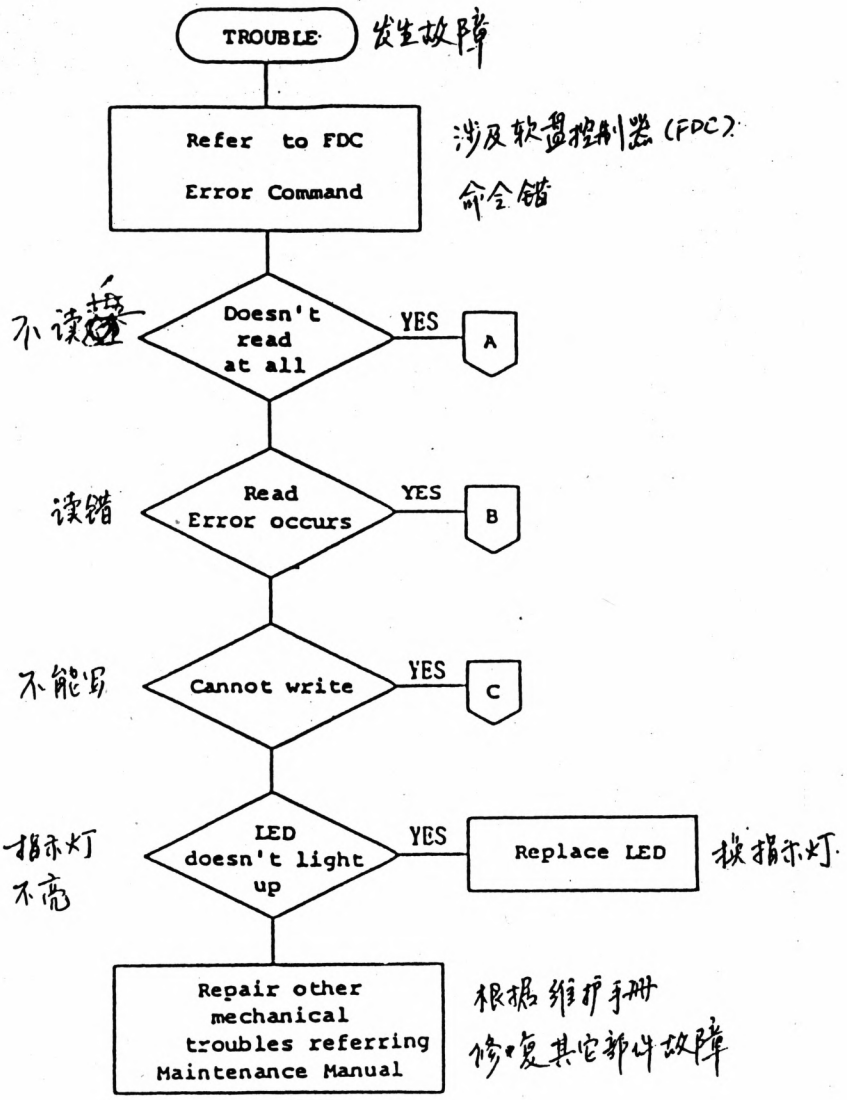
No.	名　称
[13]	φTK传感器 P.C.B组件
[14]	缓冲器
[15]	磁头组件
[16]	制导杆
[17]	螺　丝
[18]	滑　片
[19]	按　钮
[20]	滑动弹簧
[21]	托架组件
[22]	转　子
[23]	加载弹簧
[24]	外　壳

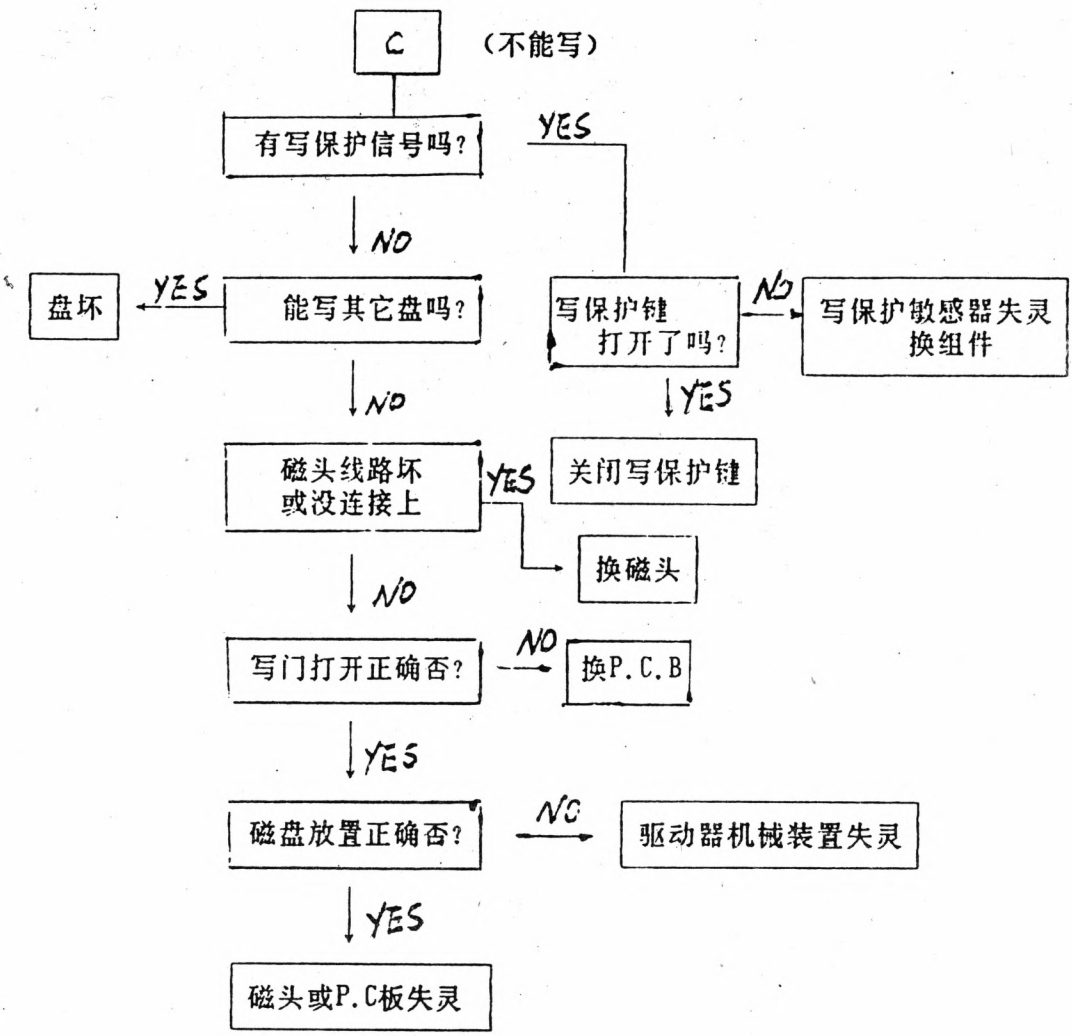
7.1 Development

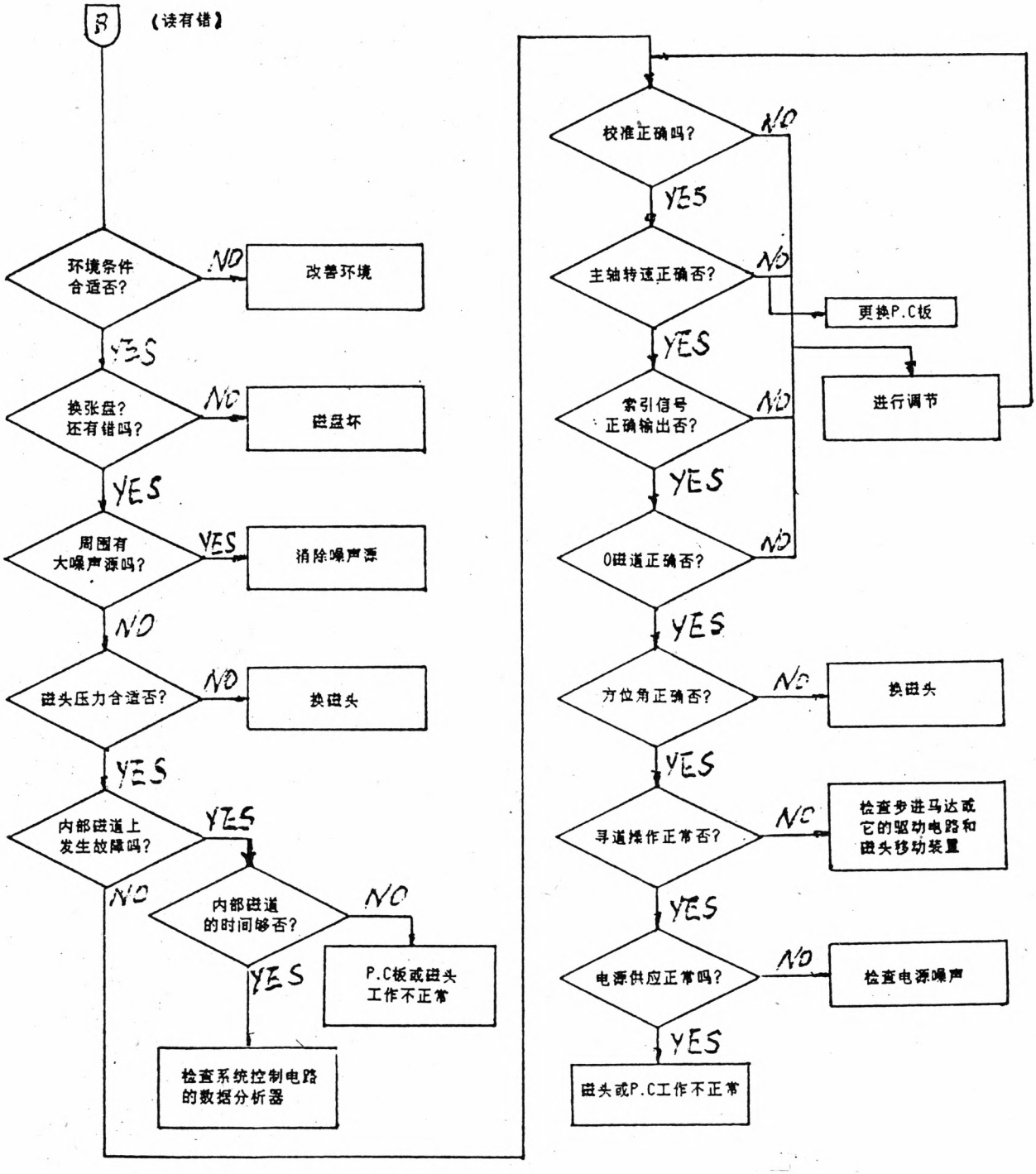
机械构造

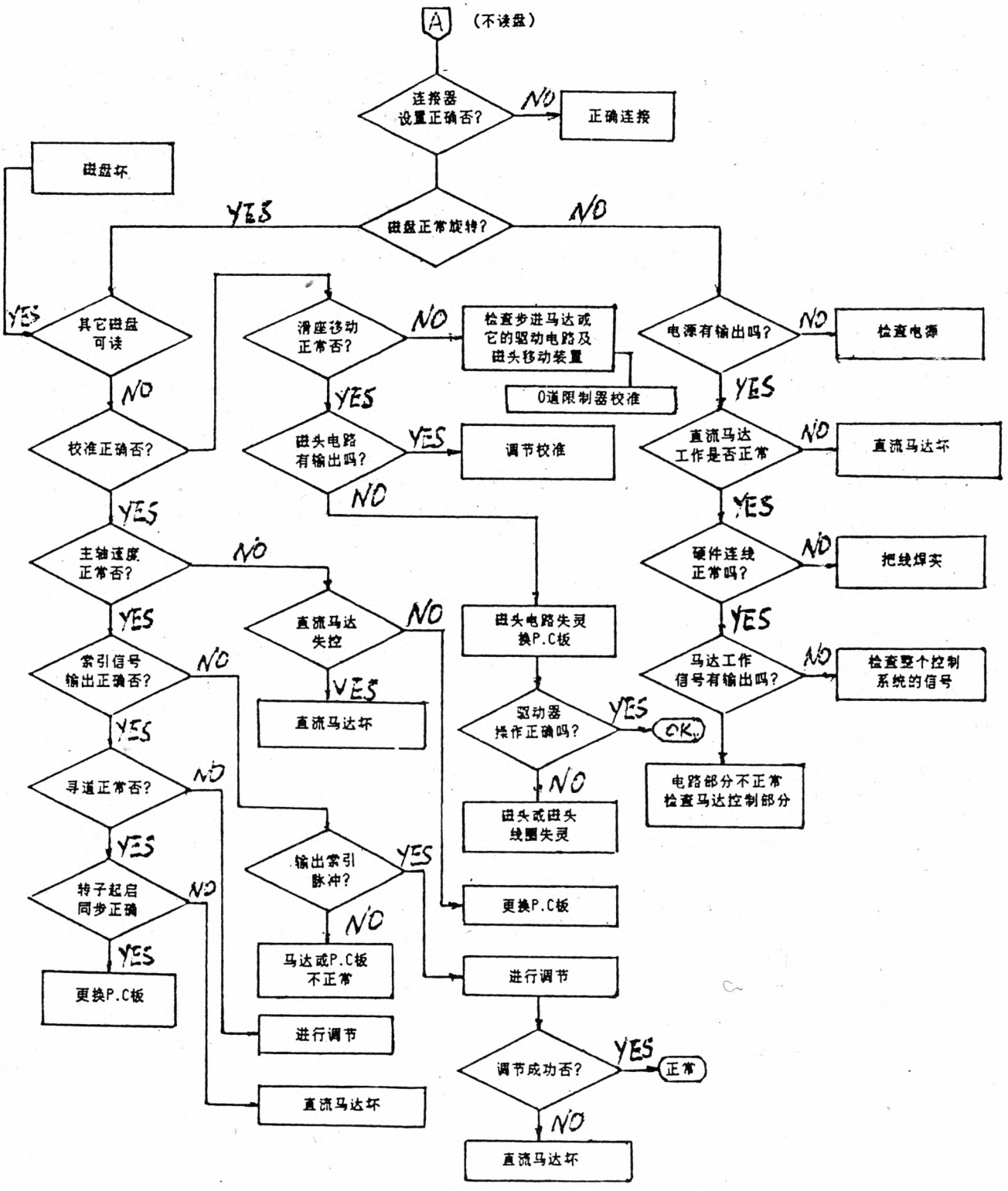


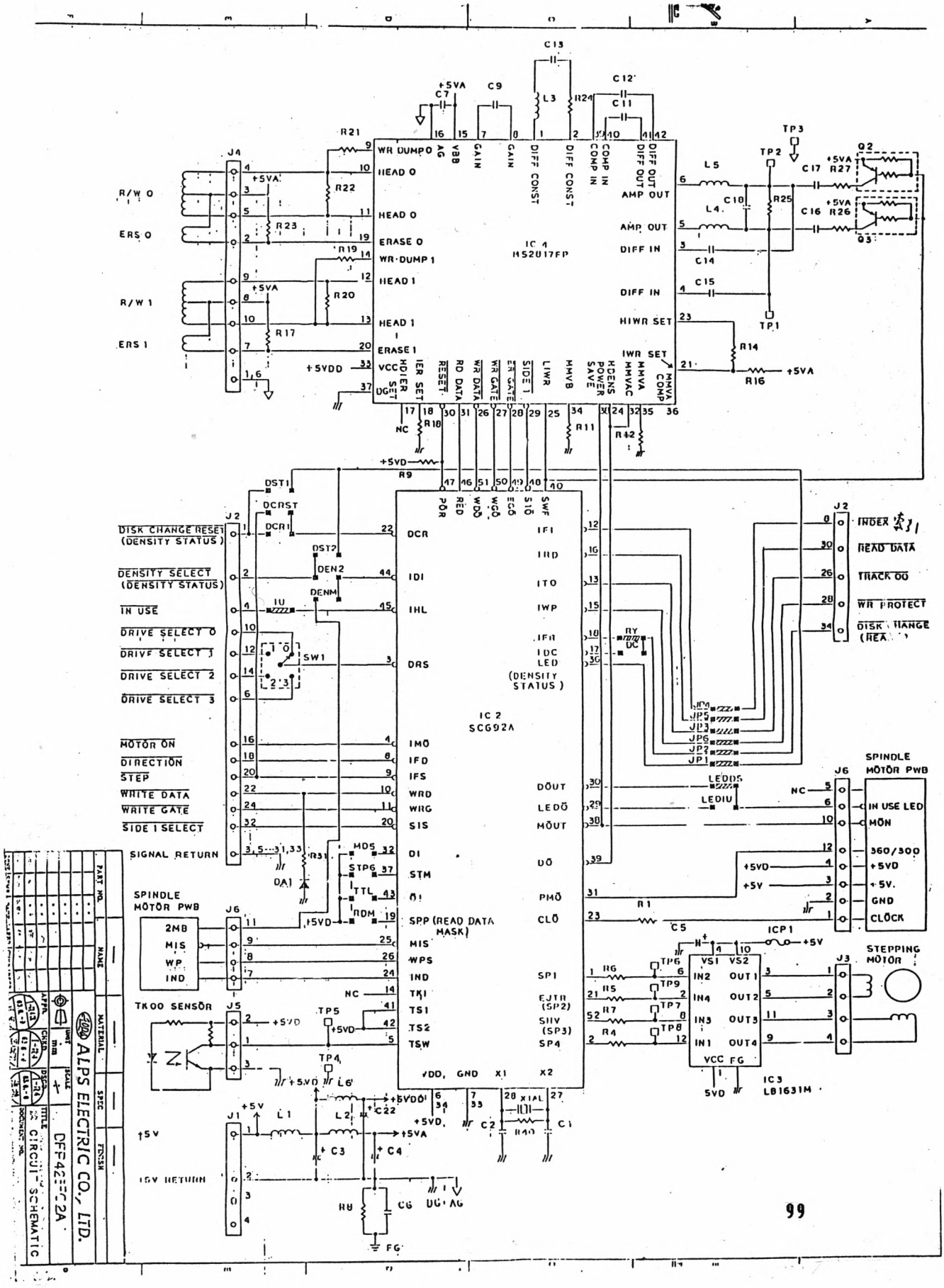
6. Trouble-shooting hint
排除故障流程.



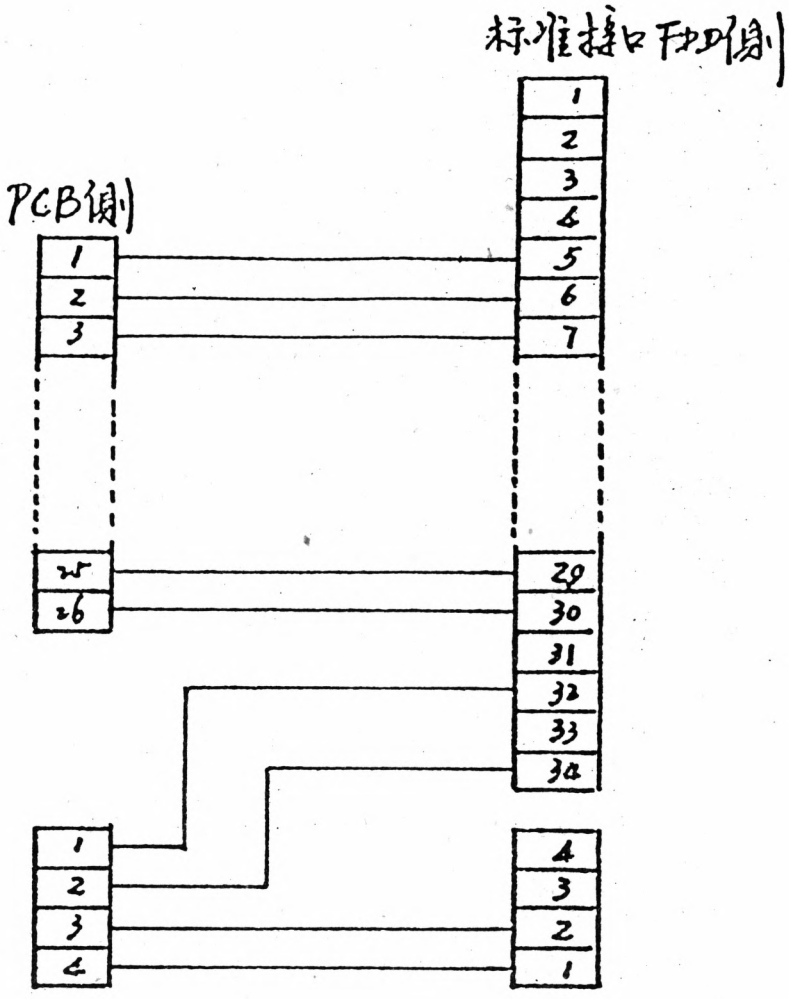

C
（不能写）
有写保护信号吗?
YES
NO
盘坏
YES
能写其它盘吗?
写保护键
打开了吗?
NO
写保护敏感器失灵
换组件
NO
YES
磁头线路坏
或没连接上
YES
关闭写保护键
换磁头
NO
写门打开正确否?
NO
换P.C.B
YES
磁盘放置正确否?
NO
驱动器机械装置失灵
YES
磁头或P.C板失灵


R
(读有错)
环境条件合适否?
NO
改善环境
YES
换张盘?还有错吗?
NO
磁盘坏
YES
周围有大噪声源吗?
YES
消除噪声源
NO
磁头压力合适否?
NO
换磁头
YES
内部磁道上发生故障吗?
YES
NO
内部磁道的时间够否?
NO
P.C板或磁头工作不正常
YES
检查系统控制电路的数据分析器
校准正确吗?
NO
YES
主轴转速正确否?
NO
更换P.C板
YES
索引信号正确输出否?
NO
进行调节
YES
0磁道正确否?
NO
YES
方位角正确否?
NO
换磁头
YES
寻道操作正常否?
NO
检查步进马达或它的驱动电路和磁头移动装置
YES
电源供应正常吗?
NO
检查电源噪声
YES
磁头或P.C工作不正常


A
(不读盘)
连接器
设置正确否?
NO
正确连接
磁盘坏
磁盘正常旋转?
YES
NO
其它磁盘
可读
YES
NO
校准正确否?
YES
滑座移动
正常否?
NO
检查步进马达或
它的驱动电路及
磁头移动装置
0道限制器校准
YES
磁头电路
有输出吗?
YES
调节校准
NO
电源有输出吗?
NO
检查电源
YES
直流马达
工作是否正常
NO
直流马达坏
YES
硬件连线
正常吗?
NO
把线焊实
YES
马达工作
信号有输出吗?
NO
检查整个控制
系统的信号
YES
电路部分不正常
检查马达控制部分
主轴速度
正常否?
NO
YES
索引信号
输出正确否?
NO
YES
寻道正常否?
NO
YES
转子起启
同步正确
NO
YES
更换P.C板
直流马达
失控
NO
YES
直流马达坏
输出索引
脉冲?
YES
NO
马达或P.C板
不正常
进行调节
直流马达坏
磁头电路失灵
换P.C板
驱动器
操作正确吗?
YES
OK
NO
磁头或磁头
线圈失灵
更换P.C板
进行调节
调节成功否?
YES
正常
NO
直流马达坏

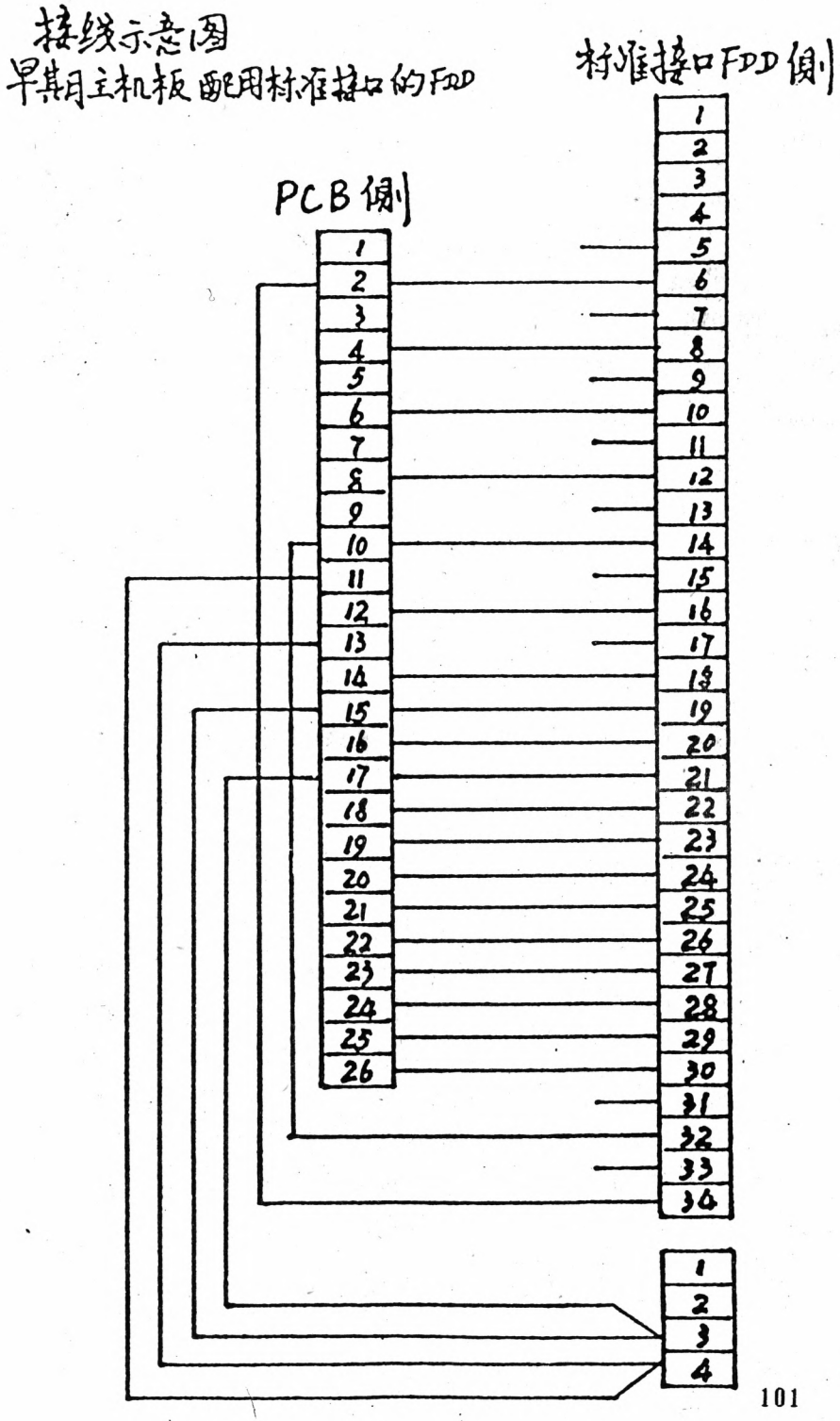

IC 4
MS2017FP
IC 2
SC692A
IC 3
LB1631M
J4
J2
J6
J5
J1
J3
R/W 0
ERS 0
R/W 1
ERS 1
DISK CHANGE RESET (DENSITY STATUS)
DENSITY SELECT (DENSITY STATUS)
IN USE
DRIVE SELECT 0
DRIVE SELECT 1
DRIVE SELECT 2
DRIVE SELECT 3
MOTOR ON
DIRECTION
STEP
WRITE DATA
WRITE GATE
SIDE 1 SELECT
SIGNAL RETURN
SPINDLE MOTOR PWB
2MB
MIS
WP
IND
TK00 SENSOR
+5V
+5V RETURN
INDEX
READ DATA
TRACK 00
WR PROTECT
DISK CHANGE (REA
SPINDLE MOTOR PWB
IN USE LED
MON
360/300
+5VD
+5V.
GND
CLOCK
STEPPING MOTOR
ALPS ELECTRIC CO., LTD.
DFF42EFC2A
CIRCUIT SCHEMATIC

附录4　新主机板配接　标准接口的FDD改线图



两排头间电缆长度 >120mm

附录5　旧主机板配接标准接口的FDD改线图



SANYO(三洋)STK73410II
厚膜混合集成片

TV/VR 电压调节器 测试标准

器件外形：9针(参见外形图)

功能：脱机开关调节器

用途：彩色TV/可变热敏电阻器(VTR)电压调节器

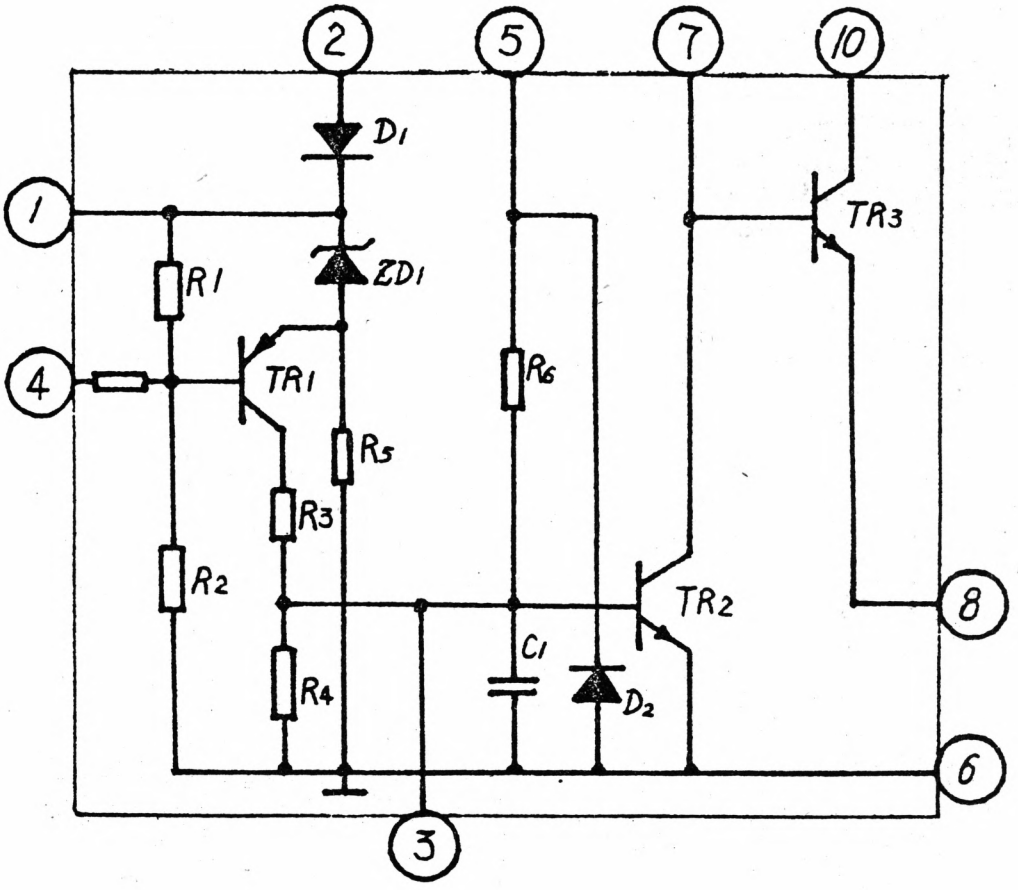
特征：自激式振荡器

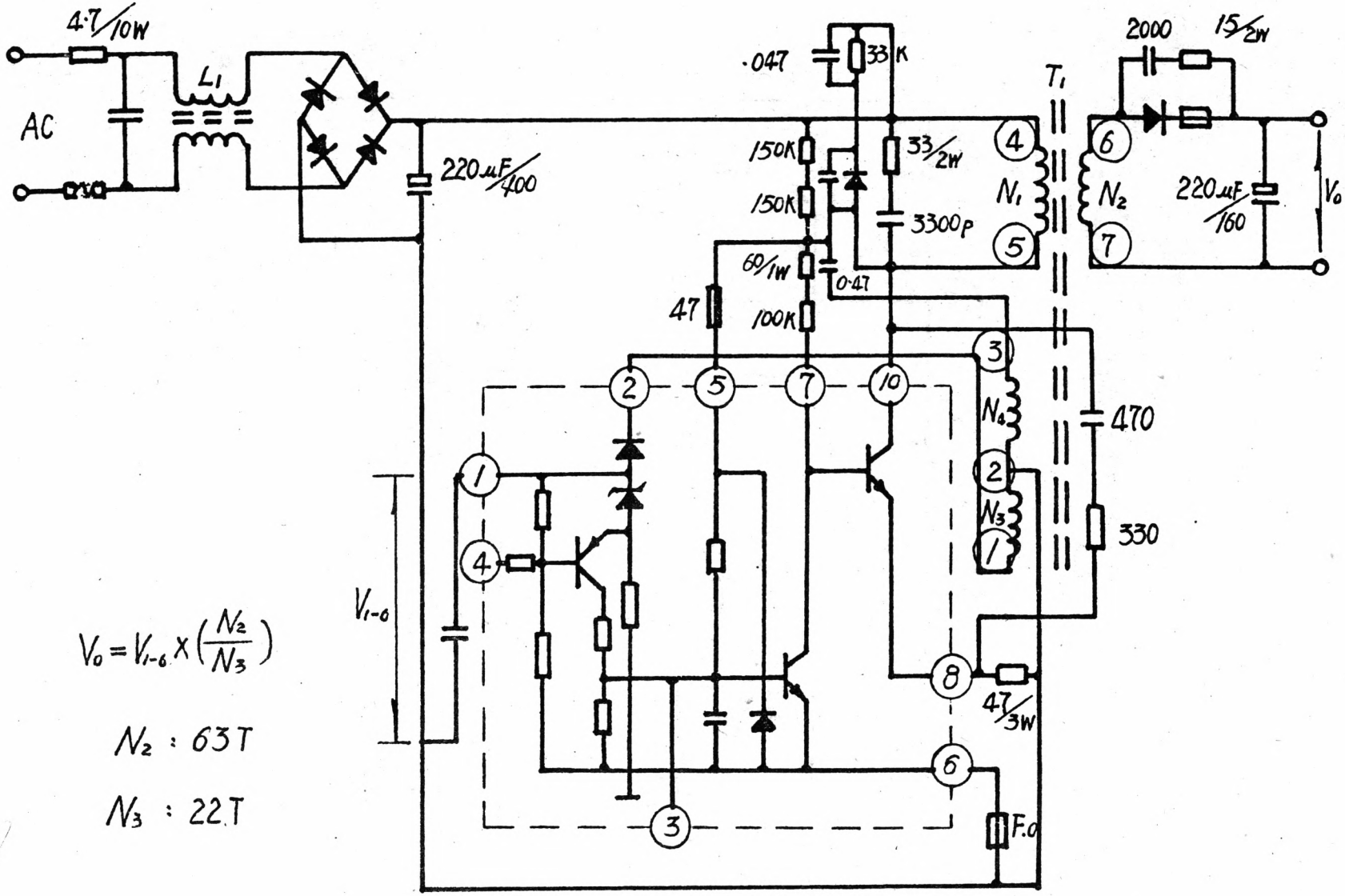
最大定额 (Ta=25℃)			单位
交流输入电压	VAC	0～280	Vrms
最大输出功率	Wmax	100	W
工作温度	Topg	-10～+65	℃
保存温度(指脱机)	Tstg	-30～+105	℃
工作表面温度	Tmax	105	℃
热阻	Gjoe	1.3	℃/W
连接温度	Tjmax	150	℃

电特性(Ta=25℃)：以下值是利用特定测试线路测出的

			min	typ	max	单位
输出电压调整	VAC=200v	I=0.5A	114	115	116	V
线调节	VAC=170～280v	I=0.5A		0.4	1.0	V
加载调节	VAC=200v	I=0.4～0.87A		1.5	2.0	V
输入功率	VAC=200v	I=0.87A		102	105	W
输出波纹电压	VAC=200v	I=0.87A		7		mv/℃
温度系数	VAC=200v	I=0.87A	111.0	112.5		V
降压特性	VAC=170v	I=0.87A		125	135	V
低负载特性	VAC=200v	RI=4.7KΩ		125	135	V

STK 73410 II

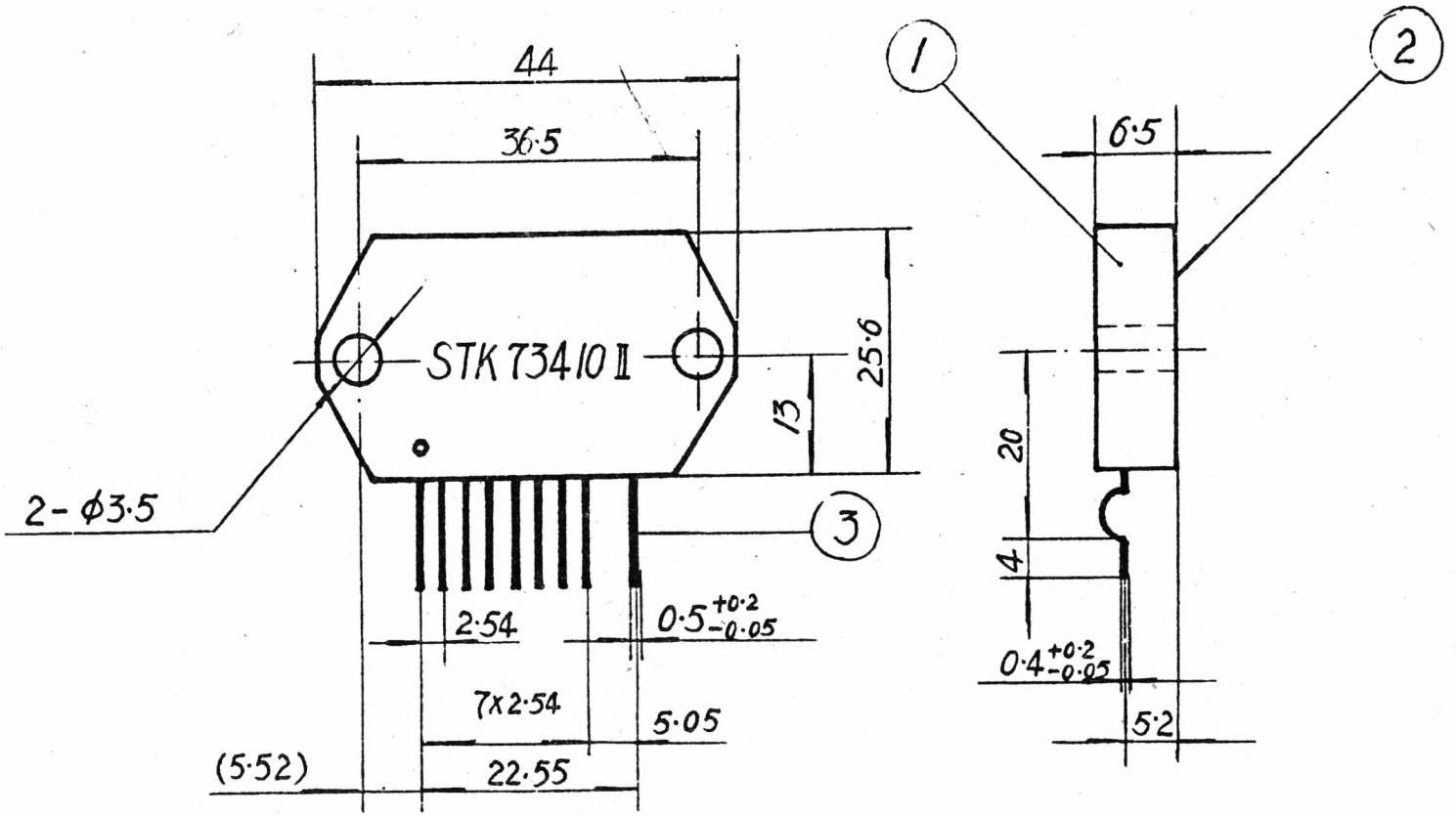




$$V_o = V_{1-6} \times \left(\frac{N_2}{N_3}\right)$$

N_2 : 63T

N_3 : 22T


44
36.5
STK 73410 II
25.6
13
2-φ3.5
3
2.54
0.5 +0.2 -0.05
7x2.54
5.05
(5.52)
22.55
1
2
6.5
20
4
0.4 +0.2 -0.05
5.2

SANYO 三洋半導体ニューズ No.1927A 6017

*半導体ニューズ No1927 とさしかえてください。

厚膜混成集積回路

STK6982B－ユニポーラ定電流駆動用 4相ステッピングモータドライバ

用途 ・シリアルプリンタ，ラインプリンタ等各種プリンタの紙送りモータ および キャリッジモータドライブ．
・ファクシミリの副走査モータドライブ．
・ＰＰＣのスキャニングモータドライブ，X- Yプロッタのペンドライブ．
・工業用ロボット．

特長 ・モータ電流の立ち上り特性を良くすること および 定電流にして発熱を小さくするために チョッパ動作を行なう．
・チョッピング周波数は モータのR，Lと外付け抵抗で決まり 自励式である（他励方法も可）．
・ユニポーラ駆動のため ハイブリッド型，PM型，VR型のいずれのステッピングモータも駆動可能である．
・Ｐａｕｓｅ端子があり 一時停止のコントロールが可能である．
・モータコイルからのフライバック電圧保護用素子を内蔵しているので外付けツェナーが不要である．

最大定格／Ta=25℃

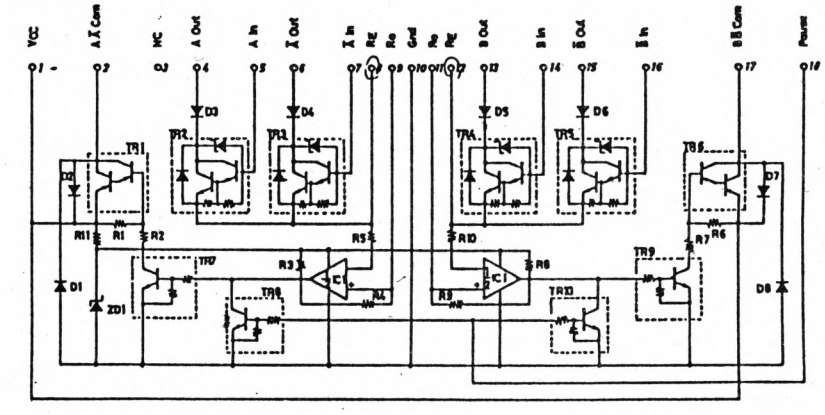
				unit
最大電源電圧	Vcc max	無信号時	30	V
相ドライバ耐圧	VCE		60±10	V
相ドライバ電流	Io	各相当り(0.5sec，1パルス) L≦10mH，W<30mJ	2.5	A
相入力電圧	VIN	Rg=1kΩ，1sec	30	V
IC基板温度	Tc		105	℃
接合部温度	TJ		150	℃
保存周囲温度	Tstg		-40～+125	℃
接合部熱抵抗	θj-c	チョッパトランジスタ(TR1，6)	14.7	℃／W
		相ドライバトランジスタ(TR2，3，4，5)	9.0	℃／W

推奨動作条件／Ta=25℃

				unit
動作電源電圧範囲	Vcc op	動作時	18～28	V

STK6982B

等価回路図



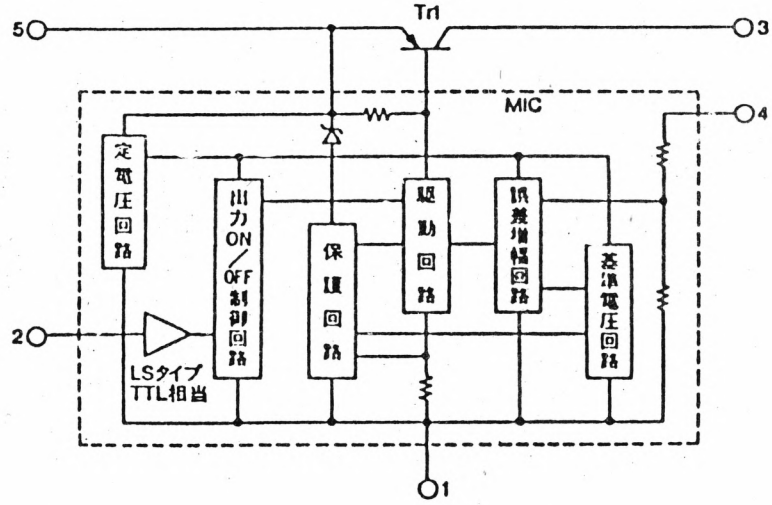
■最大定格

(Ta=25°C)

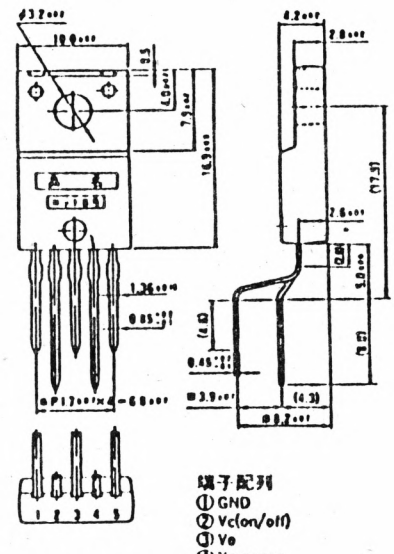
項目＼品名	記号	単位	SI-3050C/3090C	SI-3120C/3150C(暫定)	SI-3240C(暫定)	備考
			規格値			
直流入力電圧	Vin	V	35	40	45	
出力制御端子電圧	Vc	V	35	40	45	
出力電流	Io	A	※1 1.5			
許容損失	Pd1	W	18			無限大放熱板使用時
	Pd2	W	1.5			放熱板なし、自立使用時
接合温度	Tj	°C	−40〜+125			
動作周囲温度	Top	°C	−30〜+100			
保存温度	Tstg	°C	−40〜+125			
接合ーケース間熱抵抗	θj-c	°C/W	5.5			
接合ー周囲空気間熱抵抗	θj-a	°C/W	66.7			放熱板なし、自立使用時

※1：Pd(max)=(Vin−Vo) Io=18(W)の関係がありますので、使用条件によってはVo(max)、Io(max)が限定されます。
各々の値については限定特性曲線を参照し、算出してください。

等価回路図

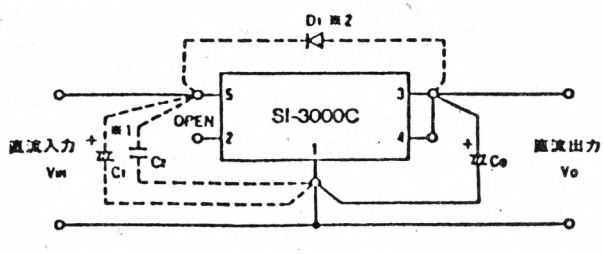


■外形寸法図 (単位：mm)



※はリード先端部の寸法を示す。

標準接続回路図



Co ： 出力コンデンサ(47〜100μF、50V)

※1 C1, C2 ： 発振防止用コンデンサ(C1：47μF程度、C2：0.33μF程度)
入力ラインに、インダクタンスを含む場合や、配線の長い場合に必要となります。特に低温で使用する場合、C1、C2はタンタルコンデンサーのご使用を推奨いたします。

※2 D1 ： 保護用ダイオード
入力ー出力間が逆バイアスになる場合に必要です。
(推奨品、EU2Z サンケン製)

納入規格	作成	有年 山田	改定	A
	検認	竹田 '87-11	定	

品名 集積回路

1. 形　名　　M5266P

2. 機　能

2.1 機能名　　高耐圧，大電流，低VCE（sat）カレントドライバーシリーズ

2.2 構　造　　バイポーラモノリシックIC

3. 用　途　　リレープリンター・LED等のドライバー

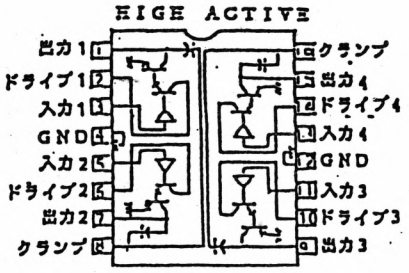
4. 外　形

4.1 名　称　　16ピンプラスチックモールドDIPパッケージ

4.2 外形図番号　　G471734

5. 回路図
図面番号　　等価回路図参照（P. 2）

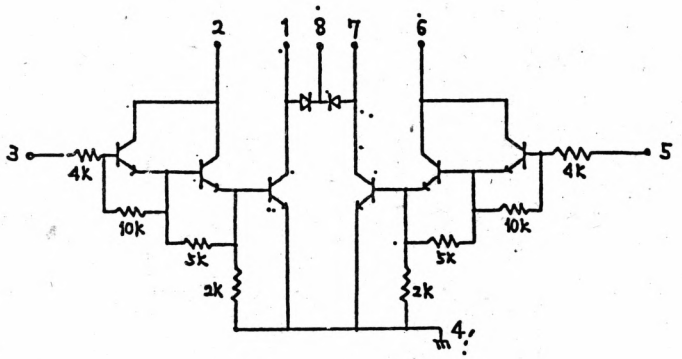
6. ピン接続図

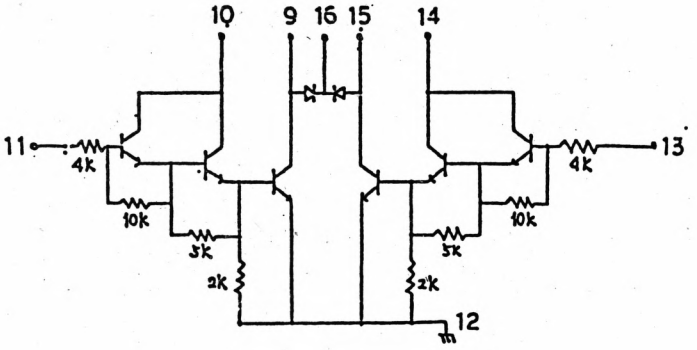


7. 関係標準類

なし

8. 等価回路図





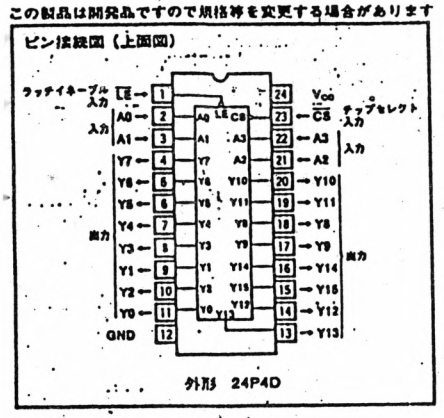
三菱集積回路(HIGH SPEED CMOS)

M74_C646P

TRANSCEIVER AND D-TYPE FLIP-FLOP

この製品は開発品ですので規格等を変更する場合があります

ピン接続図（上面図）



OCTAL 3-STATE NONINVERTING BUS TRANSCEIVER AND D-TYPE FLIP-FLOP

74HC646P

論理図（各トランシーバ）

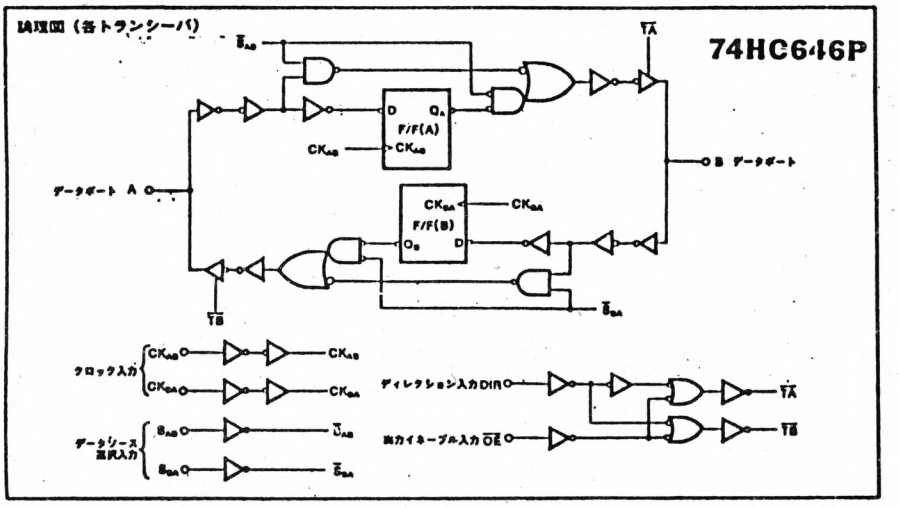
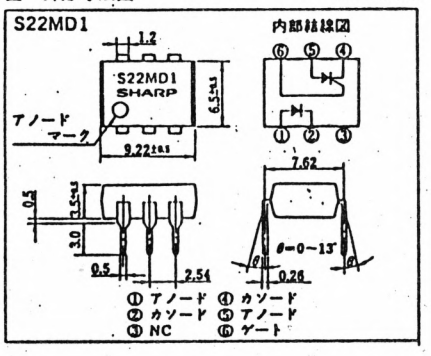
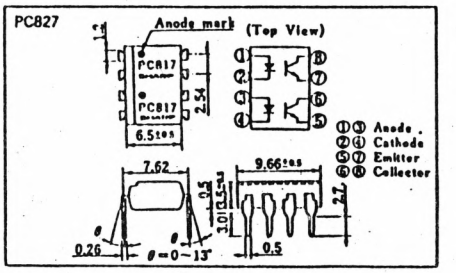
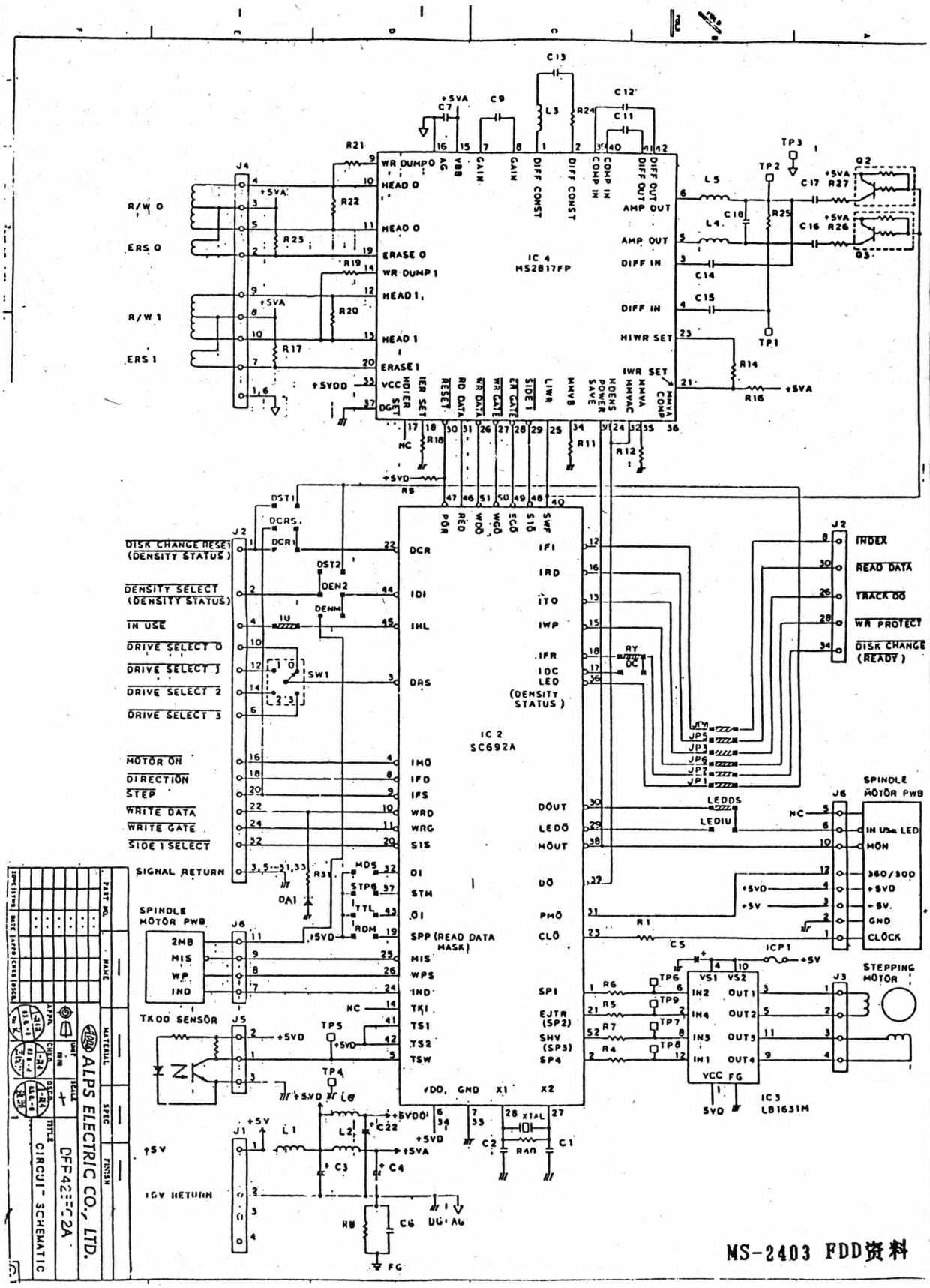


図　外形寸法図　（単位：mm）

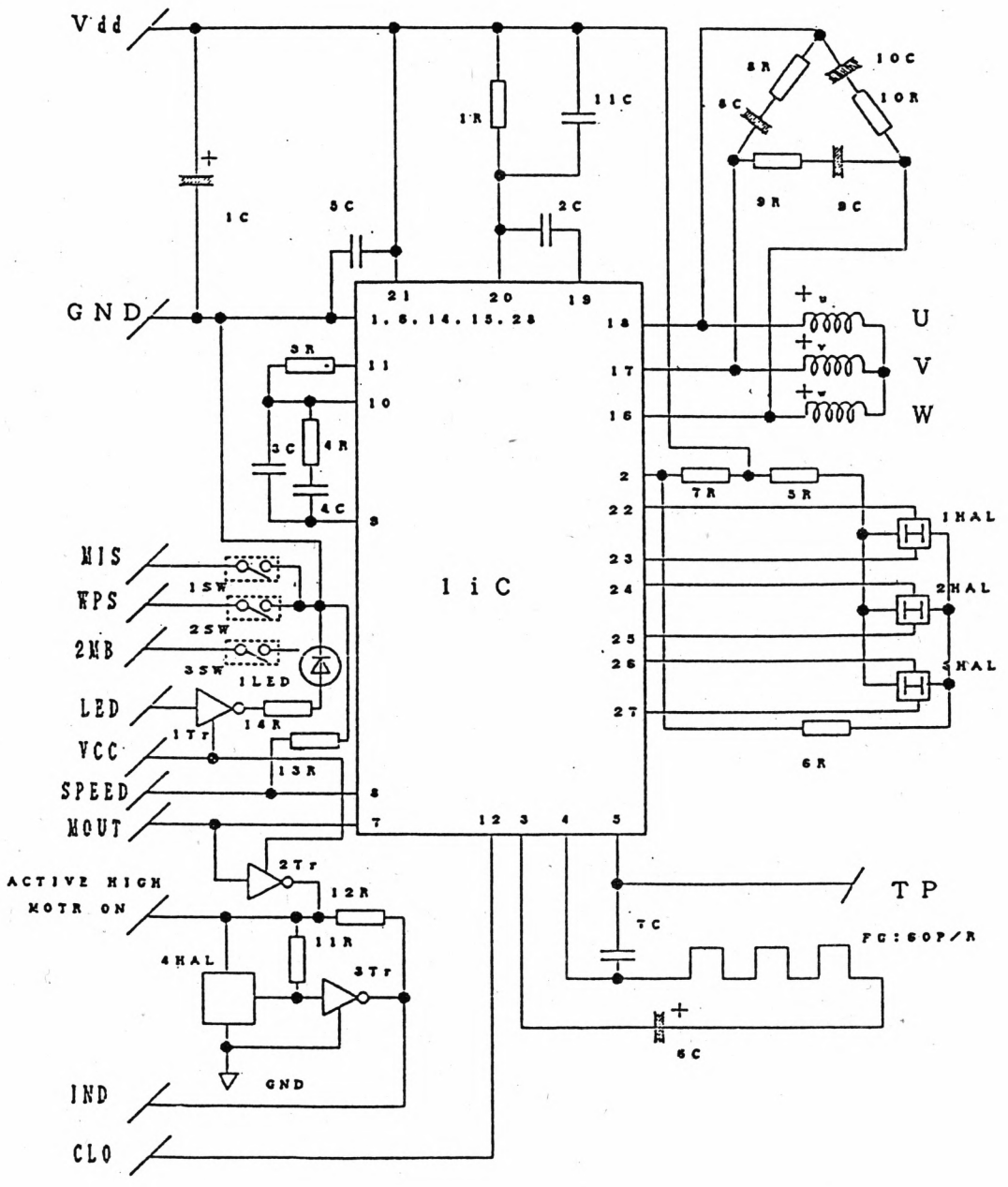


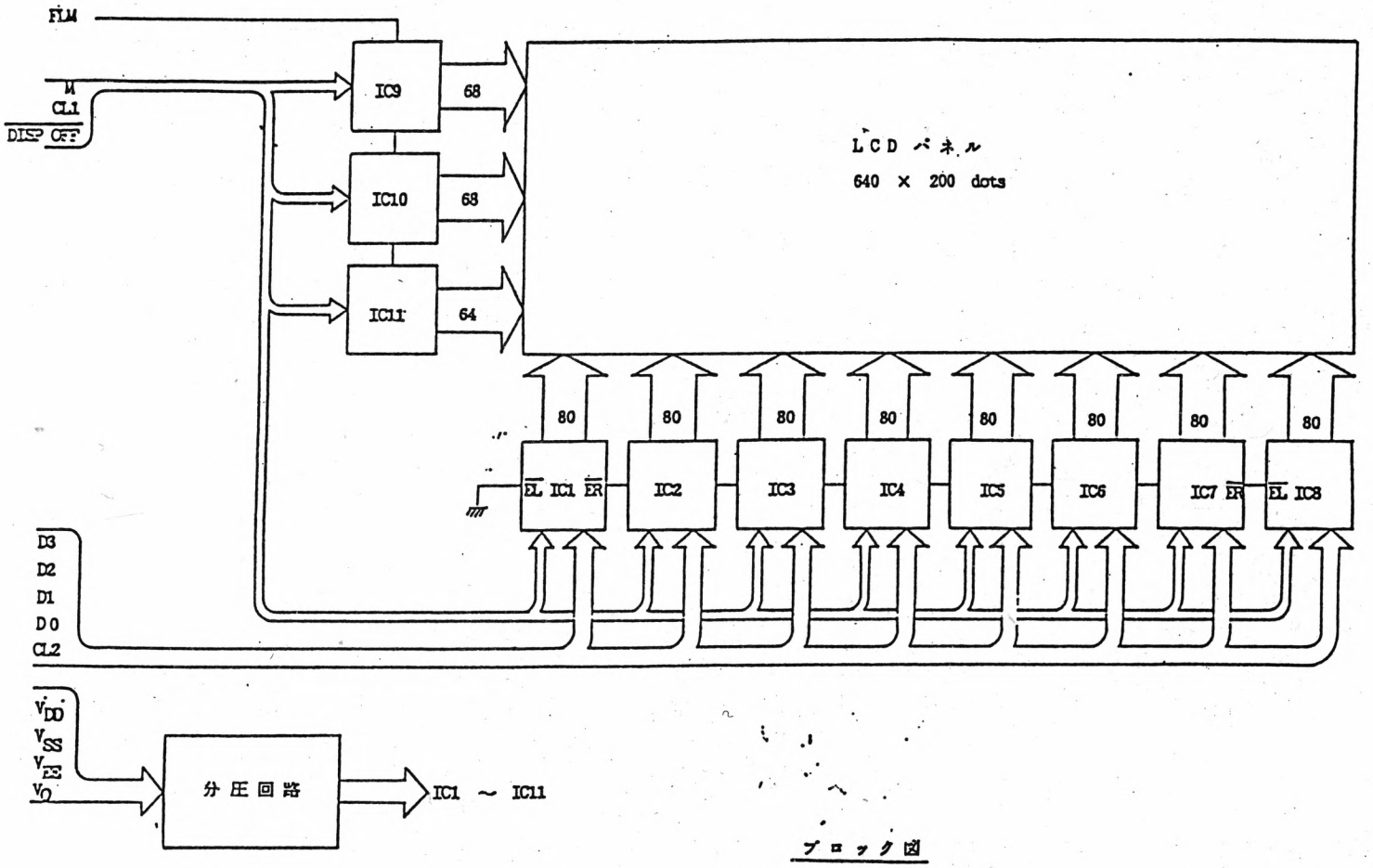




MS-2403 FDD资料

7. コントローラ　回路図


Vdd
GND
1C
5C
1R
11C
2C
8R
10C
8C
10R
9R
8C
21
20
19
1, 8, 14, 15, 28
18
17
16
U
V
W
3R
11
10
3C
4R
4C
9
2
7R
5R
22
23
24
25
26
27
1HAL
2HAL
3HAL
6R
1iC
MIS
WPS
2MB
1SW
2SW
3SW
1LED
LED
1Tr
14R
VCC
13R
SPEED
MOUT
8
7
12 3 4 5
2Tr
12R
ACTIVE HIGH
MOTR ON
11R
4HAL
3Tr
GND
IND
CLO
TP
TC
FG:60P/R
5C


FLM
M
CL1
DISP OFF
IC9
IC10
IC11
68
68
64
LCD パネル
640 × 200 dots
80
80
80
80
80
80
80
80
EL IC1 ER
IC2
IC3
IC4
IC5
IC6
IC7 ER
EL IC8
D3
D2
D1
D0
CL2
VDD
VSS
VEE
VO
分圧回路
IC1 ～ IC11

ブロック図

MS-2403后备电源安装说明

1 概要

本电路板是为MS－2403做断电保护用的专用电路板，其功能是：当电网输入掉电后，由备用电池通过本电路板向整机提供+5V和－20V电压，以维持整机的编辑、存盘及显示，同时主机蜂鸣器发生鸣响，并显示信息。当完成编辑和存盘后，只要关掉电源开关，即可切断电池，恢复到关机状态。

另外，本电路板还具有电池欠压保护功能。当电池电压下降到5V以下时，无论是否还在进行编辑或存盘工作，该电路板将自动切断电池供电，以保护电池。

当电网输入正常时，开机后通过本电路板，即可向电池涓流充电，以保护电池经常处于备用状态。

该电路板对原电路改动很少，不加此电路板，对原电路无任何影响。

需注意的是，在掉电情况下，进行编辑和存盘，只是为了保护正在编辑的文件，而当完成这些工作后，应及时关机。如果没有关机就离开时，则备用电池将一直放电到5V以下，直至自动切断电池供电。但此时电池处于放电状态，来电后，应对电池及时充电。

220V掉电后，主机蜂鸣器会每隔2秒响一次，并在屏幕上显示"电源异常，请按任意键"，如果来电，则蜂鸣器会长鸣一次，然后屏幕显示"电源正常，请按任意键"。

2 技术参数

输出：+ 5V ＞ 1A

－20V ＞ 5mA

电池充电电流：70～80mA

电池欠压保护：4.75～5.25V

电池容量：　1200mAh/6V

消耗电流：　80mA

3 安装与测试

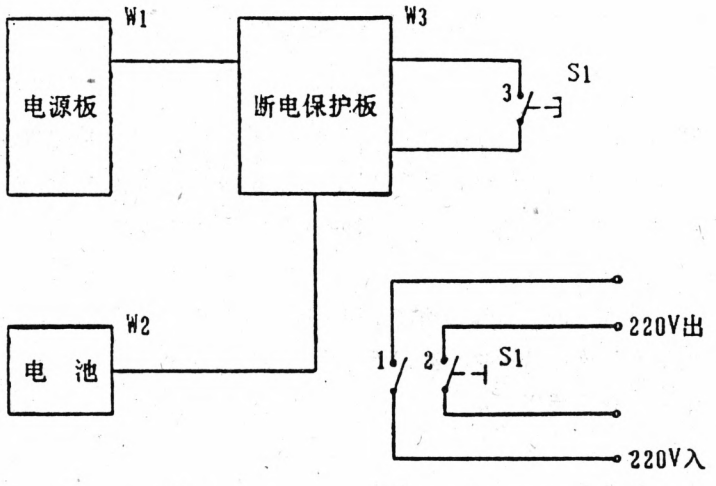
3.1 安装

3.1.1 断电保护板与整机连接框图 （图一）

线缆W1焊在电源板的相应点上。同时要在电源板上拆掉一根镀银线，加一只二极管V12。插头插在该板的X1上。**注意：新、老电源板的连接方式是不同的。**

线缆W3，来自电源开关S1。插到该板的X3上。S1不能采用原电源开关，需要换一个带复位刀的开关。

该电路板插在机器左侧的两个槽内。见图二。



图一

3.1.2 将整机主机板上的WP取下，换上1991年1月以后的版本（V30）。

3.1.3 电源板安装

3.1.3.1 将电源板从电源板支架上拆下，拆下镀银线，换上二极管。

新电源板　　拆下J49，换上二极管，二极管正极与CN1b第5脚相连接。

老电源板　　拆下JW10，换上二极管，二极管正极与CN51的第4脚相连接。

3.1.3.2 将6线电缆按要求长度剪线，并剥头，搪锡，然后将每根线焊到指定位置，焊接位置如下：

老电源板：　棕线(约125mm)接L2一端(与C19正极连接的一端)

黄线(约160mm)接C18正极

红线从端子上拆下，不用

白线(约190mm)接D14负极

蓝或紫线(139mm)接C26负极

黑线(约222mm)接T1第11脚(地线)

新电源板：　棕线(约166mm)接R35一端(与C26a连接的一端)

黄线(约172mm)接C21a正极

红线(约140mm)接TR21发射极

白线(约140mm)接TR21集电极

蓝或紫线(约86mm)接CN1b第5脚

黑线(约160mm)接ZD21正极

3.1.3.3 将电源板重新装到支架上，注意，一定要将电源板先放在支架上的定位槽内，在用螺钉固定。

3.1.4 电源开关的安装(图三)

3.1.4.1 将电源开关引线沿根部剪下，并将该开关拆下。

3.1.4.2 将2线电缆上分别套上2个φ3热缩管，并将两根线焊在新开关的复位刀上。

3.1.4.3 将剪下的4条引线分别套上4个φ5的热缩管，并将引线重新焊在新开关上。

3.1.4.4 将热缩管套在焊接处，用吹风机热风将热缩管紧缩。

3.1.4.5 将开关组件重新装到电源板支架上，并将电缆插回原来位置。

3.1.5 按图二将电源板、断电保护板、电池分别装到机器上，将插头分别插好。并按图四将线缆整理好。

3.2 测试

按正常操作程序开机，测量断电保护板上的X1各脚及R5两端电压，应如下表所示：

表一

X1-1	打印头动作 24V	X1-4	+6.5V — +6.7V 注
X1-1	打引头不动作0V	X1-5	-20V
X1-2	+26V	X1-6	GND
X1-3	+5V	R1	5V

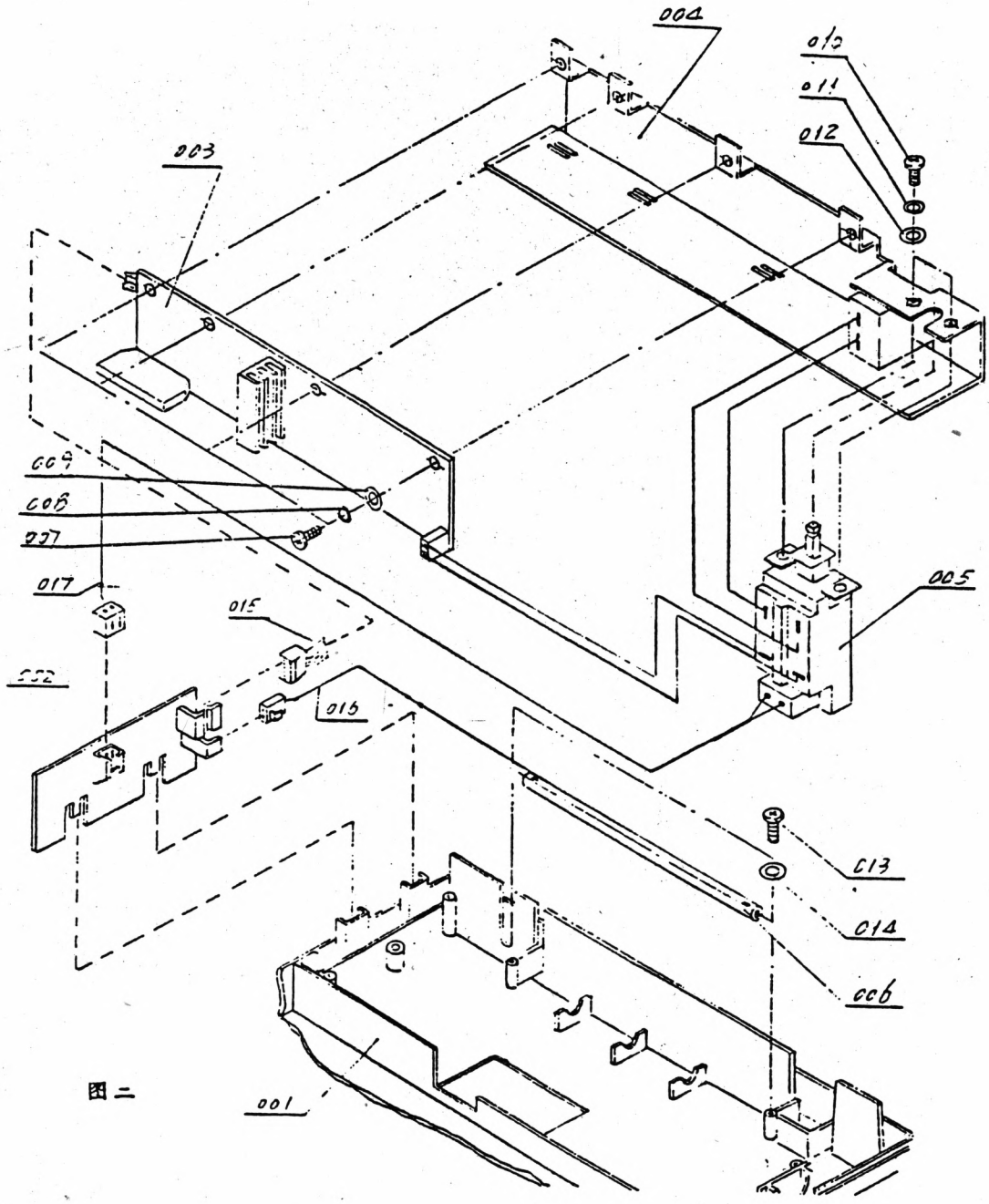
注：老板需开机调电源板VR1，新板调VR22使此端为6.5V。

4. 成套件清单

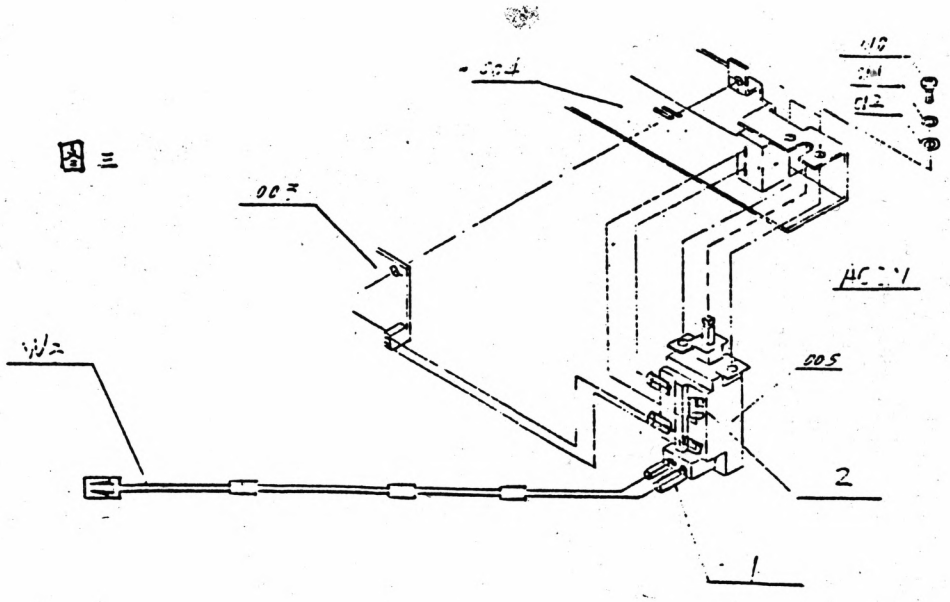
1	断电保护板	1块	7	热缩管φ3	2个
2	6线连接电缆	1条		φ5	4个
3	2线连接电缆	1条	8	BIOS	1片
4	电源开关	1个	9	WP	1片
5	电池压板	2个	10	二极管	1个
6	自攻螺钉M3×3	2个	11	安装说明	1份

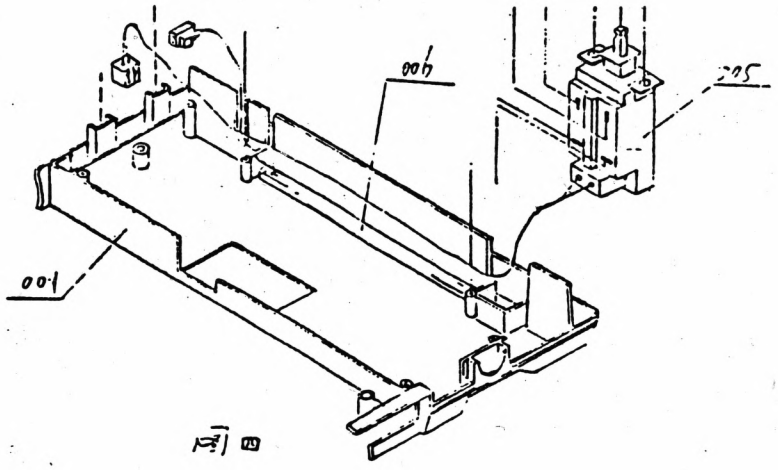
北京四通办公设备有限公司

1991年1月


004
010
011
012
003
009
008
007
017
015
002
016
005
013
014
006
001

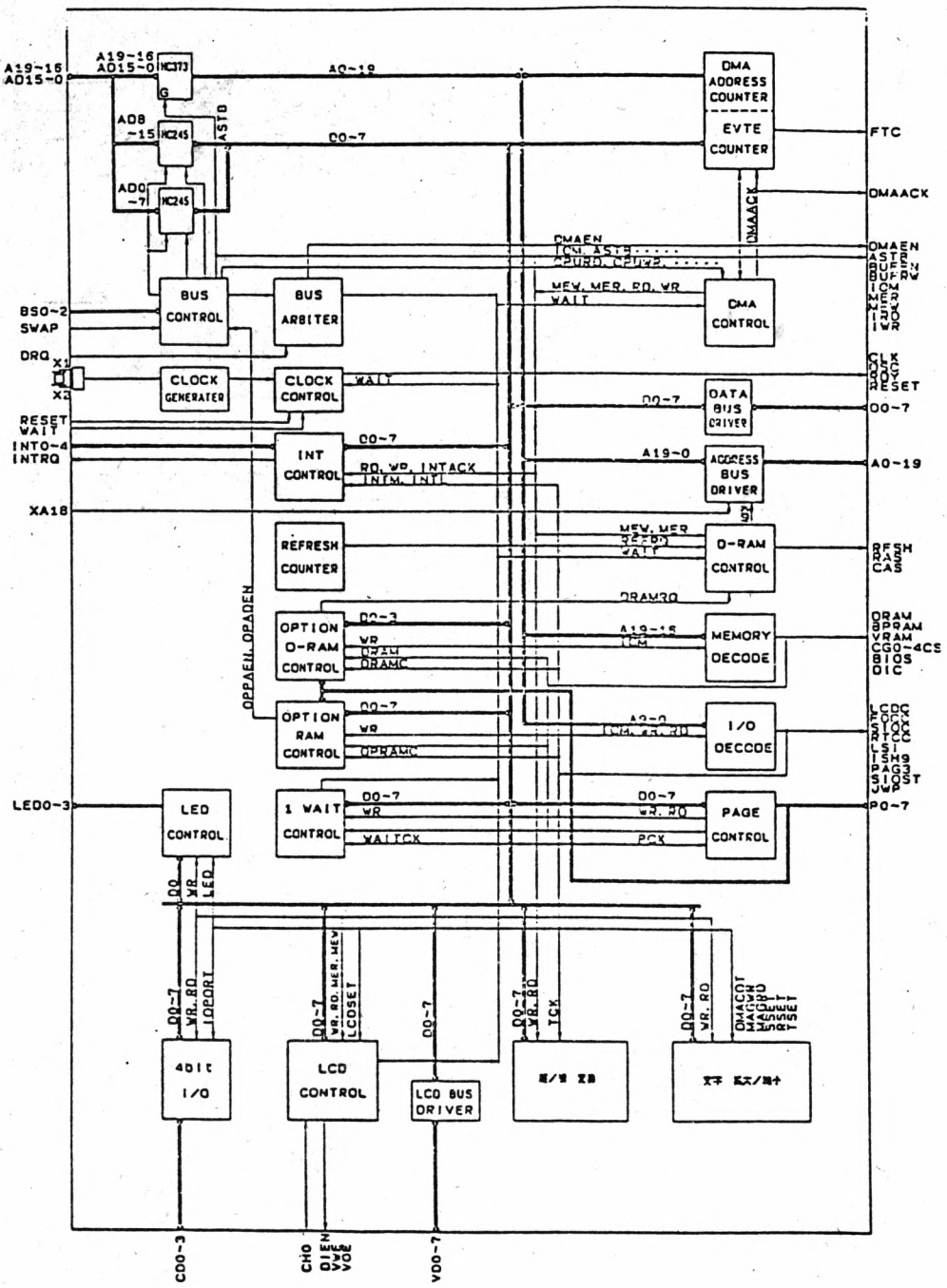
图二





MS-2401H芯片资料

ISH8 ASIC BLOCK



3-4-2 ISH8端子说明

1) I19～I16(地址总线)输入
是从CPU输出的地址信号中，上位4BIT的输入端子。

2) I15～I00(地址数据总线)输入/输出
是由CPU来的地址和数据信号。16BIT的地址总线输入和8BIT的数据总线的输入输出。
在CPU为V20时，只使用下位8BIT，V30时，输入交换信号时，由上位8BIT输入输出。

3) IBS2～0(总线状态)输入
输入当前的总线状态的信号。

4) ITA(中断请求)输出
是对CPU的中断请求信号。INT0～INT4输入，中断有效状态时输出。

5) WAT(等待)输入
外部让CPU等待的输入信号。

6) REST(复位)输入
是复位的输入信号。但D-RAM，CONTROL回路，REFRESH回路，不能复位。

7) NRE RES(复位)输出
是上述复位信号的输出信号。与CKO信号的下降边同步输出。
RES正逻辑，NRE负逻辑输出。
RES信号接CPU。

8) RDY(就绪)输出
是对CPU的RDY信号。作业来不及时，如在外设指定等待的情况下或VRAM存取信息时，DMA时，D-RAM刷新时以及输入外部等待信号时为“低”。

9) CLKI(时钟输入)输入

输入CPU时钟信号。OPUT信号为“H”时，由该时钟信号操作。

10) OOS(振子输出)输出

振子的基本波形输出。

11) CKO(时钟输出)输出

是上述振子输出信号2分频后的输出信号。和CPU的时钟输入接于CLKI。输出占空比50%的方形波。

12) X1，X2(晶体)输出

是接晶体振子的端子。X1为输入，X2为输出。

13) INTO～4(中断)输入

是中断的输入信号。优先顺序为INTO高，INT4低。

14) SWAP(数据总线交换)输出

在CPU用V30，使用16位的情况下，是为转换D0～D7，D8～D15的输入信号。“低”D0～D7有效，“高”D8～D15有效。

15) XA18(地址18)输入

是在CPU选用V30时，输入D-RAM存取信息的A18的端子。根据扩充D-RAM选择的条件，向A18，P0，P1等输入信号。

16) LE0-3(发光二极管)输出

是发光二极管显示器用的输出端子。

LE0-2复位为关断，LE3复位为开通。

17) BSR(缓冲器读/写)输出

是缓冲器读/写信号，在使用外部数据总线缓冲器时，起引导作用。

18) TRES(测试复位)输入

是测试用的复位端子，通常必须置于“高”电平。

19) BIS(BIOS CS控制信号)输出

是BIOS ROM用的CS控制信号输出。

20) DRA(D-RAM CS控制信号)输出

是D-RAM用的控制信号输出。为正逻辑输出。

21) BRA(BACK UP RAM CS控制信号)输出

是BACK UP RAM用的控制信号输出。

22) V30(V30NV20)输入

是CPU的选择信号。在选用V30时必须为“高”电平，在选用V20时，必须输入“低”电平信号。

23) OPUT(输出使能)输入

是检测用输入端子和电池BACK-UP工作时的输入信号。“高”电平是通常方式，在“低”电平时，使RFS、RAS、CAS信号之外端子为“高阻抗”状态。

24) OP7～0(页面输出)输出

是存储器扩充用的页面输出信号。在40000～BFFFFH的存取空间输出64KB 8位的页面数据。

25) RAMI(RAM选择)输入

在不使用D-RAM而使用S-RAM时，输入“高”电平。

26) EXRQ(扩充部分请求)输入

“高”电平时，扩充部分有效，80000～BFFFFH的存储选择信号变为无效。

27) PG3(页面3)输出

是寄存繁体字、日文用的页面数据信号，使各可选的电路板输出有效。

28) SIS(串行输入输出读)输出

是连接选用通道，判别电路板种类的信号。

输出到连接RS232电路板的通道。

29) JWP(日文WP信号)输出

输入日文用的输出信号。

30) LCD(液晶显示器片选信号)输出

液晶显示控制器MSM6255的控制信号。

31) FDC(软驱控制器片选信号)输出

软驱控制器UPD72067的控制信号。

32) SIL(串行输入输出控制信号)输出

串行输入输出用的控制信号。是向RS232C电路板选定的通道输入所必需的。

33) RTL(RTC片选信号)输出

实时钟用的集成电路RF5C15用的控制信号。

34) LSI(大规模集成电路片选信号)输出

扩充用的控制信号。在进行功能扩充时，作为输入/输出的控制信号使用。

35) RFS(刷新)输出
D-RAM的刷新信号。

36) RAS(RAS)输出
D-RAM的RAS信号。连接D-RAM。

37) CAS(CAS)输出
D-RAM的CAS信号。接D-RAM。

38) B19～0(地址总线)输出
是20位的地址总线。能够输出CPU的地址和DMA时的DMA地址。
还可以输出D-RAM存取时的分时RAS/CAS存取信息。

39) IRD(读/输入输出读)输出
在CPU存取时，存储器和输入输出读时输出。 但是当选定通道的存储器有效时，可以根据其条件而输出。DMA时作为输入/输出的读信号。对选定的通道，必须接此信号。

40) IWR(写/输入输出写)输出
是与上述IRD同样条件下输出的写信号。

41) ISH(ISH9片选)输出
ASIC ICH9的输入/输出控制信号。接ISH9的ASIC。

42) OD7～0(数据总线)输入输出
是8位的数据总线。

43) IMO(输入/输出存储器选择)输出
是输入输出存储器控制信号。输入/输出存取时为“高”电平， 存储器存取时为“低”电平。

44) 字库4～0(汉字片选信号)输出

是汉字ROM的控制信号。根据模式变换输出条件。

字库0～2　　24/8点汉字

字库3　　16点汉字

字库4　　书体汉字

45) DC0，DC1(字典控制信号)输入输出

字典ROM用的控制信号。

46) FTC(软盘驱动器DMA终端计数器)输出

是DMA时的终端计数器输出信号。接软驱控制器的终端计数器。

47) FAK(软驱DMA应答)输出

是DMA的应答。接软驱控制器的DACK。

48) DMA(DMA)输出

DMA时的输出信号

49) FDRQ(软驱DMA请求)输入

是DMA请求信号的输入端子。接软驱控制器的DRQ。

50) BFE(缓冲器使能)输出

使用外部数据总线缓冲器时，接此使能端子。

51) ASB(地址选通脉冲)输出

是地址寄存器的信号的输出。

52) VRAI，VRM(VRAM片选信号)输入输出

是液晶显示用的V-RAM的控制信号。

VRM是输出端，VRAI是输入端。

53) MEW(存储器写)输出
是存储器的写入端子。接存储器的WR端子。

54) MER(存储器读)输出
是存储器的读出端子。接存储器的OE端子。

55) VD7～0(V-RAM数据总线)输入/输出
是接V-RAM存储器的数据总线。

56) VXT(液晶显示器晶体)输出
作为液显控制器的MSM6255的基本时钟的晶体的输出。

57) CHO(字时钟)输出
是液显控制器字单位的输出信号。
与此信号同步，访问V-RAM。

58) DIE(DIEN)输出
是液显控制器的输出信号。“低”电平状态时访问V-RAM。 接液晶显示器的DIEN端子。

59) VWE(V-RAM写入)输出
是V-RAM的写入信号。

60) VOE(V-RAM输出使能)输出
是V-RAM的OE(输出使能)信号。

61) CD3～0(命令数据输出)输入/输出
是扩充用的4位并行口。能够设定以位为单位的输入/输出。

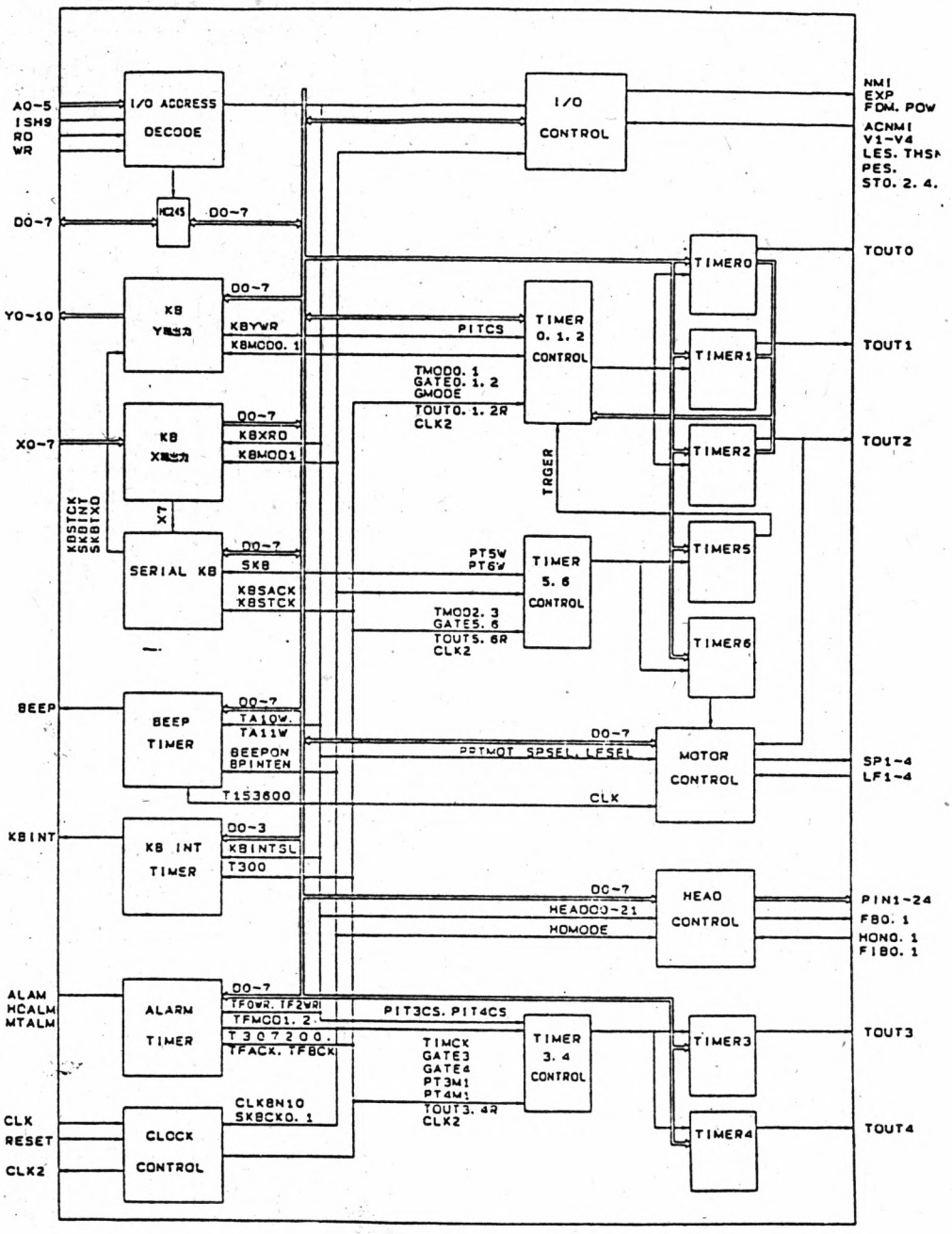
端子配置図 ISH8(1)

端子NO	I/O	端子名	信号名	端子NO	I/O	端子名	信号名	端子NO	I/O	端子名	信号名	端子NO	I/O	端子名	信号名
1	---	VDD		21	---	GND		41	---	VDD		61	---	GND	
2	I	I19	IA19	22	I/O	IO2	AD2	42	---	GND		62	O	OP7	P7
3	I	I18	IA18	23	I/O	IO1	AD1	43	I	INT0	INT0	63	O	OP6	P6
4	I	I17	IA17	24	I/O	IO0	AD0	44	I	INT1	INT1	64	O	OP5	P5
5	I	I16	IA16	25	I	IBS2	BS2	45	I	INT2	INT2	65	O	OP4	P4
6	I/O	I15	AD15	26	I	IBS1	BS1	46	I	INT3	INT3	66	O	OP3	P3
7	I/O	I14	AD14	27	I	IBS0	BS0	47	I	INT4	INT4	67	O	OP2	P2
8	I/O	I13	AD13	28	O	ITA	INT	48	I	XA18	XA18	68	O	OP1	P1
9	I/O	I12	AD12	29	I	WAT	_WAIT	49	I	SWAP	SWAP	69	O	OP0	P0
10	I/O	I11	AD11	30	I	REST	_RST	50	O	LE0	_LED0	70	I	RAMI	RAMI
11	I/O	I10	AD10	31	O	NRE	_RESET	51	O	LE1	_LED1	71	I	EXRQ	EXPREQ
12	I/O	IO9	AD9	32	O	RES	RESET	52	O	LE2	_LED2	72	O	PG3	_CALLPAGE
13	I/O	IO8	AD8	33	O	RDY	READY	53	O	LE3	_LED3	73	O	SIS	_SIOST
14	I/O	IO7	AD7	34	I	CLKI	CLK I	54	O	BSR	BUFR/W	74	O	JWP	_JWP
15	I/O	IO6	AD6	35	O	OOS	OSC	55	I	TRES	_TRESET	75	O	LCD	_LCDCCS
16	I/O	IO5	AD5	36	O	CKO	CLK O	56	O	BIS	_BIOSCS	76	O	FDC	_FDCCS
17	I/O	IO4	AD4	37	---	GND		57	O	DRA	DRAM	77	O	SIL	_SIOCS
18	I/O	IO3	AD3	38	I	X1	X1	58	O	BRA	_DPRAMCS	78	O	RTL	_RTCCS
19	---	GND		39	O	X2	X2	59	I	V30	V30NV20	79	---	GND	
20	---	VDD		40	---	VDD		60	I	OPUT	OUTPUT	80	---	GND	

端子配置図 ISH8(2)

端子NO	I/O	端子名	信号名	端子NO	I/O	端子名	信号名	端子NO	I/O	端子名	信号名	端子NO	I/O	端子名	信号名
81	---	VDD		101	---	GND		121	---	GND		141	---	GND	
82	0	LSI	_LSICS	102	0	B06	A6	122	---	GND		142	I/O	VD7	VD7
83	0	RFS	_REFRESH	103	0	B05	A5	123	0	IMO	IOM	143	I/O	VD6	VD6
84	0	RAS	_RAS	104	0	B04	A4	124	0	CG4	_CG4CS	144	I/O	VD5	VD5
85	0	CAS	_CAS	105	0	B03	A3	125	0	CG3	_CG3CS	145	I/O	VD4	VD4
86	0	B19	A19	106	0	B02	A2	126	0	CG2	_CG2CS	146	I/O	VD3	VD3
87	0	B18	A18	107	0	B01	A1	127	0	CG1	_CG1CS	147	I/O	VD2	VD2
88	0	B17	A17	108	0	B00	A0	128	0	CG0	_CG0CS	148	I/O	VD1	VD1
89	0	B16	A16	109	0	IRD	_RD	129	0	DC0	_DIC0CS	149	I/O	VD0	VD0
90	0	B15	A15	110	0	IWR	_WR	130	0	DC1	_DIC1CS	150	0	VXT	XT
91	0	B14	A14	111	0	ISH	_ISH9IO	131	0	FTC	FDTC	151	I	CH0	CH0
92	0	B13	A13	112	I/O	OD7	D7	132	0	FAK	_FDDMAK	152	0	DIE	_DIEN
93	0	B12	A12	113	I/O	OD6	D6	133	0	DMA	DMAEN	153	0	VWE	_WE
94	0	B11	A11	114	I/O	OD5	D5	134	I	FDRQ	FDDREQ	154	0	VOE	_OE
95	0	B10	A10	115	I/O	OD4	D4	135	0	BFE	_BUFEN	155	I/O	CD3	CD3
96	0	B09	A9	116	I/O	OD3	D3	136	0	ASB	ASTB	156	I/O	CD2	CD2
97	0	B08	A8	117	I/O	OD2	D2	137	I	VRAI	_VRAMCSI	157	I/O	CD1	CD1
98	0	B07	A7	118	I/O	OD1	D1	138	0	VRM	_VRAMCS	158	I/O	CD0	CD0
99	---	GND		119	I/O	OD0	D0	139	0	MEW	_MEW	159	---	GND	
100	---	VDD		120	---	VDD		140	0	MER	_MER	160	---	GND	

ISH9 ASIC BLOCK



-4-3 ISH9端子说明

1) OD0～7(数据总线)输入/输出
是8位的数据总线。

2) OPUT(输出使能)输出
“高”电平时输出有效，“L”电平时为“高阻”。

3) ISH9(ISH9片选信号)输入
ISH9控制信号的输入端子。

4) ONWR(写信号)输入
写入信号。接ISH8的ASIC输出IWR信号。

5) ONRD(读信号)输入
读出信号。接ISH8的ASIC输出IRD信号。

6) ICLK(时钟输入)输入
输入CPU的时钟信号。

7) CK2(时钟1/2)输出
上述的ICLK2分频之后的输出信号。

8) OA0～5(地址总线)输入
地址的输入端子。

9) IRST(复位)输入
复位信号的输入端子。

10) NMI(NMI)输出
定时器输出和发生ACNMI时向CPU要求NMI。

11) KIT(键盘中断请求)输出
键盘扫描用定时器的中断输出信号。

12) BEP(鸣响声)输出

接蜂鸣器，发示错的声音。

13) OX0～7(键盘、X轴)输入

键盘矩阵的X轴输入端子。

14) Y0～10(键盘Y轴)输出

键盘矩阵的Y轴输入端子。

15) PI1～24(打印针)输出

对应打印头24针的输出端子。

16) FB0，1(回针)输出

打印头快速回针控制用的输出端子。

17) FIB0，1(回针)输入

产生上述快速回针信号的输入端子。

18) HON0，1(打印头ON)输入

打印头ON的信号

19) LF1～4(LF电机)输出

打印机走纸电机用的输出信号。

20) SP1～4(SP电机)输出

打印机走打印头电机的输出信号。

21) T00～4(定时器)输出

定时器0～4的输出端子信号。

22) ST0，2，4，7(状态)输入输出

系统状态的输入端子。

根据模式ST2为输出端子。

23) HDA，MTA(打印头报警，电机报警)输入

打印头报警和电机报警的输入端子。当输入超过规定以上的脉冲幅值时，作为报警产生NMI。

24) V1～4(打印头电压)输入
打印头电压检测用的状态输入端子。

25) ALA(报警)输入
打印机的报警输入端子。

26) LES(左端传感器)输入
打印机状态的输入端子。

27) THSN(热传感器)输入
打印头过热检出信号的输入端子。

28) PES(纸尽传感器)输入
打印纸的检测信号输入端子。

29) ANMI(AC NMI)输入
检出停电后输入的端子。能输入并输出NMI。

30) FDM(软驱电机ON)输出
软驱电机的ON/OFF信号。

31) POW(电源ON)输出
打印机电源的ON/OFF信号。

32) EXP(扩充部分请求)输出
使用扩充部分时的要求信号，接ISH8的ASIC。

端子配置図 ISH9(1)

端子NO	I/O	端子名	信号名	端子NO	I/O	端子名	信号名	端子NO	I/O	端子名	信号名	端子NO	I/O	端子名	信号名
1	---	VDD		21	I	OA3	A3	41	O	Y3	Y3	61	---	VDD	
2	I/O	OD0	D7	22	I	OA4	A4	42	O	Y4	Y4	62	O	PI10	PIN10
3	I/O	OD1	D6	23	I	OA5	A5	43	O	Y5	Y5	63	O	PI11	PIN11
4	I/O	OD2	D5	24	I	IRST	_RESET	44	O	Y6	Y6	64	O	PI12	PIN12
5	I/O	OD3	D4	25	O	NMI	NMI	45	---	GND		65	O	PI13	PIN13
6	I/O	OD4	D3	26	O	KIT	KBINT	46	---	GND		66	O	PI14	PIN14
7	I/O	OD5	D2	27	O	BEP	BEEP	47	O	Y7	Y7	67	O	PI15	PIN15
8	I/O	OD6	D1	28	I	OX0	X0	48	O	Y8	Y8	68	O	PI16	PIN16
9	I/O	OD7	D0	29	I	OX1	X1	49	O	Y9	Y9	69	O	PI17	PIN17
10	I	OPUT	OUTPUT	30	---	VDD		50	O	Y10	Y10	70	O	PI18	PIN18
11	I	ISH9	_ISH9IO	31	---	GND		51	O	PI1	PIN1	71	O	PI19	PIN19
12	I	ONWR	_WR	32	I	OX2	X2	52	O	PI2	PIN2	72	O	PI20	PIN20
13	I	ONRD	_RD	33	I	OX3	X3	53	O	PI3	PIN3	73	O	PI21	PIN21
14	I	ICLK	CLK	34	I	OX4	X4	54	O	PI4	PIN4	74	O	PI22	PIN22
15	---	GND		35	I	OX5	X5	55	O	PI5	PIN5	75	---	GND	
16	---	GND		36	I/O	OX6	X6	56	O	PI6	PIN6	76	---	GND	
17	O	CK2	CLK/2	37	I	OX7	X7	57	O	PI7	PIN7	77	O	PI23	PIN23
18	I	OA0	A0	38	O	Y0	Y0	58	O	PI8	PIN8	78	O	PI24	PIN24
19	I	OA1	A1	39	O	Y1	Y1	59	O	PI9	PIN9	79	O	FB0	FB0
20	I	OA2	A2	40	O	Y2	Y2	60	---	GND		80	O	FB1	FB1

端子配置図 ISH9(2)

端子NO	I/O	端子名	信号名	端子NO	I/O	端子名	信号名	端子NO	I/O	端子名	信号名	端子NO	I/O	端子名	信号名
81	I	FIB0	FIB0	101	I/O	ST2	ST2								
82	I	FIB1	FIB1	102	I	ST4	ST4								
83	I	HON0	HEADON0	103	I	ST7	ST7								
84	I	HON1	HEADON1	104	I	HDA	HEADALARM								
85	0	LF1	LF1	105	---	GND									
86	0	LF2	LF2	106	---	GND									
87	0	LF3	LF3	107	I	MTA	MOTORALAM								
88	0	LF4	LF4	108	I/O	V1	V1								
89	0	SP1	SP1	109	I/O	V2	V2								
90	---	VDD		110	I	V3	V3								
91	---	GND		111	I	V4	V4								
92	0	SP2	SP2	112	I	ALA	_ALARM								
93	0	SP3	SP3	113	I	LES	_LES								
94	0	SP4	SP4	114	I	THSN	_THSEN								
95	I/O	TO0	TO0	115	I	PES	_PES								
96	I/O	TO1	TO1	116	I	ANMI	ANMI								
97	I/O	TO2	TO2	117	0	FDM	FDONTON								
98	0	TO3	TO3	118	0	POW	POWERON								
99	0	TO4	TO4	119	0	EXP	EXPRQ								
100	I	ST0	ST0	120	---	GND									

MS-2401H CRT卡

第一章　概述

MS2401H打字机已成为较普及的办公设备了。MS2401H采用的液晶显示方式不能满足人们对每屏显示信息量的要求。为此要扩充MS2401H的显示屏幕。

选用台湾TIDALWAUE公司的TM6066A芯片作显示卡和显示器控制核心，实现在图形方式下640×408点阵显示和字符方式下80列×25行的显示功能。

第二章　CRT显示卡主要性能指标

2.1　电气性能

供电电压：　+5V(DC)　±0.25V

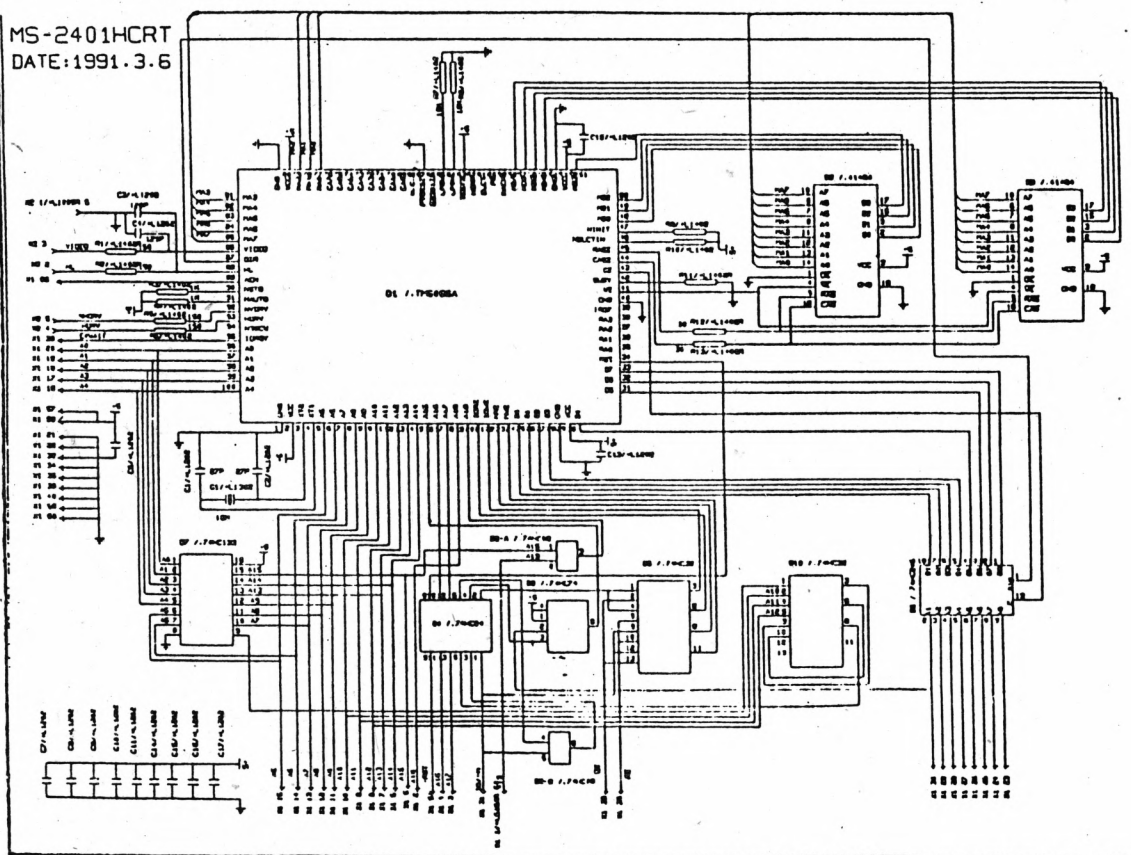
功　　耗：　小于 0.3W

工作环境：　0～70℃

2.2　技术要求：

1. 要求全部芯片应能在+4.75V至+5.25V供电电压下正常可靠工作。
2. 振荡器误差小于±10%。
3. 电阻误差小于±5%。
4. 电容误差小于±10%。

第三章　工作原理



更改	数量	更改单号	签名	日期		

关于TM6066A CRT控制芯片

TM6066A特性：

1.片内包含6845(CRT控制器)

2.有打印端口

3.片内有晶振电路

4.提供打印口数据总线的驱动能力

5.提供光笔接口

6.1.5μm CMOS高速处理能力

7.与Hercnles图形适配器兼容

8.与IBM单显适配器兼容

9.可以不用打印功能

10.配合使用4464-20或4164-20 DRAM

TM6066A方式选择，寄存器设置和打印口使用列表如下：

×表示 任意 ○表示按规定选择

功能	地址	Bit								读/写	注
		7	6	5	4	3	2	1	0		
显示存贮器	B0000 BFFF	○	○	○	○	○	○	○	○	读/写	
方式寄存器	3B8	○	×	○	×	○	×	○	×	写	
光笔复位	3B9	×	×	×	×	×	×	×	×	写	
状态寄存器	3BA	○	×	×	×	○	○	○	○	读	
光笔设置	3BB	×	×	×	×	×	×	×	×	写	
打印数据状态	3BC	○	○	○	○	○	○	○	○	读/写	
	3BD	○	○	○	○	○	×	×	×	读	
	3BE	×	×	×	○	○	○	○	○	读/写	
控制寄存器	3BF	×	×	×	×	×	×	○	○	写	
6845地址数据	3B4 3B5	× ○	× ○	× ○	○ ○	○ ○	○ ○	○ ○	○ ○	写 读/写	

下面分别叙述各功能：

1.显示存贮器

显示存贮的地址是B0000到BFFFF(Hex)

偶数地址是字符码，奇数地址是属性码，详见TM6066A Data sheet Page 2

在图形方式下，提供2页显示，每页32K Byte

2.方式寄存器：

位 号码	功能
0	没有用
1	0：文本方式 1：图形方式
2	没有用
3	0：空白屏幕 1：屏幕可响应
4	没有用
5	0：关断文本闪 1：开启文本闪
6	没有用
7	0：0页 1：1页

3.光笔复位：

这是一个命令寄存器，对这个地址执行IOW命令，光笔寄存器将被清除。

4.状态寄存器：

位 号码	功能
0	水平同步
1	光笔寄存器的数据
2	光笔开关
3	视频输出
4…6	没有用
7	垂直同步

5.光笔设置：

这是一个命令寄存器，对这个地址执行IOW命令时，光笔就被设置。

6.打印口数据寄存器，详见TM6066A data sheet page 4

7.打印口状态寄存器，详见TM6066A data sheet page 4.

8.打印口控制寄存器，详见TM6066A data sheet page 4.

9.6845地址寄存器，详见TM6066A data sheet page 4.

10.6845数据寄存器：

更改标记	更改单号	签名 日期

6845索引寄存器用于索引寻址6845数据寄存器，6845共有18个数据寄存器，操作6845寄存器的过程如下：

(1)向6845索引寄存器中写入数据寄存器索引地址(3B4H)

(2)读/写6845数据寄存器

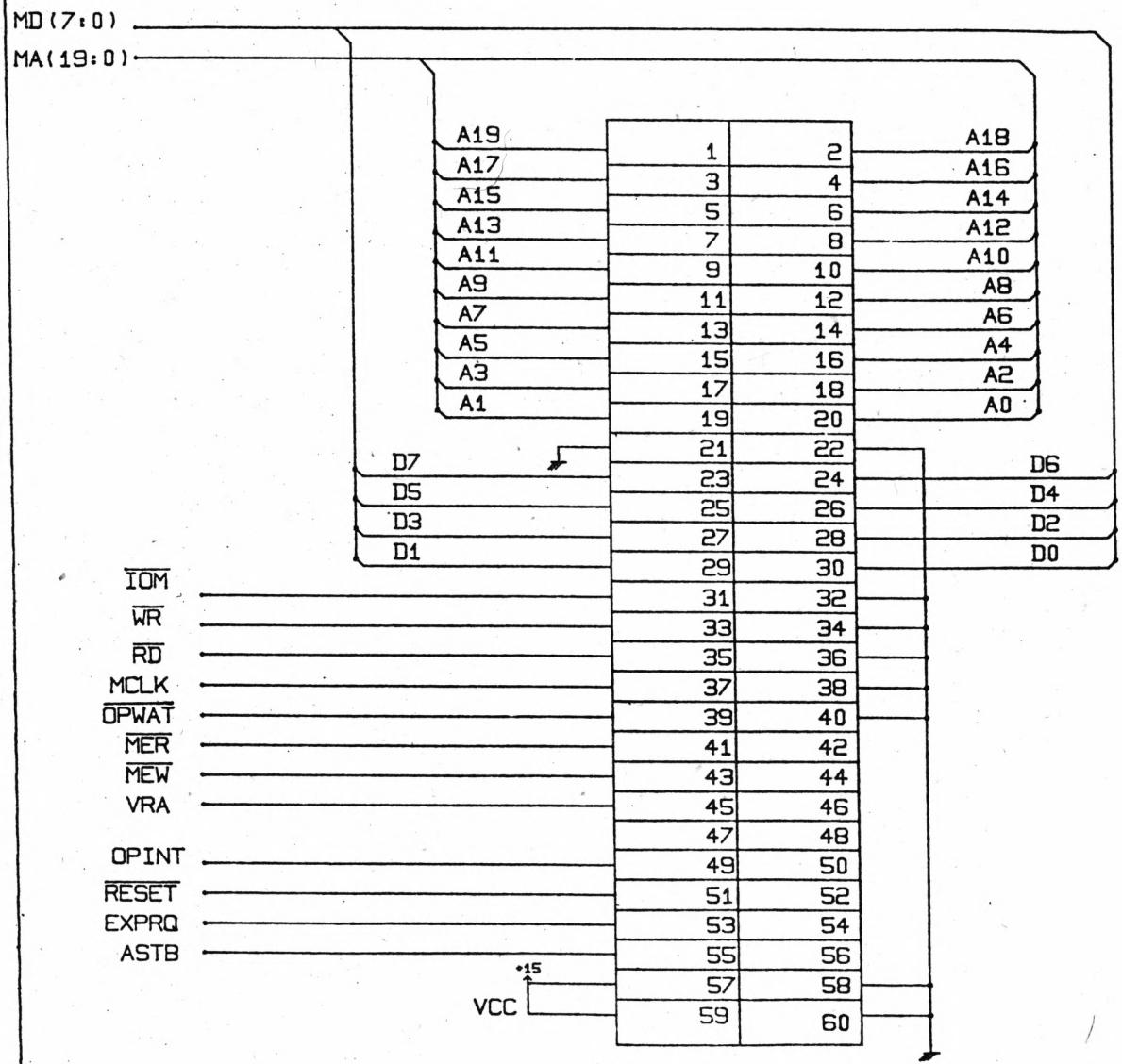
下面给出6845数据寄存器的定义：

索引					寄存器号	寄存器类型	数据								读/写	预置方式
A4	A3	A2	A1	A0			D7	D6	D5	D4	D3	D2	D1	D0		
0	0	0	0	0	R0	水平总数									写	预置值
0	0	0	0	1	R1	水平显示									写	
0	0	0	1	0	R2	水平同步位置									写	位移值
0	0	0	1	1	R3	同步宽度	V3	V2	V1	V0	H3	H2	H1	H0	写	预置位
0	0	1	0	0	R4	垂直总数									写	预置位
0	0	1	0	1	R5	垂直调整	X	X	X						写	预置值
0	0	1	1	0	R6	垂直显示									写	
0	0	1	1	1	R7	水平同步位置									写	位移值
0	1	0	0	0	R8	隔行扫描方式	X	X	X	X	X	X	X	S	写	固定
0	1	0	0	1	R9	最大扫描线地址	X	X	X						写	预置位
0	1	0	1	0	R10	光标起始	X	B	P						写	位移值
0	1	0	1	1	R11	光标结束	X	X	X						写	位移值
0	1	1	0	0	R12	起始地址(高位)	X	X							读/写	
0	1	1	0	1	R13	起始地址(低位)									读/写	
0	1	1	1	0	R14	光标地址(高位)									读/写	
0	1	1	1	1	R15	光标地址(低位)									读/写	
1	0	0	0	0	R16	光笔(高位)									读	
1	0	0	0	1	R17	光笔(低位)									读	

更改标记	处数	更改单号	签名 日期

a)

MS 2401H接插件引脚定义：



更改	数量	更改单号	签名	日期		

描图：

数据寄存器CRT卡参数设置值：（6845）

R0	35	R9	3
R1	28	Ra	6
R2	2d	Rb	7
R3	7	Rc	0
R4	64	Rd	0
R5	0d	Re	0
R6	64	Rf	0
R7	64	R10	0
R8	2	R11	0

控制寄存器CRT卡参数设置值：

3BF	3
3B8	8E

数据寄存器与控制寄存器设置的顺序：
先设置数据寄存器(从R0～R18)，然后再设置控制寄存器，按3BF、3B8顺序设置。

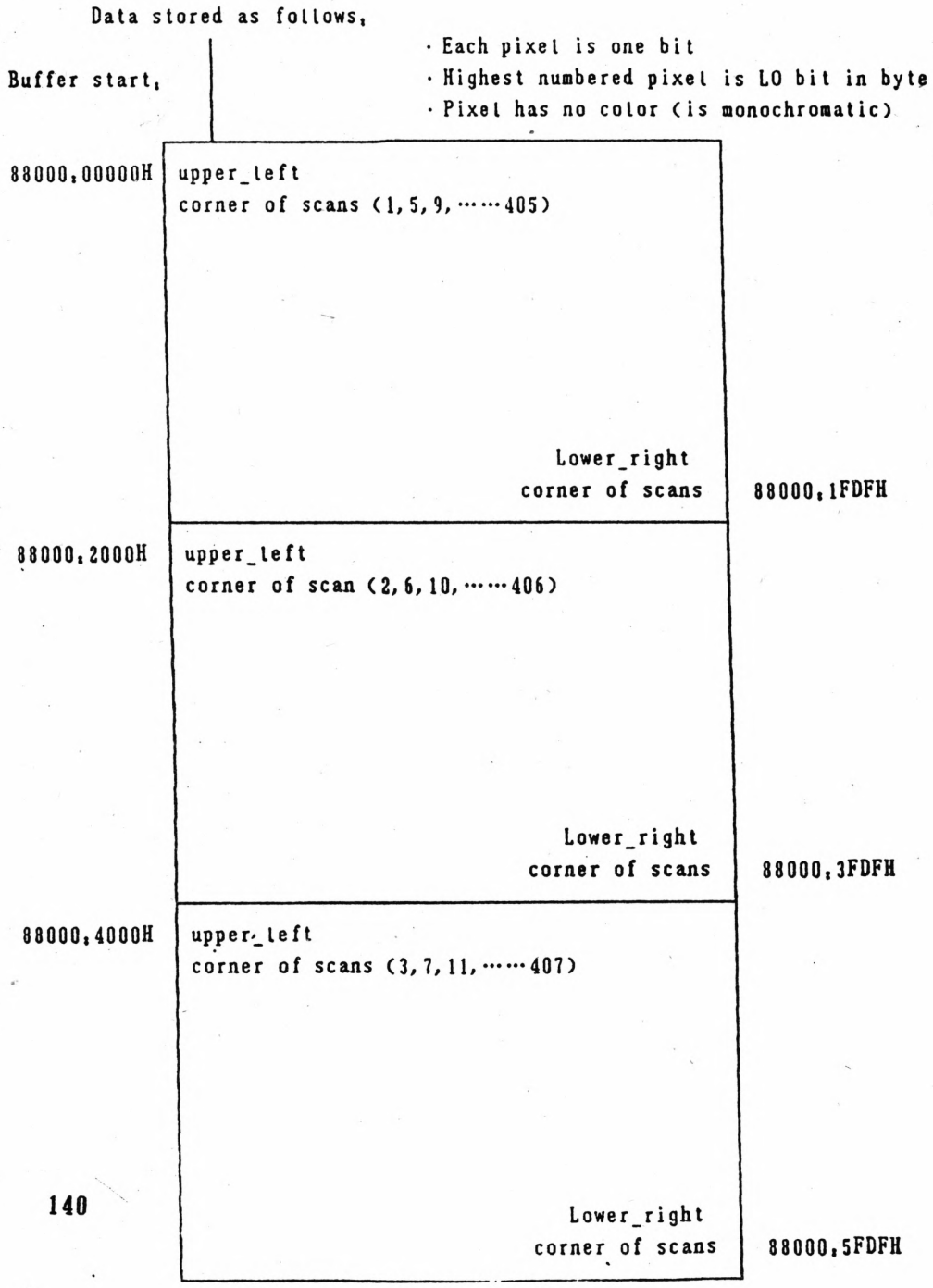
显示卡VRAM地址的安排：按PC-XT中VRAM(CRT)存贮器地址为B0000～B7FFFH，而2401H已经占用了这块存贮空间，所以在现在的CRT卡中VRAM(CRT)存贮地址为30000～8FFFFH。

更改	数量	更改单号	签名	日期		

描图：

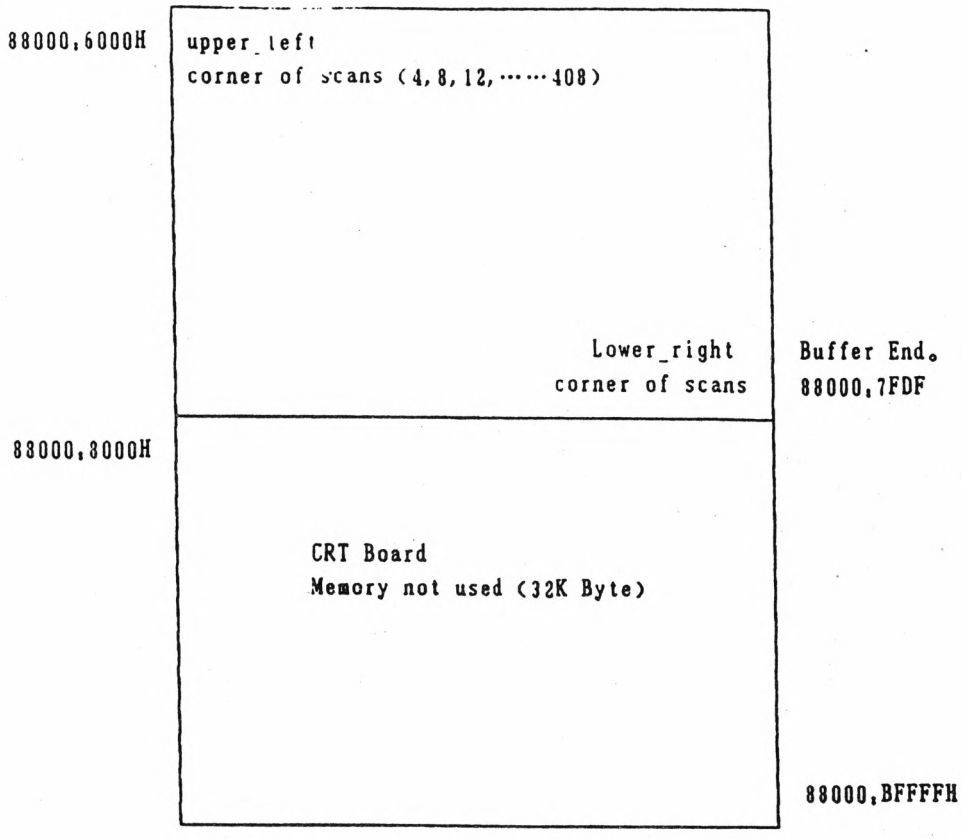
单显适配器(MDA)的存贮映象

for High Resolution Graphics Display (640×408 all points addressable)



Continued

更改	数量	更改单号	签名	日期		



note,

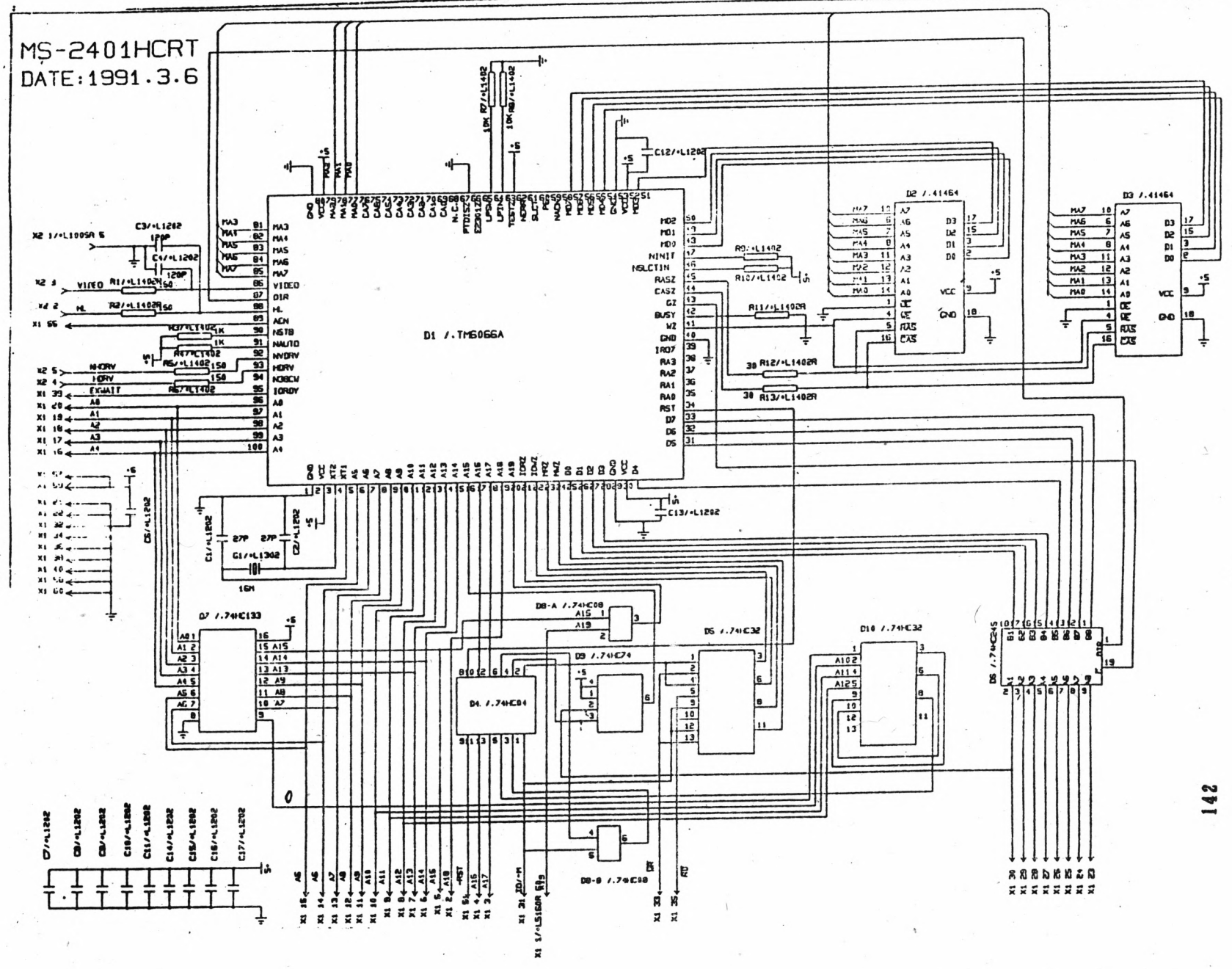
· The first byte in high resolution,

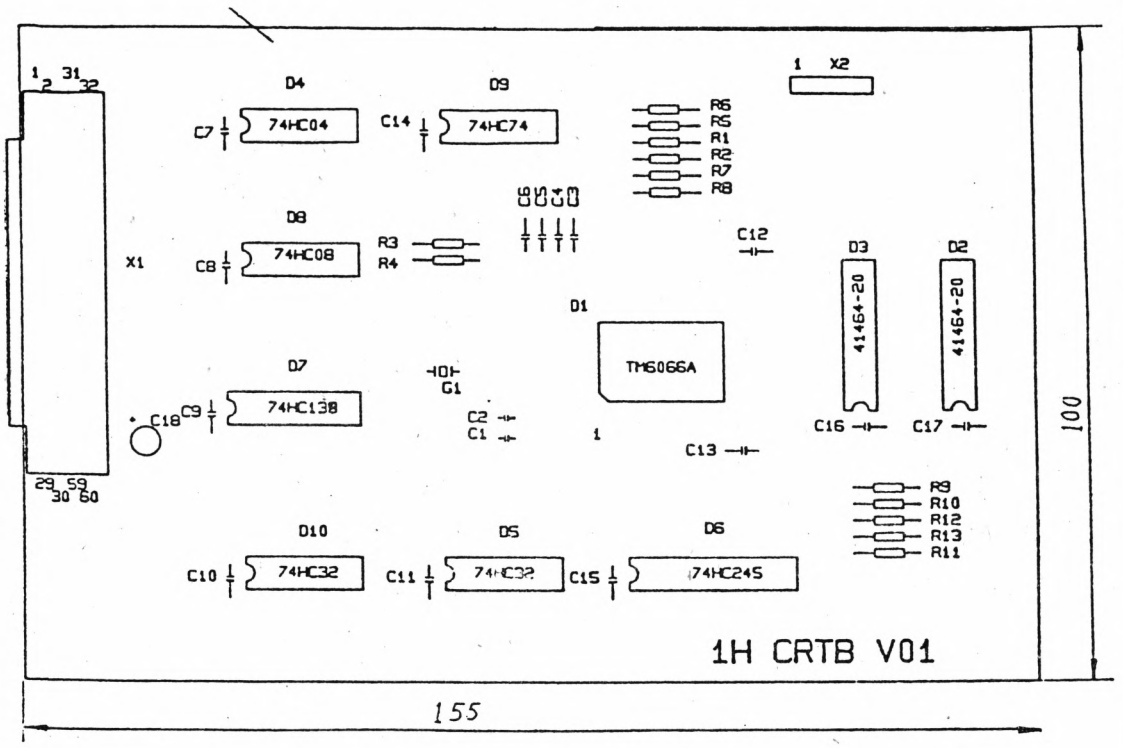
bit number	7	6	5	4	3	2	1	0
pixel number	1	2	3	4	5	6	7	8

更改	数量	更改单号	签名	日期		

描图：

MS-2401HCRT
DATE:1991.3.6





1.序号1见印制板图SOT7.820.037。

2.图中未标注元器件见电路图的元件目录表(SOT2.908.035DL)。

注：图中D7本应印为74HC133，误印为74HC139.

					MS－2401H 中外文打字机 CRT板	SOT2.908.035
					装 配 图	图样标记 A 重量 比例 1:1
标记	处数	更改文件号	签 字	日期		共 1 张 第 1 张
设 计		工艺审查			试 试 制	
制 图		审 核				
校 对		批 准				
标准审查		日 期	91.7.19			

1300芯片资料

8086 芯 片 资 料

8086是Intel公司的第一种16位微处理器，它的功能要比该公司以前的各种微处理器强得多。

下面是8086硬件设计中最引人注目的改进：

（1）8086中央处理器逻辑分成两半：执行部件（Execution Unit，EU）和总线接口部件（Bus Interface Unit，BIU），这两部分异步运行。BIU用来管理与外部总线的所有接口，产生外存[1]及I/O地址，并且具有一个6字节的指令目标代码队列。在EU需要访问存储器或I/O装置时，它就向BIU发出总线访问请求。如果BIU当时处于空闲状态，它就受理EU的总线访问请求。当BIU没有正待执行的来自EU的总线访问请求时，它就执行取指令机器周期，以填入6字节的指令目标代码队列。CPU从队列的前面取指令目标代码，这样就大大减少了取指令的时间。

（2）8086在设计中就考虑了要适用于从简单的单CPU系统到多CPU网络这样范围广阔的微计算机系统配置。为了提供这种灵活的多用性，8086的一些引脚能输出两组不同的信号，如图1.1所示。

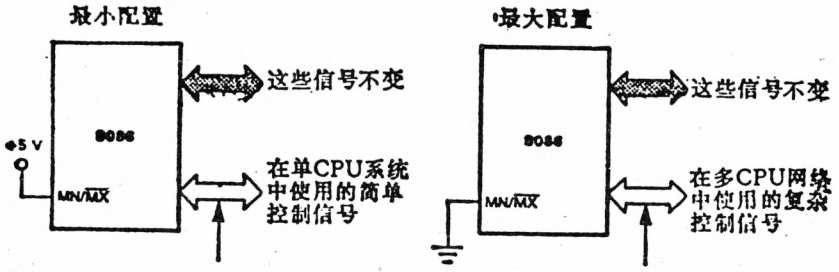


图1.1 8086所输出的两组不同的控制信号

根据MN/$\overline{MX}$的电平，同样的一些引脚输出这两组不同的信号。这种整批的重新分配信号的能力是微处理器工业的一大创新。

（3）8086具有处理多CPU配置中的总线访问优先级别的内部逻辑。（但这不算是创新，National Semiconductor公司的SC/MP多年前就是如此。）

（4）在多CPU配置中，每个8086CPU具有自己的局部存储器，同时又共享公用存储器。公用存储器可由所有的CPU共享，也可以只供某几个CPU共享。

---

[1] 此处“外存”系指CPU外部的存储器，并非指外部设备中的磁盘、磁带等，下文类此不再另注。

（5）8086在设计中考虑了它在复杂程序的应用中有效的竞争能力，这些应用曾是小型计算机的应用范围。它直接访问的外存空间达1兆字节。所有的存储器寻址都是基址相对寻址，这种寻址法自然产生浮动目标程序。(浮动目标程序能从一个存储器地址空间移到另一地址空间，并且不用更改就可重新执行。）另外，由于8086采用堆栈相对寻址，故很容易编写重入程序。(重入程序能在执行中途被中断，之后又可重新执行。列如，调用自身的子程序就是一种重入程序；在执行中能被外部中断信号所中断，然后又能在中断服务程序中重新开始执行的程序，这也是一种重入程序。）

（6）8086采用前缀指令，它能修改对下一指令目标代码的解释。

8086与其前驱8080A一样，实际上是多微处理器结构中的一个部件。

8086微处理器芯片上具备的功能块如图1.2所示。

图中对中断优先级仲裁逻辑只给出了一半：外部逻辑（如8259A），必须提供识别中断的设备代码，但其后所有仲裁和向量逻辑都是由CPU内的逻辑处理。

值得指出的是8086的总线接口逻辑（图1.2中已绘），它要比其他微处理器所提供的总线接口逻辑的功能强得多。

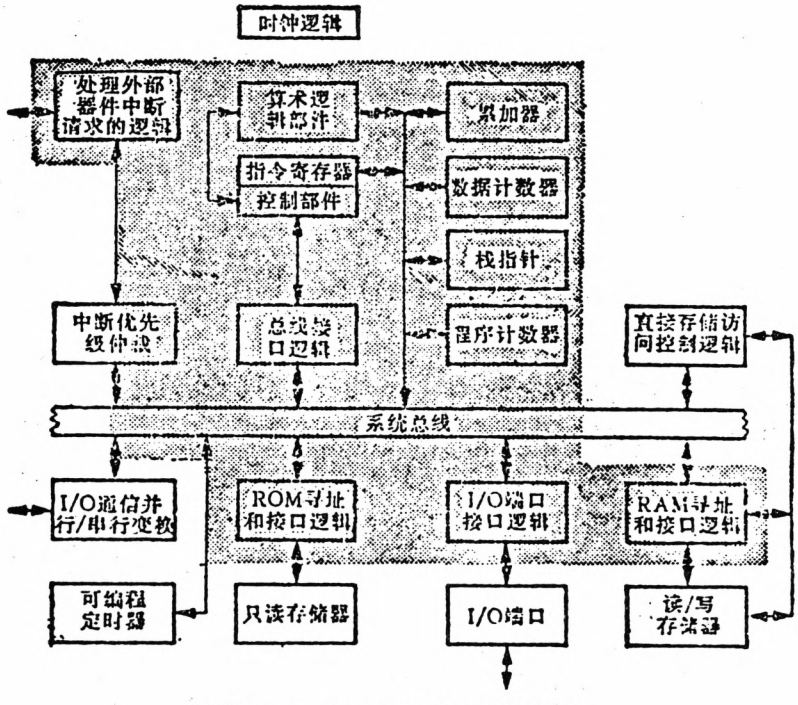
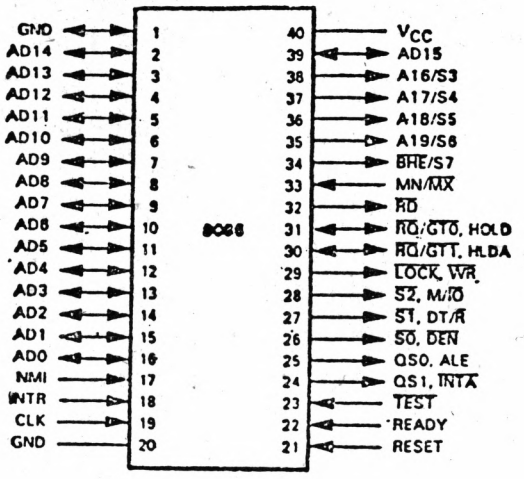


图1.2 Intel 8086CPU的逻辑框图

8086的引脚与信号如图1.3所示。

8086输出一个20位的存储器地址，数据作为16位字存取，16位字又分为低位字节和

高位字节。所以，8086需要20线的地址总线和16线的数据总线。为了使封装保持40根引脚，低位的16根地址线与数据总线进行多路转换。



	引脚名	说明	类型
	AD0～AD15	数据/地址总线	双向，三态
	A16/S3，A17/S4	地址/段指示	输出，三态
	A18/S5	地址/中断开启状态	输出，三态
	A19/S6	地址/状态	输出，三态
	$\overline{BHE}$/S7	高位字节/状态	输出，三态
	$\overline{RD}$	读控制	输出，三态
	READY	等待状态请求	输入
	$\overline{TEST}$	等待测试控制	输入
	INTR	中断请求	输入
	NMI	非屏蔽中断请求	输入
	RESET	系统复位	输入
	CLK	系统时钟	输入
最大系统信号	MN/$\overline{MX}$	最大系统接地	
	$\overline{S}$0，$\overline{S}$1，$\overline{S}$2	机器周期状态	输出，三态
	$\overline{RQ}$/$\overline{GT}$0，$\overline{RQ}$/$\overline{GT}$1	局部总线优先权控制	双向
	QS0，QS1	指令对列状态	输出，三态
	$\overline{LOCK}$	总线保持控制	输出，三态
最小系统信号	MN/$\overline{MX}$	最小系统接地	
	M/$\overline{IO}$	存储器或I/O访问	输出，接地
	$\overline{WR}$	写控制	输出，三态
	ALE	地址锁存开启	输出，三态
	DT/$\overline{R}$	数据发送/接收	输出，三态
	$\overline{DEN}$	数据开启	输出，三态
	$\overline{INTA}$	中断响应	输出
	HOLD	保持请求	输入
	HLDA	保持响应	输出
	V_{CC}，GND	电源，地	

图1.3　8086引脚与信号分配

82C100

IBM,, Model 30及super XT,,兼容芯片

.100% PC/XT兼容

.使IBM PS/2" Model 30保持与ST软件兼容

.总线接口与8086、80C86、V30、8088、80C88，V20兼容

.兼容于所有PC/XT功能部件

8284、8288、8237、3259、8253、8255、DRAM控制、SRAM控制、键盘控制，奇偶校验及配置寄存器

.键盘特性：EMS控制，双时钟及电源管理

.全部整系统需12个芯片及存储器

.零等待时间10MHZ

.可应用于高性能桌面PC，便携型PC及CMOS工业控制应用系统

.单芯片为100引脚扁平封装及84引脚PLCC封装

82C100可实现超级XT兼容系统，具有PS/2 Model 30功能，可使用8086或8088微处理器的绝大部分系统逻辑。

82C100可与CH1PS的82C606CH1PSpak，82C441/442VGA图形控制器和82C764A模拟数据分离器结合以提供一个高性能，高集成度PS/2 Model 30类型系统。

82C100可支持绝大多数PS/2 Model 30系统板的外围功能：8284兼容时钟发生器并有2个独立振荡器选择，8288兼容总线控制器，8237兼容DMA控制器，8259兼容中断控制器，8253兼容时钟/计数器，8255兼容 外围I/O接口，XT键盘接口，奇偶检验及对DRAM校查以及DRAM和SRAM存储器子系统的存储器控制器。

82C100允许用户在系统板上增加PS2 Model 30特殊功能：双时钟及两个时钟间的同步切换，内置Lotus－Intel－Microsoft"(LIM) EMS支持高达2．5兆字节DRAM及供SLEEP和SUSPEND/RESUME特性有益于保护便携型PC的电池寿命。

82C100可以支持一个具有很大容量的存储器结构。对具有DRAM的

系统，DRAM控制器支持64K，256K和1M DRAM，这些DRAM可组成为4组在系统板上达到2.5MB的最大容量。此2.5MB存储器可由2组1M×1 DRAM构成，逻辑分组为640K实内存和1.875MB EMS存储器，对于要求低操作电源和最小备用电源损耗的系统，芯片提供了译码逻辑，它与外部译码器结合允许选择多达640KB的静态RAM，此选择在便携型产品中有用。

82C100为100引脚塑料扁平封装。

82C100引脚描述

引脚	信号名	信号定义
79	_SYSRST	系统复位。SYSRST为一个低电平有效施密特触发器输入信号，用于加电复位。SYSRST初始化82C100电路(但不是由PS初始化的寄存器)。此信号也产生用于复位CPU8087和其它外设的RESET输出，此信号应保持为高直至PWRGOOD信号激活。
28	FDCOFF	软磁盘控制器关闭信号。FDCOFF为一个可编程输出，一般为低。如果FDCOFF允许(用一配置寄存器的一位)，并且进入等特状态，FDCOFF输出引脚将变为高电平，此条件使FDC和其它芯片的使能引脚相连。
81	RESET	复位，RESET是从SYSRST输入产生的一个高民平有效输出信号。RESET应用于复位CPU，8087和外部其它外设。
48－50	_S0-_S2	处理器状态信号。这些信号为从CPU来的状态输入。_S0－_S2应用4.7K－10K电阻提升
91	_BHE	高位字节使能。BHE在处理器周期中是输入信号，在数据总线宽度变换和保持响应周期中为输出信号。从CPU来的BHE和AD决定总线传输的方式。

BHE	A0	方　　式
0	0	16位转送
0	1	奇字节转送
1	0	偶字节转送
1	1	无效(对16位CPU)

如果82C100与8位处理器共同使用，BHE应通过4．7K到10K电阻上拉为高电平。 82C100利用“无效” 状态对8位处理器的总线进行变换，“保持” 周期中BHE浮处于高阻态。

80　READY　准备就绪信号。 READY为一个高电平有效的异步输出信号， 表示存储器或I/O可以进行数据传送。 DEADY在内部被同步以配合处理的准备保持时间。

29　INTR　中断请求。INTR为内部中断控制器产生的高电平有效输出信号， 它应与CPU的INTR引脚相连接。

64　NMI　非屏蔽中断， NMI信号低到高的跳变导致当前指令结束时产生中断。它应与CPU的NMI输入相连。

61　RQ/_GTD　请求/允许。这些信号使CPU以外的其它部件获得CPU局部总线的控制权。 在Model25/30或ST应用中，其它总线主体为8087协处理器及82C100本身。RQ/GT0具有比RQ/GT1更高的优先权。808X　RQ/GT信号在内部被上拉，这样外部上拉电阻就不必要了。

6－9　A(16－19)　地址线A19－16。在处理器周期中， 这些为高地址位输入。在DMA周期中， 82C100提供地址线的高位地址。这些引脚应直接与处理器地址线和系统地址锁存器相连。

10－25　AD(15:0)　地址/数据总线15:0，在CPU周期的T1时间中，

		处理器提供这些线上的地址。82C100在保持响应和中断响应周期中提供地址。AD0－AD7应采用双向缓冲器与82C100隔离以防止在总线转换周期中发生总线冲突。PBEN控制缓部器，PBIN控制其方向。
31	AD	0位地址线此信号代表了0位地址线的状态。82C100在总线转换周期期间翻转此信号。它应被缓冲(在正常系统中)但不应象其它地址位一样使用透明锁存器。
32	_IOR	I/O读。低电平有效脉冲信号，用来通知I/O设备输出数据到总线上的选通。所有命令(MEMR，MEMW，IOR和IOW)可由软件延迟一周期，还在CPU以高速运行时是必要的。
33	_IOW	I/O写。低电平有效的选通脉冲信号，用来通知存储器设备总线上数据已准备好。
35	_MEMW	存储器写，低电平有效的选通脉冲信号，用来通知存储器设备总线上数据已准备好。
51	ALE	地址锁存使能信号。ALE控制地址缓冲/锁存来锁存地址。在总线转换周期的后一半中，82C100将不产生第二个ALE脉冲。
52	AEN	地址使能信号。当此信号为高电平时，表示I/O通道中的DMA被激活，即DMA通道具有对地址总线，数据总线及相应命令线的控制权。
84	_DEN	数据使能信号。控制245类型双向缓冲器的输出使能。DEN在存储器和I/O访问以及INTA周期中被激活。它在“保持响应”周期中处于高阻态。此信号与8288总线控制器产生的DEN信号相同。XT/Model30系统 中一般不使用此信号。
93	PARD	奇偶校验位0，DRAM低字节的奇偶校验位。高电平意味着内存中有奇数个“1”，包括校验位本身。此为奇校验。

92	PAR1	校验位1。DRAM高字节的校验位。 高电平意味着内存中有奇数个“1”，包括校验位本身，此为奇校验。此信号在8位系统中未被使用。
71	IOCHRDY	I/O通道准备就绪。I/O通道发出的高电平有效信号。通常高电平表示通道中被寻址的设备已准备好，可以完成数据传送。 慢速I/O或存储器设备将此信号拉为低电平以延长总线周期。此信号线不应保持10个时钟周期以上。IOCHRDY应用4.7K电阻上拉， 因为此信号可能处于未定义的状态。
72	_IOCHCHK	I/O通道检查。当存储器或I/O通道中的设备出现校验或其它错误时，此信号变为低电平。IOCHCHK应由4.7电阻上拉，因为此信号可能处于未定义状态。
86	_DBEN	数据缓冲器使能信号。 DBEN控制I/O通道数据总线和82C100空间的双向数据缓冲器。有效时用于存取系统板上存储器(ROM或RAM)或在82C100内部的I/O地址。
85	DBIN	数据缓冲器方向控制信号，高电平允许数据从I/O通道流向内部总线。通常为低电平， 这时数据方向指向I/O通道。
68	_PBEN	处理器缓冲器使能信号。PBEN为一低电平有效信号，控制处理器和82C100之间的数据缓冲器。当DMA周期时此信号为高电平， 使得数据总线为三态。 PBEN由DEN控制以在T2周期时避免总线冲突。
69	BPIN	处理器缓冲器方向控制信号。PBIN处于高电平时允许数据从处理器流向82C100。PBIN控制局部数据总线上的数据缓冲器的方向。

62　_ROMCS　ROM片选信号。低电平有效，选择地址范围，FFFFFH时，它一般应与BIOS　ROM的芯片选择输入相连。

注意：所有DRAM信号(MA9－0，RAS3－0，CAS和WE)在连接到多于9个存储器时应加缓冲。

65－66　MA(9:8)　复用地址位9和8。应与DRAM地址位9和位8连接。

注意：下面5个引脚在82C100分别与静态RAM和动态RAM使用时有不同的功能，功能变化受控于配置寄存器中的一位。

41　MAT/_SEL　DRAM：复用地址位7，应与DRAM地址位7连接
SRAM：片选信号，低电平有效信号，选择地址范围0－640K(00000－9FFFFH)。

54　MA6/_WEL　DRAM：复用地址位6。应与DRAM地址位6连接
SRAM：低位写使能。低电平有效脉冲信号用来写数据至低字节。应与低字节静态RAM的写使能连接。

42　MA5/_WEH　DRAM：复用地址位5。应与DRAM地址位5连接
SRAM：高位写使能。低电平有效脉冲，用来写数据至高字节。应与高字节静态RAM的写使能连接。

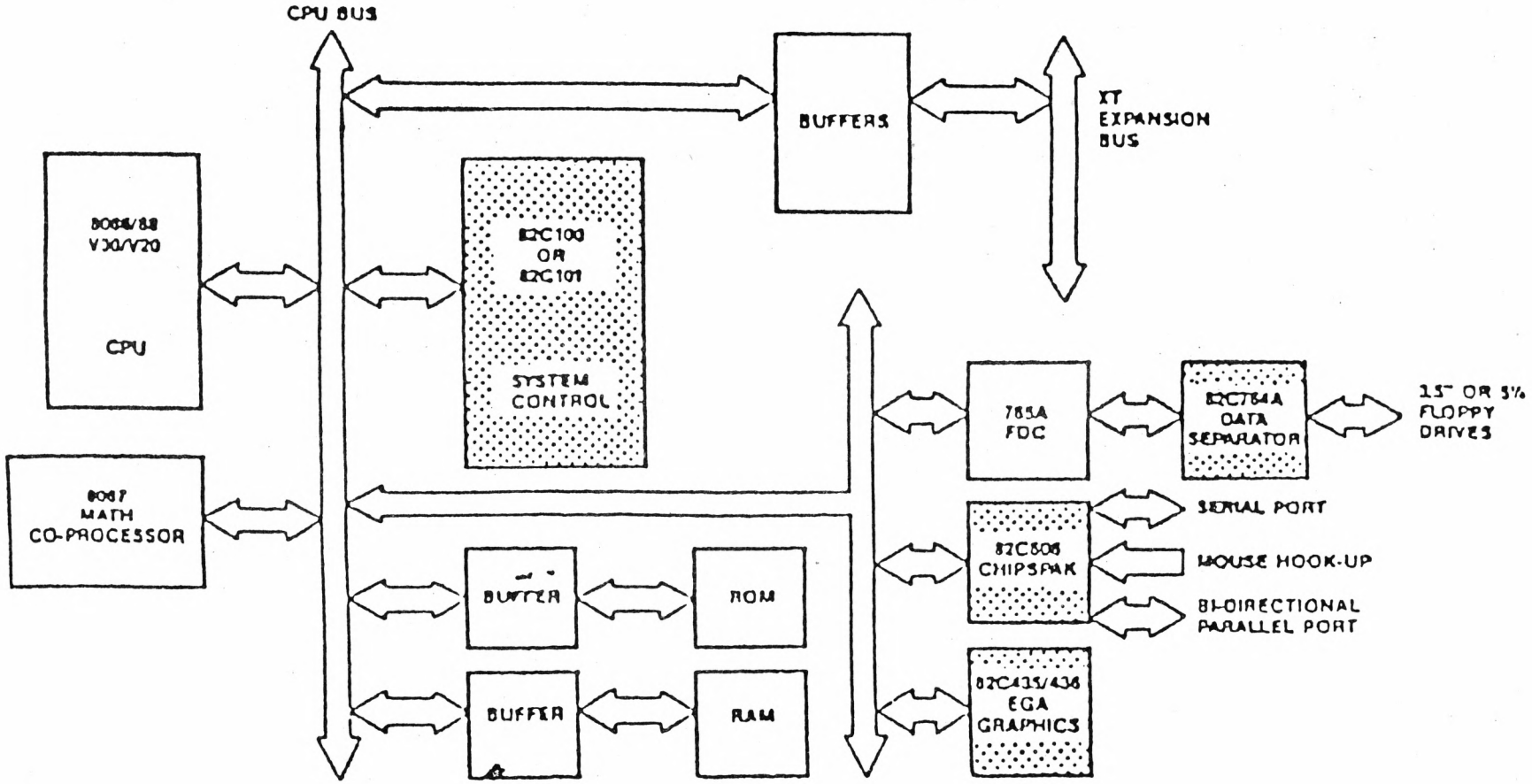
40　MA4/_CS9　DRAM：复用地址位4，应与DRAM地址位4连接
SRAM：片选信号9，低电平有效信号选择地址范围90000－9FFFFH应与选择90000－9FFFFH的SRAM的片选端口相连接。

39　MA3/_CS8　DRAM：复用地址位3，应与DRAM地址位3连接
SRAM：片选信号8，低电平有效信号选择地址范围80000－8FFFFH，应与选择地址80000－8FFFFH的SRAM的片选端口相连接。

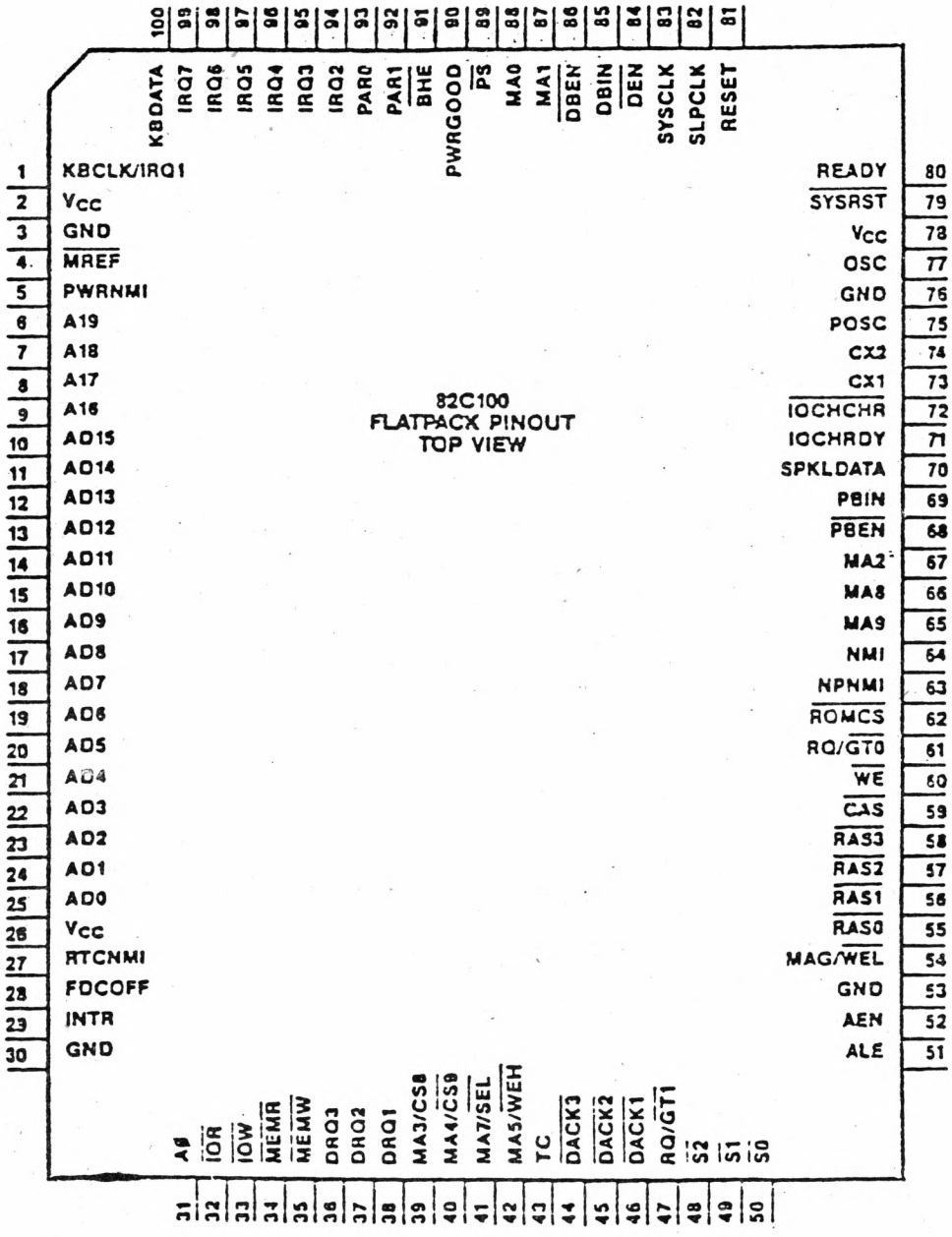
67－88　MA2－MA0　复用地址位2－0。它们应与DRAM地址位2－0连接。

55－58	_RAS(3:0)	RAS(3:0) 控制DRAM组0－3的低电平有效行地址选通脉冲。每组为9位(1位校验)。
59	_CAS	所有DRAM的列地址选通信号低电平有效。
60	_WE	所有DRAM写使能信号低电平有效。
4	_MREF	存储器刷新。 MREF为独立的刷新时钟输出，表示一个刷新周期发生。刷新率从838ns到214ns可编程。
36－38	DRQ(3:0)	DMA请求信号。这些信号为异步请求信号，被使用以请求DMA服务，它们具有固定的优先级:通道1最高，通道3最低。 DRQ必须保护有效高电平直至被相应的DACK响应。
44－46	DACK(3:1)	DMA响应信号。低电平有效，响应信号表示请求DMA服务(通过DRQ线)成功。
43	TC	终止计数。高电平有效输出脉冲，来自DMA控制器，表示一次DMA传送的结束(传送计数寄存器＝0)。
94－99	IRQ(7:2)	由I/O设备产生，指向中断控制器。边缘触发形成， 但应保持为有效高电平直至被响应。
63	MPNMI	协处理器NMI。一个高电平有效信号，表示在指令执行期间出现了一个错误。此信号为一高平有效信号， 边缘触发输入。如果被使能，将导致到CPU的一个中断信号。中断服务需通过读取中断状态寄存器确定哪一种中断发生。
5	PWRNMT	掉电中断。 当电源掉电时产生PWRNMI信号。此信号高电平有效，边缘触发输入，如果被使能，将导致到CPU的一个中断信号。 中断服务例程需通过读取中断状态寄存器确定哪一种中断发生。

1	KBCLK/IRQ1	键盘时钟/中断请求了1。KBCLK为一个KBCLK/IRQ双向漏极开路信号，当使用XT类型键盘时仅为KBCLK。82C100将内部键盘逻辑与此信号同步。在向键盘发送串行信号时间向键盘提供时钟信号，并在键盘发送数据时接收时钟信号。如果使用了外部的Model25/30类型键盘接口（并且由内部配置寄存器选择），IRQ为从键盘控制器、指向的设备及实时时钟来的共享的高电平有效中断请求1。
100	KBDATA	键盘数据。KBDATA为一个漏极开路双向串行数据线，接收键盘数据或向键盘发送数据，此信号线在使用一个Model25/30外部键盘接口时无用。
70	SPKDATA	扬声器数据。SPKDATA应被缓冲，并且缓冲器输出通过一个低通滤波器。滤波器的输出与扬声器连接。
2，26，78		电源
3，30，53，76		地



Super XT Model 30 Compatible System

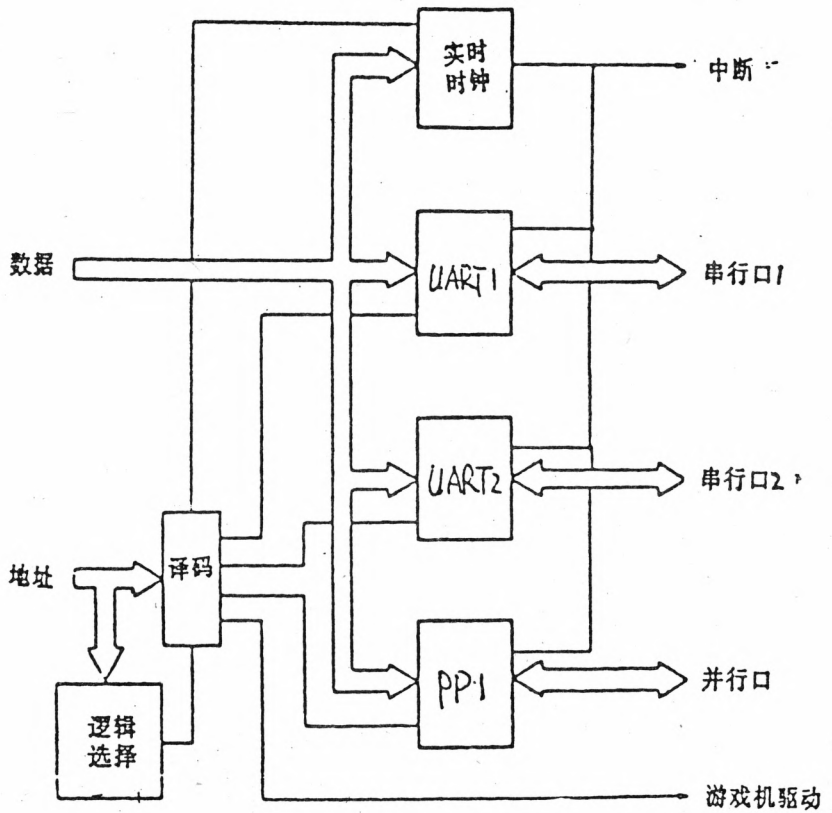

82C100
FLATPACK PINOUT
TOP VIEW
1 KBCLK/IRQ1
2 VCC
3 GND
4 MREF
5 PWRNMI
6 A19
7 A18
8 A17
9 A16
10 AD15
11 AD14
12 AD13
13 AD12
14 AD11
15 AD10
16 AD9
17 AD8
18 AD7
19 AD6
20 AD5
21 AD4
22 AD3
23 AD2
24 AD1
25 AD0
26 VCC
27 RTCNMI
28 FDCOFF
29 INTR
30 GND
31 A0
32 IOR
33 IOW
34 MEMR
35 MEMW
36 DRQ3
37 DRQ2
38 DRQ1
39 MA3/CS8
40 MA4/CS9
41 MA7/SEL
42 MA5/WEH
43 TC
44 DACK3
45 DACK2
46 DACK1
47 RQ/GT1
48 S2
49 S1
50 S0
51 ALE
52 AEN
53 GND
54 MAG/WEL
55 RAS0
56 RAS1
57 RAS2
58 RAS3
59 CAS
60 WE
61 RQ/GT0
62 ROMCS
63 NPNMI
64 NMI
65 MA9
66 MA8
67 MA2
68 PBEN
69 PBIN
70 SPKLDATA
71 IOCHRDY
72 IOCHCHR
73 CX1
74 CX2
75 POSC
76 GND
77 OSC
78 VCC
79 SYSRST
80 READY
81 RESET
82 SLPCLK
83 SYSCLK
84 DEN
85 DBIN
86 DBEN
87 MA1
88 MA0
89 PS
90 PWRGOOD
91 BHE
92 PAR1
93 PAR0
94 IRQ2
95 IRQ3
96 IRQ4
97 IRQ5
98 IRQ6
99 IRQ7
100 KBDATA

82C606

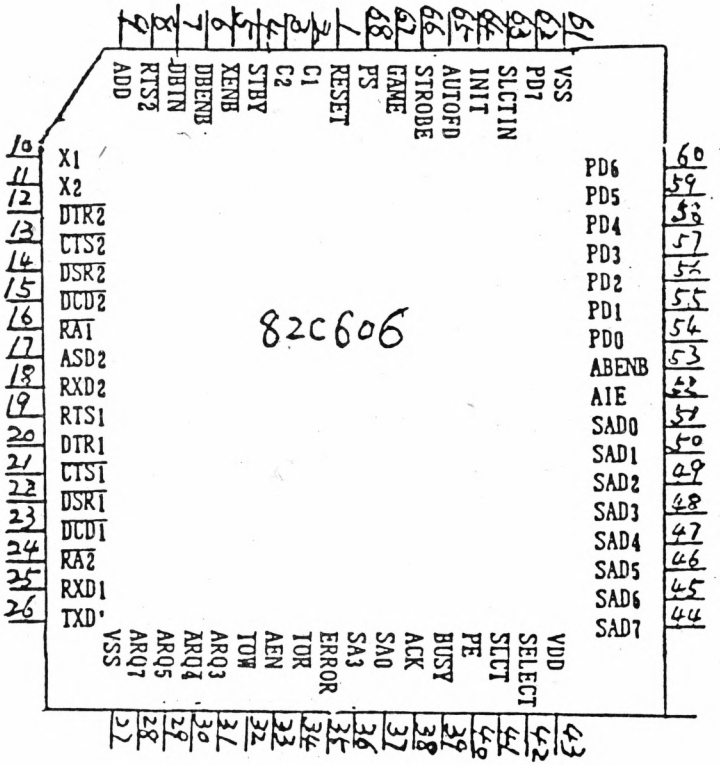
CHIPSpak/CHIPSport 多功能控制器

.100%兼容于IBM"PC，XT及XT
.全兼容于NS16450异步通讯规程以及Motorola146818A实时时钟
.提供一个可被设定用于打印机或扫描器的并行接口
.提供两个可由外部提供电源的UART通道
.支持一个游戏接口
.支持一个带有100年日历的实时钟
.带有备用电池支持的CMOS系统设置RAM允许利用软件对内部寄存器基址进行选择
.114字节CMOS RAM
.单片68引脚CMOS设计

82C606 CHIPspak多功能控制器包含了两个UART，一个并行接口，一个游戏接口译码器和一个实时时钟。其中两个UART与NS16450规程完全兼容，实时时钟与Motorola 146818A完全兼容。这样，82C606提供了一个在IBMPC， XT和AT上最经常使用的外围功能的单片实现。在保证与IBM结构完全兼容的同时， 本芯片提供了增强的特性。它们包括支持三个来源的电源(主电源、辅助电源和后备电源)，一个供实时时钟使用的附加的64字节用户RAM和一个软件配置规程以允许设计一个系统配置程序。



82C606 框图



82C606 管脚分布图

CHIPspak多功能控制器可用于系统板以提供串行及并行接口或用于多功能卡以创造一个低成本、高密度的外围供通用微型计算机系统使用。

82/C606利用先进的CMOS技术实现， 封装形式为68脚PLCC封装。

82C606引脚说明

（时钟与控制）

引脚号	信号名	引脚描述
2	C1	32.768KHZ实时时钟(RTC)晶体或振荡器输入，信号电平应为CMOS兼容
3	C2	32.768KHZ RTC对晶体的输出
4	_STBY	低电平有效。备用状态。 此信号应在主电源供应去除时激活，它表示总线接口无效， 不应对任何总线信号作出反应， STBY立刻终止任何正在进行中的总线操作。 如果CHIPSpak处于系统板上，STBY应接于POWERGOOD(电源好)。如果CHIPspak在插卡上则STBY应从RESETDRV信号产生
68	_PS	低电平有效。电源检测。一个施密特触发器，应与一用于延迟电源(+5V) 上升沿的PC网络相连。此信号重置RTC中的D寄存器的VRT位以及配置允许寄存器中的有效配置位， 它并且禁止用于等待初始化程序进行配置的CHIPSapk的译码逻辑，为保证82C606的正常运行， 此信号输入必须被提供。 当PS插入时各配置寄存器被强迫置为默认值。如不用后备电池PS应与反相后的RESET相连。
42	SELECT	高电平有效。单元选择信号。此引脚应与SAK <07:04>中的任意一个连接，它用于在一个拥有多个CHIPSpak的系统中访问特定的一个

		CHIPSpak，没有妥善地连接此引脚可能造成对相应芯片不能进行设置，单元0应与SAD<04>连接，单元1应与SAD<5>连接，以此类推。
		PC总线接口
52	ALE	高电平有效，地址锁存使能信号
33	AEN	高电平有效，地址使能信号用于控制IOR和IOW，当AEN为低电平时，对于CHIPSpak IOR和IOW被允许
34	_IOR	低电平有效。I/O读选通信号
32	_IOW	低电平有效。I/O写选通信号
53	_ABENB	低电平有效。地址缓冲/多路选择使能信号，用于在没有使用地址/数据复用的系统中，利用缓冲器分离H1PSpak的SAD<07:00>引脚和系统地址总线。
6	_DBENB	低电平有效。数据总线驱动器使能信号，利用LS245类型的缓冲器分离地址/数据线(对地址/数据复用系统或系统数据线(非复用)和CHIPSpak的SAK<07:00>。CHIPSpak的SAD<07:00>CHIPSpak的DBIN管脚控制此缓部器的方向。
5	_XENB	低电平有效。外部数据总线使能信号，此输入信号在内部与产生DBENB输出的信号相“或”。此信号使得行另外一个板上控制器不用附加一个外部“或”门就可以使用同一PC数据总线驱动器，通常此信号由一个EMS或其它存贮器控制器产生。如不使用，此引脚应接于高电平。
7	_DBIN	低电平有效。数据总线驱动器方向选择用于控制分离SAD<07:00>线与系统数据总线的LS245类型的缓冲器的方向，当IOW被引入时，如果CHIPSpak功能被选用则此信号为高，当IOR被引入时为低其它任何时候均为高阻态以使其它逻辑电路能控制数据总线缓冲器。

36/37	SA(09:08)	地址总线高二位
51－44	SAD(07:00)	复用的地址/数据总线
31	IRQ3	高电平有效。中断请求3。在IBM PC AT和IBM PC XT中一般用于UART2(COM2)。
30	IRQ4	高电平有效。中断请求4。在IBM PC AT和IBM PC XT中一般用于UART1(COM1)。
29	IRQ5	高电平有效。中断请求5，在IBM PC AT和IBM PC XT中一般用于并行口1
1	RESET	高电平有效。复位输入
串行接口		
10	X1	UART使用的时钟或晶振的输入引脚。信号电平应与CMOS兼容
11	X2	UART使用的时钟或晶振的输出引脚
17	RXD	UART2的串行数据流输入引脚
25	RXD1	RART1的串行数据流输入引脚
18	RXD2	UART2的串行数据流输入引脚
26	TXD1	RART1的串行数据流输入引脚
8.19	_RTS2 _RTS1	低电平有效。发送请求。握手信号，用于通知一个调制解调器(MODEM)或数据集(data set),RART1或UART2已经准备好传输数据。此输出可以利用对相应的调制解调器控制寄存器的位1进行写操作来改变。当硬件复位后此引脚处于高电平(无效电平)。当循环模式操作时，此引脚被强迫置于高电平。
13，21	_CTS2	低电平有效。发送清除，握手信号，用于通知UART2或UART1)，调制解调器已准备好接收数据。CPU可以利用对相应的UART的调制解调器状态寄存器(MSR)的位4进行读取获得此信号。MSR的位0指示在上一次读取MSR后相应的CTS信号状态的变化。此信号不影响UART的传输器。如果中断使能

		寄存器的位三(调制解调器状态)被置1，则MSR的位4(CTS) 的状态变化将会导致CPU产生一个中断。
14，22	_DSR2 _DSR1	低电平有效。数据集准备就绪。握手信号，用于UART2(或UART1)。 通知CPU调制解调器或数据集已准备好传输字符。可以利用对相应的调制解调器状态寄存器(MSR)的位5进行读取，对此信号进行修改。在上一次读取MSR后此位的状态变化将会导致MSR的位1变为高电平。如果调制解调器状态中断被允许(中断使能寄存器的位3)，则当MSR的位与状态发生变化时将产生一个中断。
12， 20	_DTR2 _DTR1	低电症有效。数据终止就绪。通知调制调解器或数据集，UART2(或UART1)已准备好传输字符。可通过对调制解调器控制寄存器位0写1来激活。在循环模式操作下，此信号强制为高电平(无效电平)。
15，23	_DCD2 _DCD1	低电平有效。数据载波检测。通知UART2(或UART1)调制解调器检测到一个载波信号。CPU可以通过读调制解调器状态寄存器(MSR)的位7获得此位的值。在上一次读取MSR后此信号状态的改变将导致MSR的位3变为高电平。此信号不影响UART接收器，如果调制解调器状态中断被允许(中断使能寄存器位3)， 则当MSR的位7(DCD) 状态改变时将会产生一个中断。
16，24	RI1 RI2	低电平有效。振铃指示。通知UART2(或UART1)调制解调器或数据集检测到一个电话振铃信号。 CPU可以通过读取调制调器状态寄存器(MSR)的位6监测此信号。当此信号进入无效状态(低电平到高电平跳变)时，MSR的位2被置1。如果调制解调器状

		态中断被允许，则此信号的激活（从高电平到低电平的跳变）将会产生一个中断。
并行接口		
62，60-54	PD0－PD7	并行接口数据总线 打印机：输出信号 扫描仪：双向信号
38	ACK	高电平有效，响应信号 打印机：握手信号，表示数据已被接收 扫描仪：握手信号，表示信号已被接收
39	BUSY	低电平有效，忙信号 打印机：表示打印机无法接收数据 扫描仪：在打印状态（PR/SC为高电平）下，表示扫描仪无法接收数据
40	PE	低电平有效，纸尽信号 打印机：打印被检测到 扫描仪：用于FAULT状态指示
41	SLCT	低电平有效，选择信号 打印机：表示打印机被选择 扫描仪：表示另一个字符准备就绪
35	ERROR	高电平有效，错误信号 打印机：高电平表示出现一个错误 扫描仪：主机的忙信号，不能接收
66	STROBE	高电平有效，选通脉冲 打印机：数据选通脉冲 扫描仪：数据选通脉冲
63	SLCTIN	高电平有效，选择输入 打印机：选择打印机 扫描仪：选择扫描仪数据缓冲器使能信号
64	INIT	高电平有效，初始化信号 打印机：初始化 扫描仪：复位
65	AUTOFD	高电平有效。自动进纸信号 打印机：导致打印机在每打印一行后产生一个行进纸。

		扫描仪：打印/扫描(PR/SC)，数据缓冲器方向控制信号。
游戏接口		
67	GAME	低电平有效。游戏接口使能信号。当特定的I/O地址有效并且AEN为低电平时有效。此信号必须在外部与IOR或IOW通过门连接，以保证对游戏外围设备的正确访问，它也可以作为任意一个外围设备的可编程序译码器。
电源和地		
9.43	V_{cc}	电源
27.61	V_{ss}	地

82C425LCD/CRT控制器
功能介绍

.与IBM100%兼容的LCD/CRT控制器
.100脚CMOS器件，耗电低
.支持下列CGA方式
　　40×25象素方式
　　80×25象素方式
　　640×200B/W方式
　　320×200象素4阶单显方式
.支持8阶单显方式
.内设CPU接口
　适用于LAPTOP计算机
　一个CGA控制器可控制包括显示存储器的五片芯片
.支持两个独立的显示器
.在没有显示“误操作”情况下，允许CPU随时进行智能存储器仲裁

概述：

82C425LCD/CRT控制器适用于平板显示器和CRT监视器是便携式及IBM兼容机的理想控制器件，具有4位并行数据输入端，可驱动单一显示器，可支持纵向为200象素，占空比为1/200的平板显示器，82C425同样可支持与CGA兼容的CRT且完全兼容于IBM彩色图象适配器。

CPU/82C425接口

82C425可直接与PC　I/O总线连接，它有数据和地址线分离功能，在没有任何其它外设通讯情况下，可直接与PC总线相连。具有两个时钟输入，可在软件控制下选择任何时钟，图1为I/o总线与外部系统连接示意图。

82C425LCDCGA控制器增加了RevBPGA输出管脚，　这些管脚与早期产品不同，并代替早期产品除下列4个管脚外其它均保留

XCRT
DB5
DB6
DB7

Flatpack Pin For 82C425

1. VSS
2. NC
3. NC
4. VCC
5. A19
6. A18
7. A17
8. A16
9. A15
10. A13
11. A12
12. A11
13. A10
14. A9
15. VSS
16. A8
17. A7
18. A6
19. A5
20. A4
21. A3
22. A2
23. A1
24. A0
25. RESET
26. VSS
27. NC
28. VCC
29. IOCHRDY#
30. AEN
31. IOW#
32. IOR#
33. MEMW#
34. MEMR#
35. REFRESH
36. D0
37. D1
38. D2
39. D3
40. VCC
41. D4
42. CRT/LCD
43. D5
44. D6
45. D7
46. DOUTO
47. DOUT1
48. DOUT2
49. DOUT3
50. PCLK
51. VSS
52. NC
53. NC
54. VCC
55. ECLK
56. VSYNC
57. HSYNC
58. AC
59. MDO
60. MD1
61. MD2
62. MD3
63. MD4
64. MD5
65. VSS
66. MD6
67. MD7
68. MD8
69. MD9
70. MD10
71. MD11
72. MD12
73. MD13
74. MD14
75. MD15
76. VSS
77. NC
78. NC
79. VCC
80. RAMOE#
81. RAMWE#
82. RAMCS3#
83. RAMCS2#
84. RAMCS1#
85. MA12
86. MA11
87. MA10
88. MA9
89. MA8
90. VCC
91. MA7
92. MA6
93. MA5
94. MA4
95. MA3
96. MA2
97. MA1
98. MA0
99. CLK2
100. CLK1

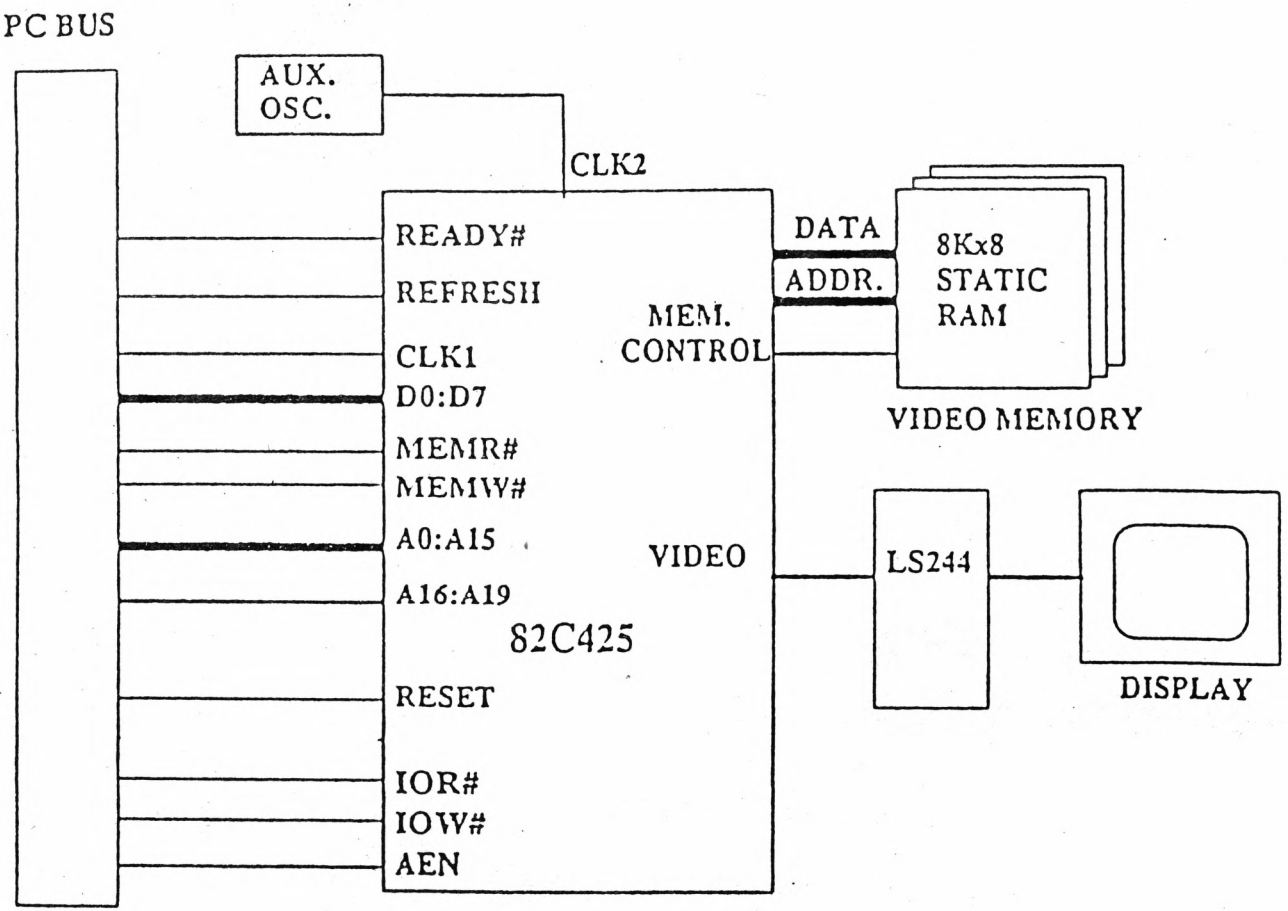


FIG 1: 82C425 SYSTEM DIAGRAM

WD37C65/A/B软磁盘子系统控制器

特征：

. IBM PC AT兼容格式(单密度和双密度)

——片上软磁盘控制及操作

——在PC AT模式下，提供DMA通道所要求的信号条件

——BIOS兼容

——双速轴驱动支持

· 软磁盘驱动器内置的地址标志检测电路

· 多扇区及多磁道传送功能

· 直接软磁盘驱动接口，不需缓冲器

——48mA吸收输出驱动器

——施密特触发接收器

· 兼容于PD8080/85、PD8086，以及PD780(Z80)微处理器。

· 片内时钟发生器。

· 对40引脚DIP封装具有两个TTL时钟输入。

· 对44引脚PLCC封装具有两个XTAL振荡器电路。

· 自动写预补偿。

· 内磁道值125或187NS引脚可选择。

· 增强的主机接口。

——读/写访问寄存器兼容于带有0等待状态信号的8MHZ或12MHZ 286微处理器。

——20LSTTL输出驱动能力。

——输入为TTL电平施密特触发器(数据总线除外)。

——DMA时序校正。

· 用户可编程的磁道步进率和磁头装载/卸载时间。

· 驱动最多4个软磁盘或MICRO FLOPPYDISK驱动器。

· DMA模式或非DMA模式的数据传输。

· 最多四个驱动器的并行搜索操作。

· 内部加电复位电路(仅限于WD37C65A/B)

描述：

WD37C65/A/B软磁盘子系统控制器是一个LSI器件，它提供主机处理器外围总线与软磁盘驱动器电缆连接线间所需的所有功能信号。此“超级芯片”集成了：格式化器/控制器、数据分离、写预补偿、数据率选择、时钟发生器、驱动接口驱动器和接收器。

WD37C65/A/B表示这种器件有三种型号：WD37C65、WD37C65A和WD37C65B。WD37C65A和WD37C65B与WD37C65引脚兼容，但不包括44引脚PLCC封装器件，在此封装中附加的引脚提供了优越性，WD37C65A和WD37C65B的唯一区别是WD37C65A(以及WD37C65)当执行一个重置命令时，产生255个步进脉冲，而WD37C65B则为77个步时脉冲，在WD37C65A/B中，在WD37C65中没有定义的引脚17和引脚40相应成为DCHGEN(盘交换允许)和DCHG(盘交换)信号。两信号均为低电平有效。在利用原始的DCHG不作为芯片的一个直接输入的WD37C65部件中，DCHGEN作为一个选项提供。

引脚描述：

引脚号、信号名：

_RD读信号：控制信号，功能用于控制数据或状态由WD37C65/A/B传送到数据总线。

_WR写信号：控制信号，用于控制数据由总线锁存到WD37C65/A/B的缓冲寄存器。

_CS片选信号：低电平选中，允许由主机对其进行RD或WR的操作。

A0地址线：选择数据(—1)或状态(—0)信息(A0当WR非法时为逻辑0)。

_DACKMAD响应信号：用于DMA控制器从WD37C65/A/B传送数据到总线。逻辑等效于CS和A0—1，在特殊模式或PC AT模式中，此信号由操作寄存器的DMAEN位决定。

TC结束信号：信号向WD37C65/A/B指示数据传送完毕。如果命令执行选择了DMA操作模式，TC将由DACK决定，而不是由编程的I/O执行决定。在PC AT或特殊模式中，信号由DACK决定要求操作寄存器信号DMAEN为逻辑真。需要注意的是，在PC AT模式中，不论主机为DMA或非DMA操作，TC均由DACK决定，在PC AT模式中的编程I/O操作将导致在命令结束时的一个异常结束错误。

DB0数据线：8位双向三态总线。D为最低位(LSB)，DT是最高位(MSB)。

DMA直接存贮信号：字节数据传送的DMA请求，在特殊或PC　AT模式中，此引脚为三态，由操作寄存器的DMAEN信号控制，此引脚在基本模式下被驱动。

IRQ中断请求，指示命令执行或非DMA模式中数据传送请求的完成，通常在基本模式下被驱动，在特殊模式下或PC　AT模式中此引脚为三态，由操作寄存器的DMAEN信号控制。

_DCHGEN磁盘更换使能信号：此输入当RD＝0或LDCR＝0时必须为逻辑0以使引脚40上的DCHG输入状态置到DB7上，内部电平提升。

_LDOR装载操作寄存器使功能信号：地址译码，用以对操作寄存器的装载使能，在内部与_WR门连接以产生选通脉冲以锁存数据总线到操作寄存器。

_LDCR装载控制寄存器使能信号：地址译码，用以对控制寄存器的装载使能，在内部与_WR门连接以产生选通脉冲，以锁存数据总线的最低二位至控制寄存器。

RST复位对控制器进行复位，置微定序器为闲置，对设备输出进行复位，置设备为基本模式而不是PC　AT或特殊模式。

_RDD读磁盘数据：此信号为从磁盘驱动器传来的未经加工的串行比特流每一脉冲下降沿代表一个编码后数据的磁通变化。

_XT2引脚PLCC封装器件使用的XTAL振荡器驱动输出。如引脚23使用TTL输入，此引脚应悬空。

XT2：XTAL振荡器输入，用于非标准数据率。可以用TTL电平信号驱动。

DRV：一个低速双速旋转电机被使用。在此情况下，第二个时钟输入将绝对不会被选择而必须接地。

XT1：PLCC封装器件的XTAL振荡器驱动输出，如引脚26使用TTL输入则应悬空。

_XT1：XTAL振荡器输入，要求使用16MHZ晶振，此振荡器用于产生所有标准数据率的内部时序，并可以用TTL电平信号驱动，预补偿

值选择输入。此引脚决定对磁盘内圈磁道的写预补偿量。逻辑1—125 ns，逻辑0—187ns。

_HS:磁头选择高电流驱动器(HCD)输出，选择被读写的软磁盘的头(面)。逻辑1—面0，逻辑0—面1。

_WE:读使能信号，此HCD输出恰在写盘前变为真(低电平有效)，使得电流能够流过写磁头。

_WD:写数据信号，此HCD输出为写数据。编码后的数据脉冲流的每一下降沿造成媒质上的一次磁通变化。

_DIRC方向信号:此HCD输出决定了磁头步进电机的运动方向。 逻辑1—向外运动，逻辑0—向内运动。

_STEP:步进脉冲信号，此HCD输出当磁头每一次做道至道运动驱动时产生一个低电平有效脉冲。

DS1:选择信号，此HCD输出，当为有效低电平时，是PC AT模式下的驱动选择1，对此磁盘驱动装置接口进行控制， 此信号来源于操作寄存器，在基本或特殊模式下，此输出是设备命令语法中指定的四个解码后的单元选择的第1号设备。

DS2:驱动选择信号。此HCD输出，当为有效低电平时，是PC AT模式下的驱动选择2，对此磁盘驱动装置接口进行控制，此信号来源于操作寄存器，在基本或特殊模式下，此输出是设备命令语法中指定的四个解码后的单元选择的第2号设备。

_MO1 _DS3:此HCD输出，当为有效低电平时，是PC AT模式下磁盘驱动装置#1的电机开启控制信号。此信号来源于操作寄存器。在基本或特殊模式下，此输出是设备命令语法中指定的四个解码后的单元选择的第3号设备。

_MO2 DS4:此HCD输出，当为有效低电平时，是PC AT模式下磁盘驱动装置#2的电机开启 控制信号，此信号来源于操作寄存器，在基本或特殊模式下，此输出是设备命令语法中指定的四个解码后的单元选择的第4号设备。

_HDL:磁头加载信号。此HCD输出，当为有效低电平时， 使指定面上的磁头加载，接触媒质。

_RWC _RPM:减弱写电流信号。转数/分钟，此HCD输出，当为有效低电平时，由于位密度随磁道向内而不断增加，造成一减弱的写电流。此信号当磁道数>28时有效。此条件对基本或特殊模式生效。并且为需要预补偿的征兆。在PC AT模式下，当CR0＝1时此信号有效。

_DCHG磁盘更换信号:此ST输入检测驱动装置的状态，为有效低电平时表示驱动器门打开或上次驱动装置选择后磁盘可能已被更换。

_WP:写保护信号。此施密特触发器(ST)输入检测驱动装置的状态，当磁盘为写保护时为有效低电平。

_TR00零磁盘信号:此ST输入检测磁盘驱动装置的状态，当磁头处于最外磁道TRACK 00上时为有效低电平。

_IDX目录检索信号:此ST输入检测磁盘驱动装置的状态，当磁头位于索引孔所指示的磁道起始位置时，此信号为有效低电平。

_VCC+5VDC:输入电源。

结构:

WD37C65/A/B软磁盘子系统控制器是一个LSI器件，它提供主处理机外围总线与软磁盘驱动器电缆连接线之间所需的所有功能信号。此“超级芯片”集成了:格式化器/控制器、数据分离、写预补偿、数据率选择、时钟发生器、驱动接口驱动器及接收器。

图1是WD37C65/A/B软磁盘子系统控制器的方框图。

主机接口:

主机接口是主微处理机外围总线。此总线由8个控制信号和8个数据信号组成。在特殊模式或PC AT模式中，IRQ和DMA请求信号均为三态，由DMA使能信号控制，在内部由操作寄存器提供。数据总线，DMA和IRQ输出的设计扇出均为20个LSTTL。除数据总线外，所有输入均为施密特触发接收器，可以直接接于总线或底板上面不需要附加缓冲器。

控制寄存器：控制寄存器提供了当接收到_LDCR和_WR信号后锁存数据总线最低两位的支持逻辑。当上述过程发生时CS不应有效，这些位用于选择所需的数据率，从而控制内部时钟产生。时钟切换在内部“去干扰”以允许在数据率变化后持续操作。如果控制寄存器未被使用，则数据率由支持时钟或晶体决定，频率必须为64×MFM数据率，

最高频率为16MHZ。这就暗示了除非控制寄存器被使用， 最大数据率为250KB/S。时钟切换必须“无干扰”，否则设备将需要复位。

主状态寄存器：

主状态寄存器为一个8位寄存器，包含了FDC的状态信息，并且可在任何时刻对其进行访问。只有主状态寄存器才能用于执行在处理机和WD37C65/A/B之间的数据传送。 主状态寄存器中的DIO和RQM位指示数据准备好和数据总线上数据传输的方向。如果选择了500KB/S MFM数据率，则在一个命令或结果相位中上一个RD或WR与DIO和RQM置位之间的最大的时间为12US，(如果选择了250KB/S MFM，则延迟为24μS)。因为这个原因，每次读取主状态寄存器，CPU应该等待12μS。从结果相位的上一个RD的下降沿到DB4(FDC 忙）的最大时间为12μS。

数据寄存器：

8位的数据寄存器存放数据、命令、参数和FDD状态信息。数据字节从数据寄存器读出或写入数据寄存器以编程或在某一特定命令后获得结果。

操作寄存器：

操作寄存器提供了在接收到LDUR和_WR时锁存数据总线的支持逻辑，此时_CS不应有效。操作寄存器代替了常规的软磁盘子系统中的锁存接口以用于控制盘驱动轴电机及选择所希望的磁盘驱动器。

基本、特殊和PC AT模式：

基本、特殊和PC AT模式具有用户可以觉得有细微差别，控制寄存器可在各种模式下应用而没有功能变化。

·基本模式：在一个硬件复位后，RST有效， WD37C65/A/B进入软复位并保持_SRSI有效，一般被驱动的信号， DMA请求和IRQ请求输出处于三态。此时通过主机的芯片访问可以建立基本模式。虽然此访问可为任何读写，但此基本模式用户首次芯片访问最好是一个对全状态寄存器的读取。当进入基本模式后，软复位被解除，IRQ和DMA被驱动，基本模式禁止使用操作寄存器，这样DMAEN将不起作用， 并没有软复位。驱动选择输出，DS1到DS4，提供了驻留于命令结构中的单元选择位的1至4解码。RWC引脚代表消弱的写电流， 并且为需要写预补偿时的征兆。

·特殊模式：

特殊模式允许使用操作寄存器利用DMAEN信号作为控制信号及进行一个软件驱动设备复位_SRSI。为进入特殊模式，操作寄存器装入(1×00×0××)，置模式选择为逻辑1以禁止MOEN1和MOEN2及使_SRSI有效。接着一个对控制寄存器地址_LDCR和_RD的读取将置设备为特殊模式。_DS1至_DS4及_RWC在此模式下同样提供。

·PC AT模式

为保证与PC AT的兼容性，用户要写入操作寄存器，_LDOR和_WR；此操作在硬件复位或基本模式下进行。标志进入PC AT模式。PC AT模式也可以通过特殊模式进入，需要将操作寄存器装入(0X00X0XX)，模式选择置0，禁止MOEN1和MOEN2及使_SRSI有效，然后对控制寄存器的一个读操作置设备于PC AT模式。_DS输出信号现在由操作寄存器缓冲出的DSEL和MOEN取代。DMAEN和_SRST由现有BIOS支持并与其兼容。_RWC引脚功能现为_RPM使得使用双速驱动的用户在低电平有效时可以将旋转速由360转/分降至300转/分，或当一指定驱动装置选择了一个较低数据率时使用减弱的写电流。

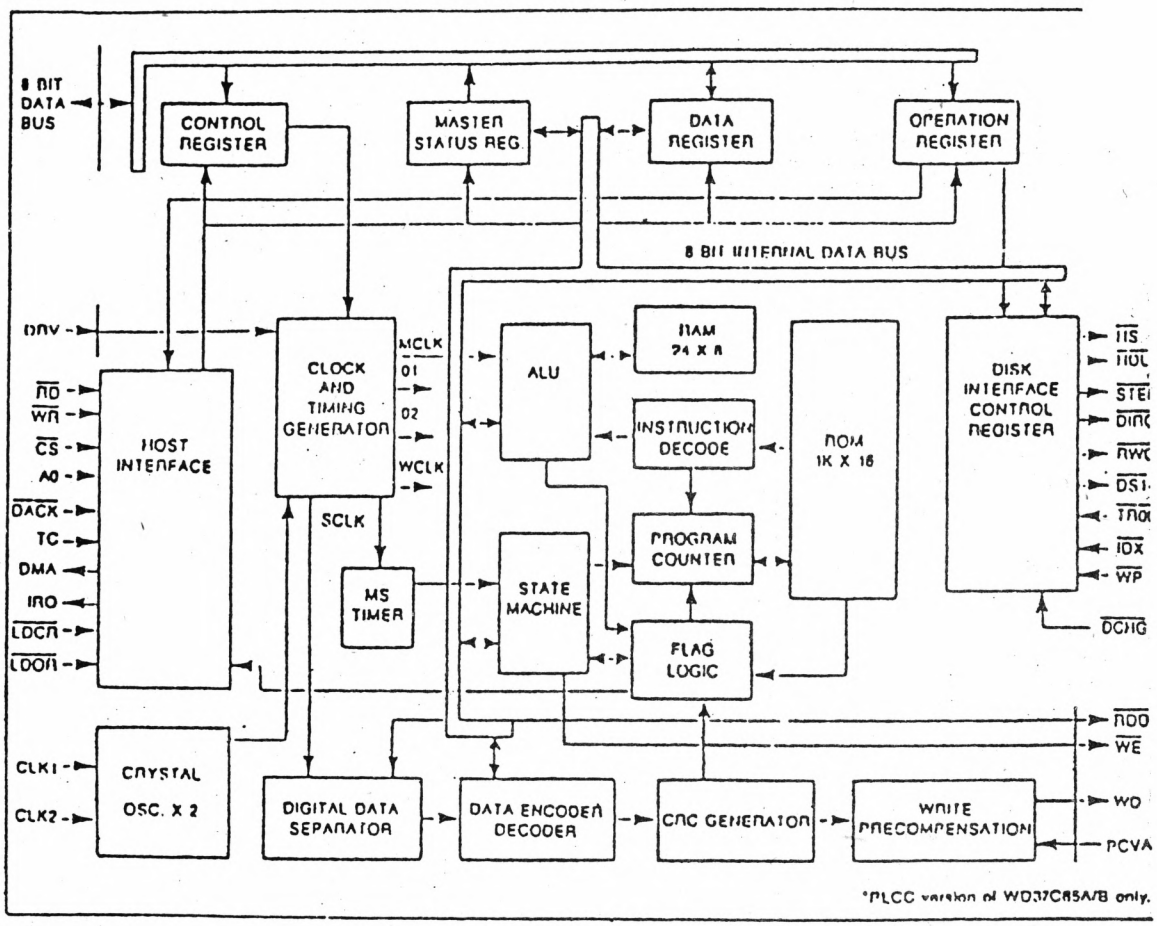
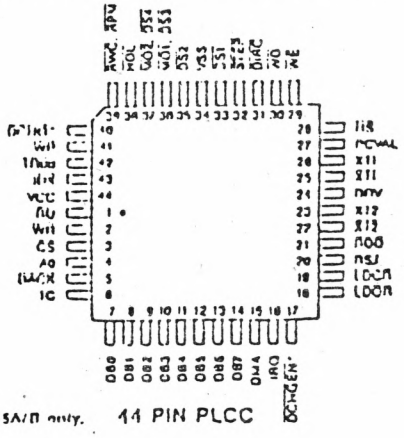


FIGURE 1. WD37C65/A/B BLOCK DIAGRAM



*WD37C65A/B only. 44 PIN PLCC

LC6543C/H 芯 片 资 料

单片四位微计算机

中等规模控制、中/高速类型

芯片中4/8位串行输入/输出，发光二极管驱动器

LC6543C/H，LC6546C/H是西方数字公司应用CMOS处理技术推出的LC6500系列单片四位微计算机，适用于小规模控制应用。这些机型的基本结构和指令系统相同，可用于声频设备(磁带运转机械装置，电唱机等)。办公设备，通信设备，汽车装置，家庭生活以及按标准逻辑电路生产的电路和小规模控制应用。

性能

(1)采取小功率CMOS技术(具有程控备用功能)

(2)只读存储器/读写存储器(ROM/RAM)

LC6543C/H ROM：2K×8位，　RAM　128×4位

LC6546C/H ROM：1K×8位，　RAM　64　×4位

(3)指令系统：80条指令为LC6500系列机型所共用

(4)工作电压范围：3.0－6.0伏

(5)指令周期0.92微秒

(6)芯片中装串行输入/输出端口

(7)装有通用的输入/输出端口

.端口数量：7个端口/最多为25个引脚

.端口类型：普通输入/输出端口

最高电压为15伏的输入/输出端口

最大输出电流20毫安

.系统选择项

(A)漏极开路输出，上拉电阻输出位选择所有端口。

(B)输出电位处于复位方式：4位选择C/D端口的高/低电位。

(8)中断功能

以计时器溢出实现中断(指令检测)

通过INT(中断请求)引脚或在串行输入/输出端口完成发送/接收来实现中断(指令检测)。

(9)堆栈　：4级堆栈(与中断相同)

(10)计时器：由4位可预脉冲计数器与8位程控计时器组合而成

(11)系统的时钟振荡选择项

.振荡器选择：单引脚选择C振荡(R方式)，双引脚选择RC振荡(C方式)，双引脚选择陶瓷谐振器振荡，单引脚选择外部时钟(C和H方式)，晶体振荡(校对C与H方式中的常量)

分频器选择：无分频器.3分频器.4分频器(C方式)

(2)段脉冲(64×周期，占空比50%)输出功能

引脚介绍

引脚名	引脚	输入/输出	功　　能	选择	A　复位
VDD VSS	1 1	一 一	电　　源	一	一
OSC1	1	输入	为产生系统时钟而外接C.RC和陶瓷谐振器的引脚 .作为单引脚外部时钟输入，单引脚COSC，引脚PIO/OSC2作为PIO端口的输入/输出使用 .作为双引脚的RCOSC，双引脚的陶瓷谐振器OSC，PIO/OSC2引脚作为OSC的引脚OSC2使用	1.单引脚外部时钟输入 2.单引脚COSC 3.双引脚RCOSC .双引脚陶瓷谐振器OSC 5.分频器选择 A.无分频器选择 B.3分频器 C.4分频器	
PA0 PA1 PA2 PA3	4	输入/输出	.输入/输出端口A0－A3 4位输入(指令IP) 4位输出(指令OP) 1位判别(指令BP，BNP) 1位置位/复位(指令SPB，RPB) .PA3(或PA0－PA3)控制备用方式 .HALT指令执行周期，引脚PA3(或PA0－PA3)免不振荡	(1)漏极形态输出 (2)上拉电阻输出 1.2.:函位定义	高位输出
PE0	4	输入/输出	输入/输出端口C0－C3，与PA0－PA3	(1)漏极开路输出	.高位输出
PE1 PE2 PE3			相同 复位方式下允许选择的输出为"H"或"L" 注:无备用控制功能	(2)接电阻输出 (3)复位时输出为高位 (4)复位时输出为低位 1.2:函　定义 3.4:以每组4分位形式定义	.低位输出 (任选)

引脚名	引脚	输入/输出	功　　能	选　择　项	复　位　方　式　时
PF0/SI PF1/SO PF2/SCK PF3/INT	4	输入/输出	.输入/输出端口F0－F3，功能与端口PE0－PE3相同 .PF0－PF3：与串行接口相同，INT输入 可选编程 SI－串行输入端口 SO－串行输出端口 SCK－串行输入/输出端口 INT－中断请求输入 可编程4/8位输入/输出 (注)无脉冲输出功能	与PE0－PE3的选择项相同	与PE0相同 串行端口：闲置 中断源：INT
PG0 PG1 PG2 PG3	4	输入/输出	.输入/输出端口G0－B3与PE0－PE3端口的功能相同 (注)无段脉冲输出功能	与PE0－PE3的选择项相同	与PE0－PE3相同
PI0/OSC2	1	输入/输出	.I0输入/输出端口与端口PG0－PG3功能相同 .1位配置 .双引脚OSC作为引脚OSC2使用，但无输入/输出端口的功能	与PG0－PG3的选择项相同	与PG0－PG3相同
RES	1	输入	.系统复位输入 .通电复位时，外连C .重新开始复位时，低电位可维持达4个以上时钟周期		
TEST	1	输入	.大规模集成电路测试引脚 通常与VSS相连		

MS-2406芯片资料

μPD70208 技 术 资 料

μPD70208(V40)是一个完善的高性能CMOS8位微处理芯片，有16位地址线和8位数据线。该处理器可配几种外围设备和一与μPD70108/70116相兼容的CPU软件。它是一种结构紧凑，价格低廉高可靠性的微处理系统，可和同类产品μPD70216(V50)相互通用，但μPD70216有16位对外数据线。

高性能CPU概述

.指令执行时间：250ns min (8MHZ 5V)

.寻址范围： 1M字节

.14个(16位)寄存器

.用101类高效指令进行指令设置

.高速乘、除指令： 4－5μS (8MHZ 5V)

.高速有效地址计算

.屏蔽(ICU)和非屏蔽(NMI)中断输入

.8080仿真功能

片上的外围包括：

.时钟发生器(CG)

.可编程的等待控制部件(WCU)

.刷新控制部件(REFU)

.计时器/计数器 部件(TCU) ……UPD71054 子设备

.串行控制部件 (SCU) ……UPD71051 子设备

.中断控制部件 (ICU) ……UPD71059 子设备

.DMA控制部件 (DMAU) ……UPD71071 子设备

.IEEE－796总线兼容电路

.CMOS

.5V单路电源供给

.8MHZ时钟(16MHZ内部时钟)

1.引腿定义：

1.1 AD7－AD0 (地址/数据线)

这些三态引腿构成高态有效，多用的地址/数据总线。当总线周期的T_1状态时，AD7－AD0输出20位存储器或I/O地址的低8位。

在$T_2T_3T_4$和T_4状态时，AD7－AD0构成了8位数据总线。 AD7－AD0是三态输出，在保持确认或复位期间都为高阻态。

1.2 A15－A8 （地址线）

引腿是三态输出高态有效的地址总线。在CPU，DMA或刷新总线周期其中之一期间，A15－A8输出20位存储器或I/O地址的中间8位。

1.3 A19/PS3－A16/PS0(地址总线和处理器状态）…三态输出

这些复用输出引腿在时间划分基础上输出地址和处理器状态。引腿在总线周期T_1状态期间的功能是输出地址，在T_2,T_3,T_4和T_4状态输出处理器状态。

当作为地址总线时，输出地址信息的高4位，在I/O存取时均输出0；在存储器和I/O之间进行存储时输出处理器状态信号；在本机方式里以及非DMA或非刷新周期时PS3引腿输出0；除此之外该引腿都输出1。PS2腿输出中断允许标志(IE)的内容，PS1和PS0指明当前总线周期使用的是哪个段。

处理器状态

A17/PS1	A16/PS0	段	
0	0	数据段1	DS1
0	1	堆栈段	(SS)
1	0	程序段	(PS)
1	1	数据段0	DS0

在保持确认期间这些引腿均为高阻态

1.4 REFRQ(刷新请求） ……输出

这是一条输出腿当刷新周期的T_2,T_3和T_4状态时输出低态有效信号。

1.5 HLDRQ(保持请求） ……输入

当外设请求地址总线 地址/数据总线或控制总线释放时，这个腿输入一个高电平。

HLDRQ的优先级如下所示

REFU(最高级优先)>DMAU>HLDRQ>CPU>REFU(最低级优先)

1.6 HLDAK(保持确认） ……输出

这是一个高态有效的信号，它表示μPD70208已确认保持请求信号(HLDRQ)同时置总线为高阻状态。故而当这个信号处于高电平的时候，三态输出系统的地位总线，地址/数据、控制总线均变为高阻态。在保持确认期间如果出现一个具有较高优先级的刷新请求或DMA请求、HLDAK则保持

不变，然后μPD70208提出总线控制转给请求者与此同时HLDRQ信号保持不变。

如果内部和外部总线在同一时间发出请求的情况下， HLDAK信号的高电平宽度起码要有一个时钟周期。

1.7 $\overline{\text{RESET}}$(复位) ……输入

这是复位输入腿低态有效，比所有操作都有优先权，复位操作不仅影响CPU也同时影响其外围电路。在复位输入结束后，CPU从地址FFFF0E开始执行程序，$\overline{\text{RESET}}$也用于复位CPU的备用模式。

1.8 RESOUT(复位输出) ……输出

这条腿是先用内部时钟同步异步输入信号$\overline{\text{RESET}}$然后输出一个高态有效的信号，这个信号可以用来作为系统复位信号。

1.9 READY (准备好) ……输入

μPD70208基本的总线周期需要四个时钟(T_1-T_4)，可是当READY成为低电平(保持不变)时，就在T_3和T_4之间插入了一个等待状态(T_w)，故总线周期也就被延长了。

这个功能是用于存储器或I/O存取时间较慢时， 这个信号是用时钟进行内部同步并提供给每一区块，这样就在T_3和T_w状态期间检测其信号，与该信号不同的是，T_w状态有可编程等待功能而被插入。

1.10 NMI(非屏蔽中断) ……输入

引腿输入一个不能被软件所屏蔽的中断请求信号。

该信号是在每个时钟周期被上升沿触发且被取掉，在该输入信号由低电平变为高电平后，一个长于5个时钟(CLKOUT)高电平信号

被检测到时NMI就被确认了，当NMI被确认时，在执行完当前指令后就产生了用第二矢量指定的中断。

这个NMI也用于释放CPU的备用模式

1.11 $\overline{\text{MRD}}$(内存读) ……三态输出

当内存读数据时，此信号有效(低电平)，当随机存储器RAM被部件REFU(刷新控制部件)刷新或是数据由DMA控制部件(DMA传送)从内存传送到I/O时，该信号也为低电平。

1.12 $\overline{\text{MWR}}$(内存写) ……三态输出

该信号在以下情况有效(低电平)

· 数据写入内存时；

· 数据被DMAU从I/O传送到内存时；

· 在CPU内存写周期的T_2、T_3和T_4状态；

· 在DMAU和DMA周期时一般写定时的T_3、T_4状态或者是扩展写定时的T_2、T_3和T_4状态；

· 在保持确认时该腿就变成高阻态；

1.13 $\overline{\text{IORD}}$（I/O读） ……三态输出

该信号在以下情况时有效（低电平）；

· 从I/O读数据时，（但在本部件上I/O被存取该信号无效）；

· 当部件DMAU将数据从I/O送到内存时；

· 总线周期T_1、T_2、T_3状态时；

· 在保持确认时该引腿为高阻态。

1.14 $\overline{\text{IOWR}}$（I/O写） ……三态输出

该信号在下列情况时有效（低电平）；

· 数据往I/O写时（但在本部件上I/O被存取时，该信号无效）

· DMAU部件将数据从内存传送到I/O时；

· CPU执行I/O写周期的T_2、T_3、T_4状态时；

· DMA周期中一般写定时的T_3、T_4状态以及扩展写定时的T_2、T_3、T_4状态；

· 该引腿在保持确认时为高阻态。

1.15 ASTB（地址选通） ……输出

这是一个外部锁存地址信息的高态有效选通信号。这个信号是当CLOCK（CLKOUT）在总线周期为低电平的T_1状态时有效。

这条引腿在保持确认时为低电平有效。

1.16 High（高电平）

这条引腿总是输出高电平，在保持确认时为高阻态；

1.17 $\overline{\text{BUSLOCK}}$（总线锁） ……三态输出

当指令跟随BUSLOCK前缀被执行的时候，该信号有效（低电平）用于请求在多处理系统中的其它主要CPU而不是请求系统总线。

当总线锁定（$\overline{\text{BUSLOCK}}$为有效的低电平），刷新请求撤消时，保持请求和DMA请求均为无效。

这条引腿在保持确认时为高阻态。

1.18 $\overline{\text{POLL}}$(查询) ……输入

用POLL指令对$\overline{\text{POLL}}$引腿进行检查的信号，如果该信号是低电平则程序执行处理下条指令；如果该信号为高电平时，就会有5个一组的时钟来不断询问，直至$\overline{\text{POLL}}$输入低电平。这些功能用来同步CPU程序和外部设备的操作。

1.19 BUFR/W(缓冲器 读/写) ……三态输出

该输出信号用来判定一外部双向数据缓冲器的数据传送方面。如果数据是从μPD70208传送到外部设备则该信号为高电平。如果数据是从外部设备传送到UPD70208则该信号为低电平。

该引腿在保持确认时为高阻态。

1.20 $\overline{\text{BUFEN}}$(缓冲器允许) ……三态输出

该信号是低态有效，作为外部双向数据缓冲器输出允许信号。在读周期的T_2-T_4状态和中断确认周期该信号有效(低电平)，该信号在写周期的T_1-T_4状态也有效。

但该引腿在内部的I/O在部件内被存取时无效。

该引腿在保持确认时为高阻态。

1.21 x2和x1 (时钟) ……输入

用内部时钟发生器必须在x2和x1之间连接一晶振，晶振的振荡频率应是运行频率的2倍

如果是用内部时钟发生器，必须把2倍于运行频率的方波输入到引腿x1。在这种情况下，x2可以选用下列的一种方法处理：

1)输入x1引腿的倒相信号；

2)不接；

1.22 $\overline{\text{CLKOUT}}$(时钟输出) ……输出

该引腿输出方波时钟，其频率为晶振频率或X1输入频率的一半。

这个输出时钟的占空比是50%；

1.23 BS2－BS0(总线状态) ……三态输出

这些引腿输出状态信号用以通知当前总线周期的外部设备。

这些信号在T_1、T_2状态有效，编码组合其意义如下表所示：(可以看出当CPU进入停机状态时CPU无源态仅比在正常状态早一个时钟)。

BS2	BS1	BS0	总线周期
0	0	0	中断确认
0	0	1	I/O读
0	1	0	I/O写
0	1	1	停机
1	0	0	程序预取
1	0	1	内存读
1	1	0	内存写 （含DMA周期）
1	1	1	CPU无源态

*在CPU读周期里存储器读周期包括DMA周期和DMA检测以及刷新周期。

1.24 QS1－QS0(列状态) ……输出

这两个信号通知CPU内部指令队列状态的一个外围设备(浮点运算部件)。所谓“队列状态”意味着某一状态，在这个状态里CPU内的执行部件(EXU)存取一条指令的列只是在EXU已经存取了指令队列后的一个跟着的时钟周期里，输出到QS1和QS2引腿的内容才有效。

当部件接到FPU(浮点运算器)给出的控制时， 这些状态信息提供给浮点运算部件使其监视CPU的程序执行状态，保持与CPU同步的执行处理。

QS1	QS0	指令队列状态
0	0	无操作 （无变更队列）
0	1	一条指令的第一字节被锁死
1	0	指令队列空
1	1	指令的第二或以后的字节被锁死

1.25 TOUT2(计时输出) ……输出

这是内计时器/计数部件(TCU)的输出引腿，TCU的三个计数器中，TCT#2的结果从这条引腿输出。

1.26 TCTL2 （计时器控制） ……输入

这是内部计时/计数部件(TCU)的控制输入引腿，三个计数器中TCT# 2是被这个输入所控制的。

1.27 TCLK(计时时钟) ……输入

这是内部计时/计数部件(TCU)的时钟输入引腿，可实际上时钟输入到每个计数器是通过软件来选择的，不是时钟输入到这条引腿就是μPD70208上已被分频出的操作时钟输入到这条引腿。

1.28 INTP7－INTP1(从外围来的中断请求) ……输入

这七条引腿输入异步中断请求到内部中断控制部件(ICU)。这些或是上升沿触发或是高电平触发的输入信号可被提供选择。这些中断请求输入也可用来释放CPU的备用模式。

INTPT－INTP1包括内部提拉电阻，可以是左边断开。

1.29 $\overline{\text{INTAK}}$/$\overline{\text{SRDY}}$/TOUTI(中断确认/串行准备/计时器输出)……输出

这是一个中断确认信号，串行准备信号，计时器输出(TCT#1) 三者共享的输出引腿。中断确认信号$\overline{\text{INTAK}}$在CPU中断确认周期的T_2、T_3、T_4状态为低电平有效。

$\overline{\text{SRDY}}$信号是从内部串行控制单元发出的，当接收器被允许接收数据时该信号为低电平有效。

TOUTI信号是从内部的计时器/计数器单元(TCU)发出的。三个计数器中TCT#1的结果是由这条引腿输出的，这条引腿具有如上所述的三种功能。而引腿的功能是通过μPD70208系统I/O区(参阅第4部分，系统I/O区) 可编程的OPCN(部件外围连接寄存器)来选择的。

1.30 $\overline{\text{DMAAK3}}$/TXD(DMA确认/传送数据) ……输出

这是一个共享输出端。它对内部DMA控制部件(DMAU)的3通道发出确认信号从内部串行控制部件(SCU)发出串行数据。$\overline{\text{DMAAK3}}$信号是低态有效。

当这条引腿功能为TXD时，如果没有数据传送它就为高电平(标记)，当传送的数据置好时，低电平起始位则自动输出，然后将数据串行从LSB输出。

在每一数据的末尾附加上一个奇偶位和一个低电平停止位，而奇偶位是否加上是根据程序而定的。该引腿具有以上两种功能，其中之一是由在UPD70208系统里I/O区(参阅第4部分系统I/O区)的可编程OPCN(部件外围连接寄存器)设置的。

1.31 DMARQ3/RXD (DMA 请求/接收 数据) ……输入

这是一个共享引腿。一是对内部DMA控制部件(DMAU)的3通道输入请求信号，二是输入内部串行控制部件(SCU)的串行信号。

DMARQ3是高态有效。

如果该引腿是作为DMARQ3使用的时候，需要注意下面两点：

· 要保持DMARQ3的高电平直到$\overline{\text{DMAAK3}}$有效；

· 在$\overline{\text{DMAAK3}}$的有效状态期间要释放DMARQ3请求；

当该引腿作为RXD功能之用时，在没有数据传送的情况下，一个高电平(标记)信号就被输入到该引腿。当起始位(低电平)被检测到时，该腿就开始接收数据。该引腿有上述两种功能，其中之一是靠μPD70208系统I/O区里可编程OPCN部件外围连接寄存器所设定的。

1.32 $\overline{\text{DMAAK2}}$－$\overline{\text{DMAAK0}}$(DMA确认) ……输出

这些引腿是从内部DMA控制部件(DMAU)的2通道到0通道发出DMA确认信号。

1.33 DMARQ2－DMARQ0 (DMA请求) ……输入

这些引腿是向内部DMA控制部件(DMAU)的2通道到0通道输入DMA请求信号，对于DMA请求信号需要注意以下几点：

－要保持DMARQ的高电平直到相应的DMAAK有效为止；

－在相应的DMAAK有效状态期间要释放DMARQ请求；

1.34 END/TC (结束/终端计数) ……输入/输出

这是一个低态有效引腿，当数据传送通过内部DMA控制部件(DMAU)执行时，它控制DMA数据传送的结尾。

当在DMA传输期间输入一个低电平脉冲(END)，DMA部件将结束正在进行的DMA服务。

当DMA对于指定的每一通道所传送数目完成的时候，这条引腿输出一个低电平脉冲($\overline{\text{TC}}$)。

因这条引腿是集电极开路，所以必须要外接一个提拉电阻。

1.35V_{DD}(电源供给)

这是一个正电源供给的引腿

1.36 GND (地)

接地端(0V)

1.37 IC (内部连接)

这是对只有80引腿的塑料平面插座的附加连线

功能块

μPD70208由10个功能块组成。这一章着重介绍一下每一块的功能。

2.1 CPU(中央处理部件)

和UPD70103在结构上一样，其软件也全兼容。(参阅CPU第三部分)

2.2 CG(时钟发生器部件)

CG产生时钟信号其频率是跨接于X_1,X_2两引腿之间的晶振频率的一半，向CLKOUT引腿UPD70216的每一功能块提供时钟。该时钟信号的占空比为50%。

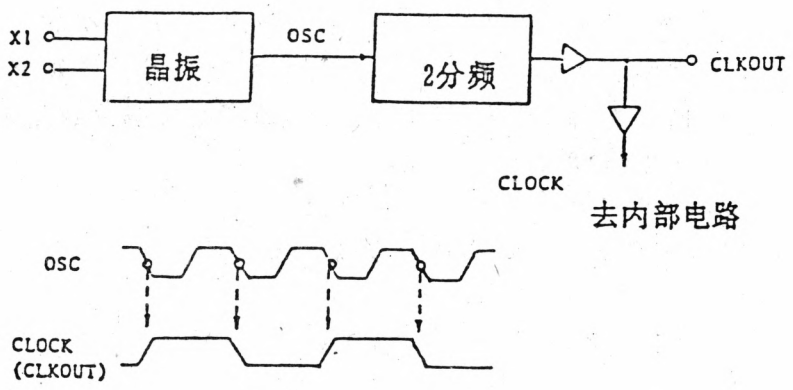


图2-1 时钟发生器

2.3 BIU(总线、接口部件)

BIU控制数据总线，地址总线和控制总线的引腿。这些总线是由CPU，DMAU(DMA控制部件)，和REFU(刷新控制部件)这三大功能块来使用的。

BIU同步RESET和READY，输入由时钟发生器(CG)产生的时钟信号。同步复位信号是高态有效，在μPD70208里的使用就和提供给外设通路引腿RESOUT的一样。

同步的READY信号是被提供给内部CPU、DMAU和REFU。

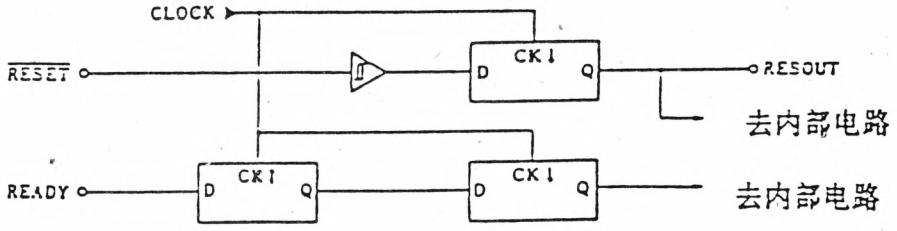


图2-2 RESET和READY的同步

2.4 BAU (总线仲裁部件)

BAU执行总线的控制仲裁，μPD70208的总线是被内部CPU、DMAU、DMA控制部件)REFU(刷新控制部件)所使用的；在保持状态时间，总线是被保留

的，是为外部总线主方所用。总线控制优先级如下所示：

REFU(最高级优先)>DMAU>HLDRQ>CPU>REFU(最低级优先)REFU可以根据刷新请求的挂起状态而取最高级优先或最低级优先。即使一总线被该总线主方使用，而更高一级优先级的总线主方请求总线控制权时， BAU通过恒定的确认信号请求当前的总线主方交回总线控制权。（总线确认信号到CPU DMAU或REFU去，或HLDAQ信号到外部总线主方)当总线请求信号(总线请求信号可以是从CPU、DMAU、REFU来，或HLDRQ信号从外部总线主方来）恒定不变时，以响应这个总线放弃请求，然后BAU将总线控制交给优先级更高的总线主方。

总线控制有效地在CPU的内部总线主方DMAU和REFU。

2.5 WCU(可编程控制部件)

WCU有这样的功能：可以在总线周期插入三个等待状态(TW)的时钟，以此来弥补低速的存储器或I/O的处理速度。每个等待状态(TW)时钟的数目可以独立取决于CPU存取，DMAU存取，以及刷新存取。尤其当存取CPU存储器空间被分划为三个区域的时候。这三个区域和I/O可以独立地被决定。

2.6 REFU(刷新控制部件)

REFU的功能是刷新动态的RAM。它控制刷新请求信号的输出和刷新周期刷新地址的输出。

2.7 TCU(计时器/计数器部件)

TCU是一个计时器/计数器部件，其功能和μPD71054的这部分相等。TCU提供了三个独立的计数器。其中之一的输出信号被提供给内部各块而另一个信号被用于提供给外部设备。最后一个计数器的输出可以供内部或外部设备使用。

2.8 SCU(串行控制部件)

SCU有一个和μPD71051同步模式相等价的功能，它在μPD70208和一个外部设备之间进行串行通信。

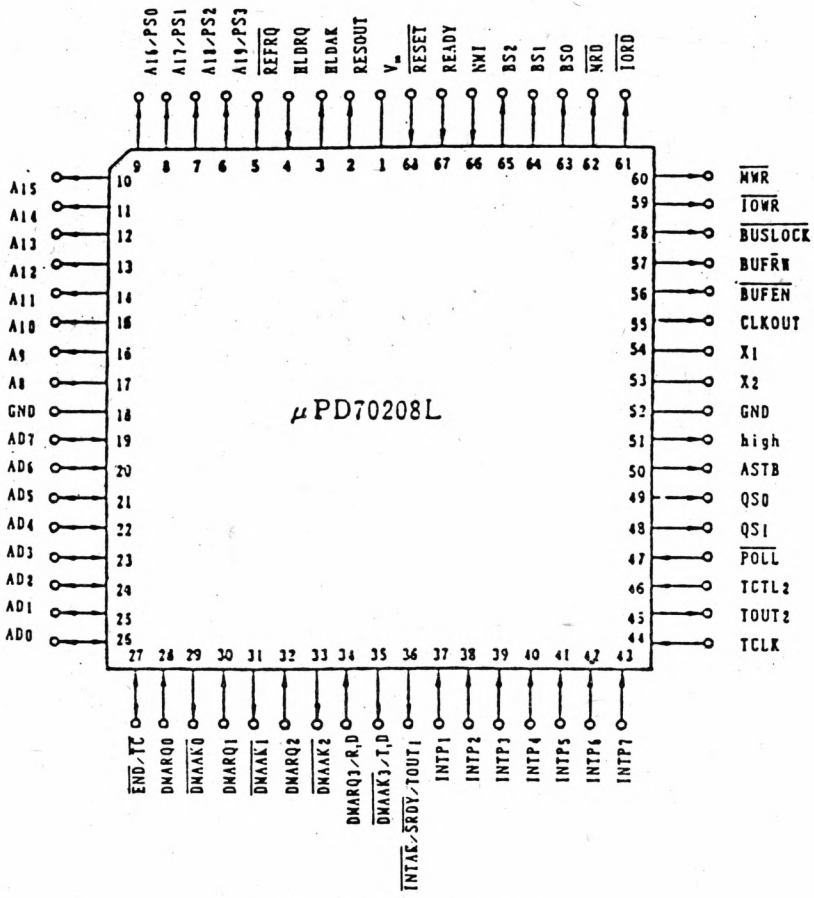
2.9 ICU(中断控制部件)

ICU有和μPD71059相同的一个功能，仲裁8个中断请求，产生一个中断请求送到CPU，并将中断矢量的数目送至CPU。分配给ICU的8个中断请求

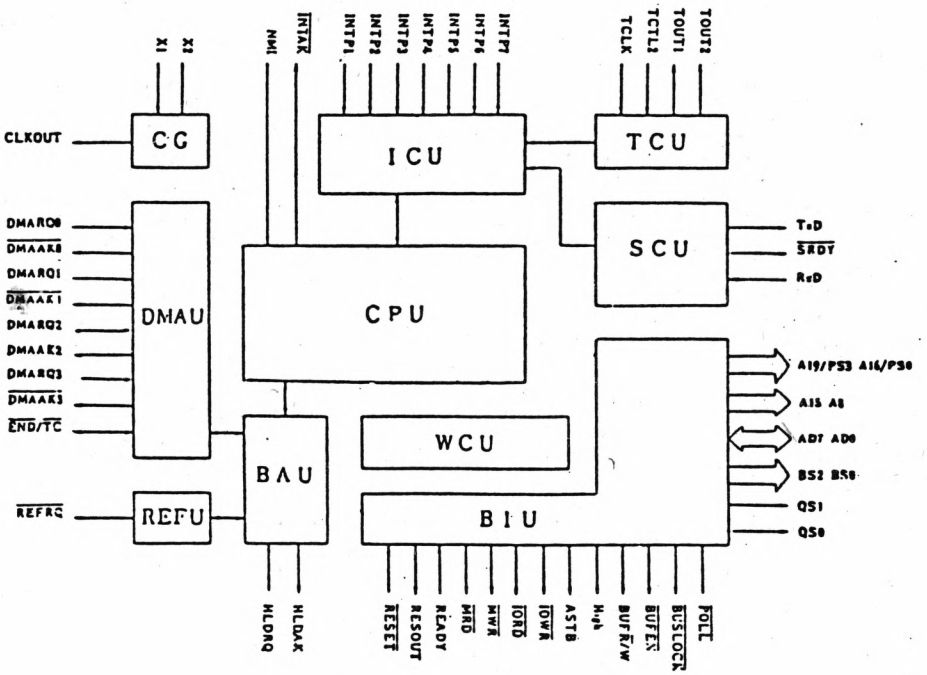
输入之一被用来独自作为在μPD70208里从ICU来的输入。

2.10 DMAU(DMA操作部件)

DMAU有μPD71071的一个子功能，它有四个独立的DMA通道，在存储器和I/O之间通过DMA来实现高速数据传送。



μPD70208引腿配置示意图



μPD70208内部逻辑框图

SG－8801 技 术 资 料

*动态RAM控制器；
*刷新逻辑；
*存储器地址译码器 （RAM和ROM）；
*AD0－AD7 0A0－0A7地址锁存和驱动器；
*16/pso－A19/PS3 0A16－0A19地址锁存和驱动器；
*1.5微米CMOS技术；
*64引腿塑料QFP插件；

简述：

SG－8801是集DRAM控制、刷新功能、存储器的地址译码功能和地址驱动功能于一体。与配套器件SG－8802，NEC'V40微处理器一起使用时，一个兼容PC的功能可以仅通过这三只芯片的最小组合逻辑而得以合成。

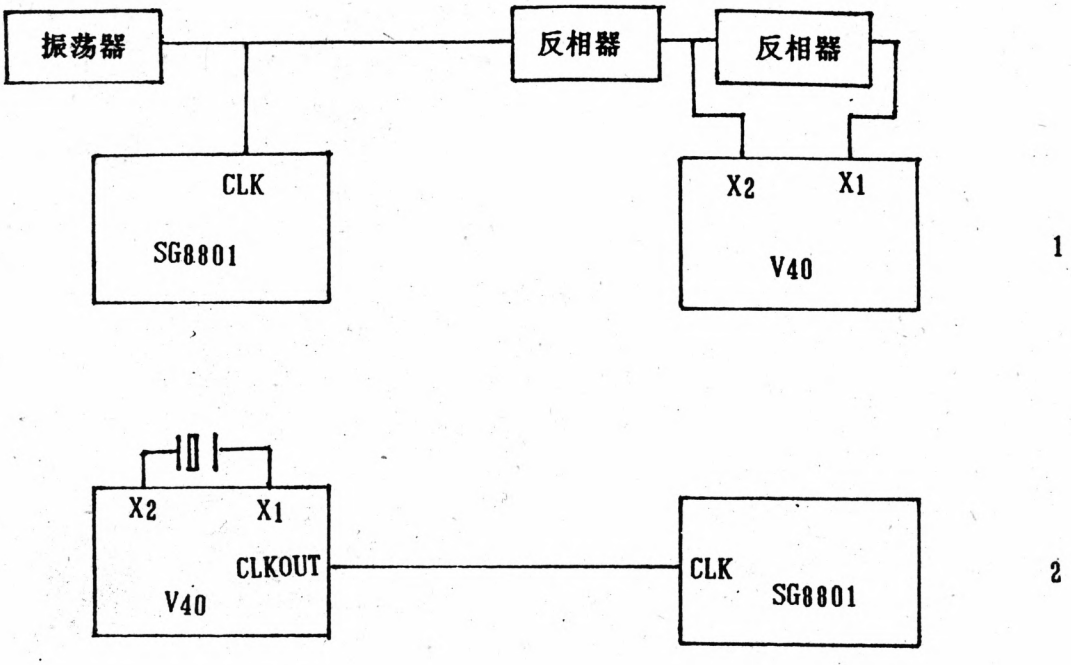
引腿定义简介：

符 号	方 向	功 能
AD0－AD7	输入	V40地址/数据 行0－7 CMOS输入
A8－A15	输入	V40地址8－15 CMOS输入
A16－A19	输入	V40地址/状态 行16－19 CMOS输入
CLK(1)	输入	从V40时钟输出过来或者是和其一样的时钟输入；
/REF	输入	从V40来的刷新请求，CMOS输入；
ASTB	输入	高态有效(TTL)； V40或8087ASTB的结果；
/MRD	输入	低态有效(CMOS)；从V40来的存储器读控制；
/MWR	输入	低态有效(CMOS)；从V40来的存储器写控制；
SEL	输入	低电平时表示512KB/256KB DRAM被设定；高电下时表示128KB/64KB DRAM被设定；
MA0－MA7	输出	/RAS /CAS和刷新地址三者对于DRAM的多路复用； 在/RAS期间CPV地址线AC－A7从此送出；在/CAS期间， 地址线A9－A16被传送；在刷新期间，地址A0－A7由此发出；

符　号	方　向	功　　能
MA8	输出	/RAS /CAS 刷新地址三者对于DRAM复用；在/RAS期间，CPU地址A8由此送出；在/CAS期间地址A17被由此传送；在刷新期间刷新地址A8被由此送出；
/RASO	输出	行选择，低态有效。在存储周期和刷新周期期间变为低电平；0－256KB有效，将直接和所有RAM连接；
/CASO	输出	列选择，低态有效。在存储周期为低电平，刷新周期为高电平，0－256KB有效，直将和所有RAM连接。
/RASI	输出	和/RASO一样，只是从256KB－512KB；
/CASI	输出	和/CASO一样，只是从256KB－512KB；
/ECS	输出	低态有效；译出存储器地址80000－9FFFF；
/DCS	输出	低态有效；译出存储器地址A0000－AFFFF；指定双口SRAM
/VCS	输出	低态有效；译出存储器地址B0000－BFFFF；
/DICS	输出	低态有效；译出存储器地址C0000－DFFFF；
/BIOS	输出	低态有效；译出存储器地址E0000－FFFFF；指定BIOS　ROM；
/PAGE	输出	低态有效；译出存储器地址40000－BFFFF；
0A0－0A7	输出	系统地址；引腿的输入结果被ASTB内锁存；
0A16－0A19	输出	系统地址；引腿的输入结果被ASTB内锁存
VDD		＋5电源供给。

注意两点：(1)如果用户选择V40　CLKOUT，　建议在V40周期插入一个等待状态。

(2)地址多路器是为使用256K×1或1M×1DRAM而设计的。



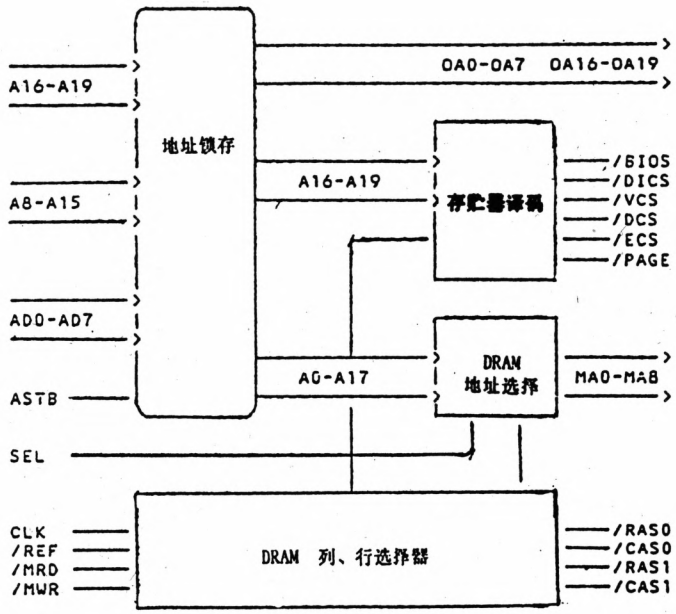
时钟输入配置图

注意：

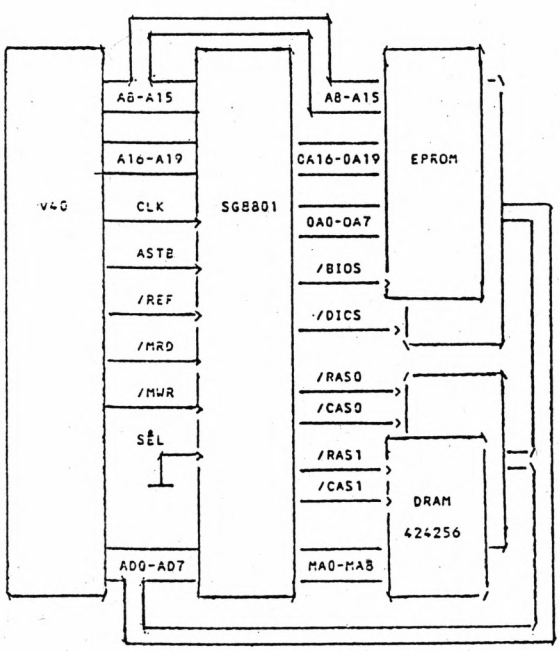
以上提供了两种方式的时钟输入配置：

(1)CLK和V40内部时钟输入的一样；建议使用这种方法(16MHZ)

(2)CLK是V40的时钟输出， 如用户采用此种方式则需在V40周期插入一个等待状态。

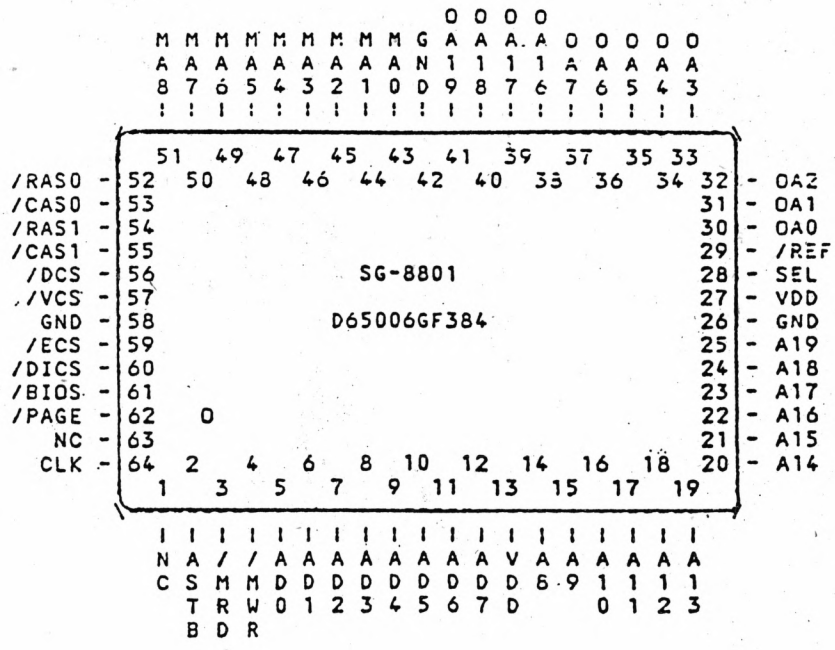


SG—8801内部逻辑框图



SG—8801应用范例示意图

上述示意图是一块IBM兼容机的主板，是由NEC'V40微处理器与SG—8801组合成。



SG—8801引腿配置示意图

SG－8802 技 术 资 料

· 键盘逻辑
· 总线方向控制器逻辑
· 喇叭逻辑
· 外部设备I/O地址译码器
· D0－D7数据总线驱动器
· 双口RAM控制器逻辑
· VRAM控制器逻辑(用OKI6255LCD控制器)
· 1.5微米CMOS技术
· 64引腿塑料封装

概述：

SG－8802集键盘控制器，喇叭逻辑 IBM配置兼容寄存器、双口RAM控制器和VRAM控制器于一体。当和配套器件SG－8801以及NEC'V40微处理器一起使用时，一个兼容PC的功能可以仅通过这三只芯片的最小组合逻辑而合成。

引腿说明：

符 号	方 向	功 能
AD0－AD7	输入	V40地址/数据行0－7 CMOS输入；
MCLOCK	输入	V40CMOS时钟输出；
RESET	输入	低态有效TTL输入 低＝复位；高＝运行
BUFEN	输入	缓冲器允许控制，从V40CMOS来；
RUF/RW	输入	缓冲器方向控制，从V40CMOS来的信号；
ASTB	输入	高态有效(TTL)，V40或8087ASTB的结果；
/MRD	输入	低态有效(CMOS)，从V40来的存储器读控制；
/MWR	输入	低态有效(CMOS)，从V40来的存储器写控制；
/IORD	输入	低态有效(CMOS)，从V40来的I/O读控制；
/IOWR	输入	低态有效(CMOS)，从V40来的I/O写控制；
A8，A9	输入	系统地址输入(TTL)；
SWCH	输入	指示正在被使用的显示适配器的类型 CMOS输入 SWCH＝0 ……LCDC＝3B0H－3BFH SWCH＝1 ……LCDC＝3D0H－3DFH

符　号	方　向	功　　能
/VCS	输入	低态有效，如果OKI6255LCD控制器被使用，应被连接到存储译码器选择的VRAM区的输出，除此之外该引腿应连接高电平；
/MDCS	输入	低态有效。如果双口RAM被使用，该引腿应被连接到主CPU的存储译码器选择的双口RAM区的输出，除此之外该引腿应连接高电平
SCLK	输入	附属CPU的时钟输出，负责存取双口RAM；
/SMRD	输入	低态有效(CMOS)，从附属CPU来的存储器读控制；
/SMWR	输入	低态有效(CMOS)，从附属CPU来的存储器写控制；
/SDCS	输入	低态有效，从附属CPU地址译码输出来的双口RAM选择输入；
XD0－XD7	总线	系统数据总线输出CMOS；
KBC	总线	键盘时钟信号用作时钟数据进入到SG－8802的内部移位寄存器；
KBD	总线	键盘双向串行数据(TTL)；
KINT	输出	键盘中断，连到V40中断通道1；
/MDG	输出	低态有效输出，指示主CPU存取双口RAM；
/SDG	输出	低态有效输出，指示附属CPU存取双口RAM；
/MWAIT	输出	对于主CPU准备引腿的等待输出，信号为开漏输出；
/SWIT	输出	对于附属CPU准备引腿的等待输出，信号为开漏输出；
DRD	输出	低态有效，双口RAM读控制(CMOS)；
DWR	输出	低态有效，双口RAM写控制(CMOS)；
/SCS	输出	低态有效，译I/O地址(3F8H－3FFH)和IBM给RS－232C控制器的一样；
/FDC	输出	低态有效，译I/O地址(3F4H－3F7H)和IBM给FDC片选一样。

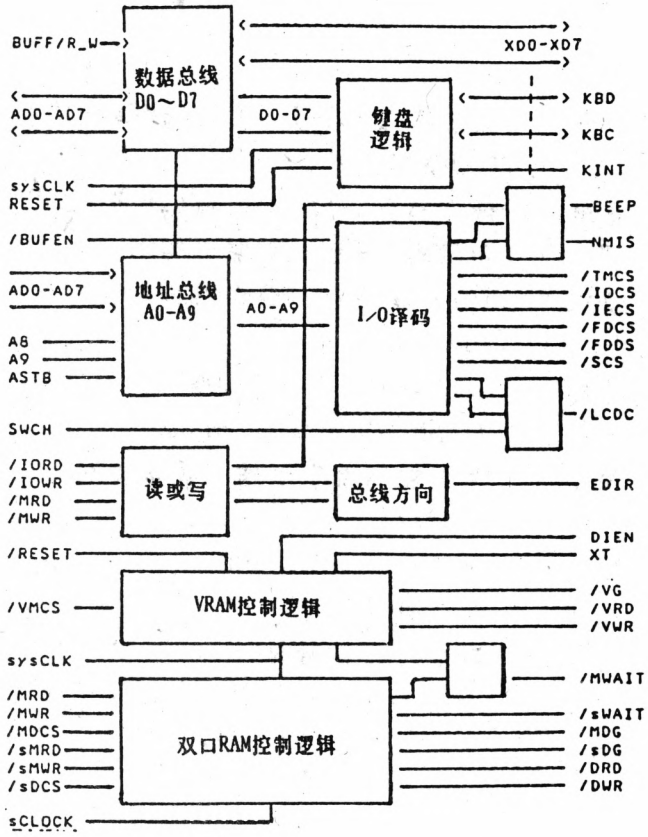
符　号	方　向	功　　能
/FDD	输出	低态有效，译I/O地址(3F0H－3F3H)和IBM给FDD控制一样。
LCDC	输出	低态有效，译I/O地址(3D0H－3DFH或3B0H－3BFH)和IBM给显示控制器一样。
NMIS	输出	NMI屏蔽寄存器输出要被缓存。I/O地址A0H－AFH，I/O数据D0。
TMCS	输出	低态有效，译出I/O地址(70H－7FH)，和IBM－AT给实时控制器一样。
BEEP	输出	喇叭控制寄存器输出要被缓存，I/O地址63H，I/O数据D0。
IOCS	输出	低态有效，译I/O地址(100H－17FH)；
IOES	输出	低态有效，译I/O地址(180H－37FH)；
DIEN	输出	这个输出信号是一方波，作为LCDCOKI6255的一个同步时钟，其频率是系统时钟乘4。
XT	输出	这是一个象DIEN一样的方波输出信号，但其相位不一样，样见时序波形图。
/VG	输出	低态有效输出，指示CPU存取VRAM(OKI6255系统)；
/VRD	输出	低态有效，VRAM读控制(OKI6255系统)；
/VWR	输出	低态有效，VRAM写控制(CKI6255系统)；
EDIR	输出	此信号在CPO周期和DMA周期用来控制方向；还用来连接在扩展总线数据缓冲器上的方向引腿；
VDD		＋5V电源供给

注意：

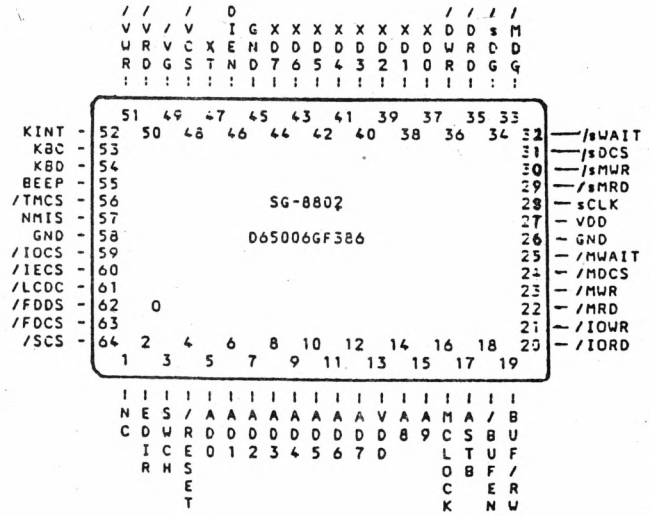
(1)如果在用户的系统里没有双口RAM，所有涉及到DPRAM控制的输入引腿都要接高电平。

(2)如果用户的系统里没有OKI6255LCDC，所有涉及VRAM控制的输入引腿都要接高电平。

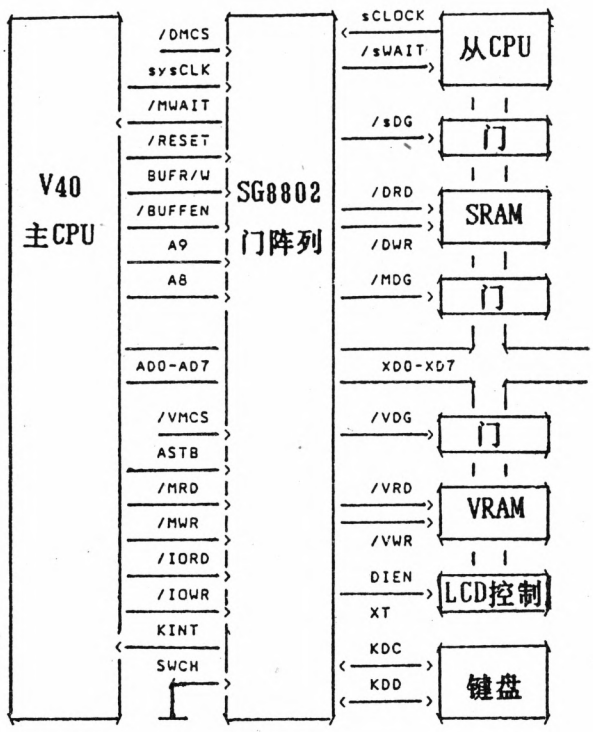
(3)如果用户不用数据总线驱动器，信号BUF/RW一定要接高电平。



SG－8802内部逻辑框图



SG－8802引腿配置示意图



SG－8802应用范例示意图

上述示意图是一双处理器计算机的主板。是用两个NEC'V40微处理器和SG－8802与双口RAM通信所构成。

V6366 芯 片 资 料

多功能显示控制芯片V6366简介：

V6366是一种高性能的PCDC(Panel Display & CRT Display Controller)即平板显示及CRT显示控制器，具有两种功能：

⑴可用于平板显示器(2406就是这种平板显示器)的显示控制；

⑵也可以用于光栅扫描CRT的显示控制；

只要对V6366做完软件初始化，就可不用做任何更改而将驱动CRT的常用程序用于平板显示，这将带来很大的方便，该芯片有能力驱动：

CGA (Color Graphics Adapter)

MDA (Monochrome Aisplay Adapter)

HGC (Hercules Graphics Card)等方式

硬件与IBM相互兼容

该芯片存有如下特点：

· 与IBMPC相兼容

· 内装MC6845的全部功能；

· 除LCD、CRT外还可用于场致发光屏及等离子体显示；

· 可驱动640×400象素和720×350象素显示板；

· 可使用单屏幕显示板或双屏幕显示板；

· 送到显示板的显示数据可选择1位、2位、4位或3位并行传送；

· 灰度影线显示能被用于显示板或单色显示器；

· IBMPC 640×200象素的软件可直接显示于640×400象素屏面上；

· 除标准IBMPC图形方式外，还提供了320×200象素×16种(或256种)颜色；320×400象素×4(或16)种颜色；640×200象素×16种颜色；640×400象素×4种颜色，640×350象素×16种颜色等等；

· 为保护软件的初始化而提供了一个保护位；

· VRAM即可以用一静态随机存储器SRAM，也可以用动态随机存储器DRAM；(MS2406用64K字节DRAM)

· 光笔输入接口(MS－2406没用)；

· 用线性RGB监视器，出自512种颜色的16种颜色可以同时被显示；

· 用EGA监视器，出自64种颜色的16种颜色的能同时被显示；

· 甚至IBM彩色监视器可以用彩色查找表；

· 为节省功耗而提供了一个备用功能；

· 具有16×16　24×24　32×32　象素；

· 可以选择联接字符发生器点阵　水平：6.7.8.9或(8×整数)象素；

垂直：1－32象素；

· 能够平滑卷动并可以外部同步；

· 可以使IBM彩色监视器和一块640×200LCD同时显示；

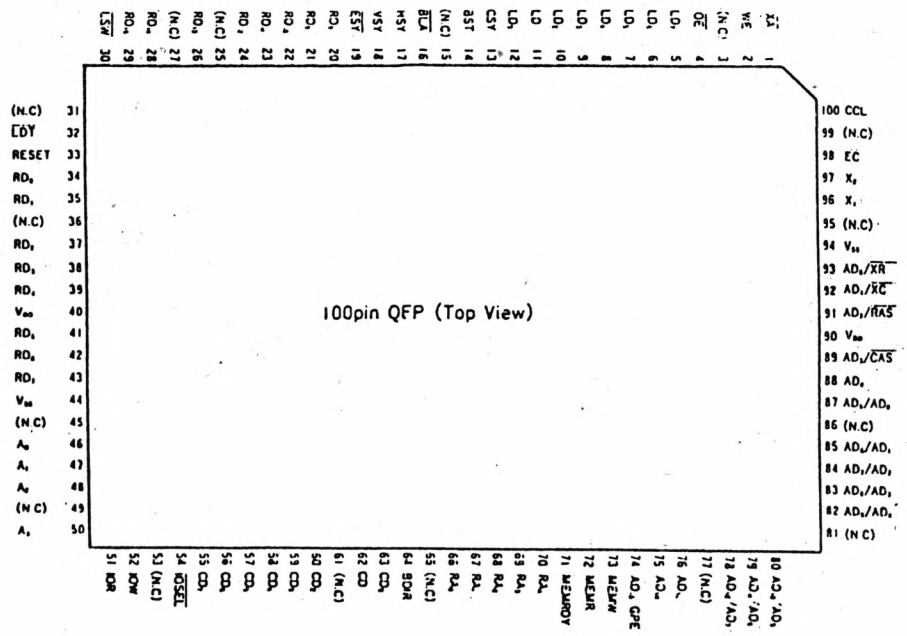
· CMOS　5V电源供给；100引腿QFP或84引腿PLCC

信号名称	方　向	功　　能
A0－A3	输入	对I/O寄存器选择的地址，A0也用来选择高低字节；
CD0－CD7	输入/输出	对于CPU的数据总线；
MEMRDY	输出	对于存储器读/写准备信号('0'等待)；
MEMW	输入	控制存储器写；
MEMR	输入	控制存储器读；
IOW	输入	控制写I/O寄存器；
IOR	输入	控制读I/O寄存器；
$\overline{\text{IOSEL}}$	输入	对于I/O寄存器D、E的允许信号('0'允许)
RESET	输入	复位信号；
$\overline{\text{LSW}}$	输入	光笔开关信号(在复位时，指定VRAM8位或16位数据总线)；
$\overline{\text{LDT}}$	输入	光笔测试信号(在复位时，从SRAM或DRAM指定VRAM)；
X_1	输入	用于X晶体振荡或内部时钟输入；
X_2	输入/输出	
BDIR	输出	双向缓冲器对于CPU数据总线的方向控制；
RA0－RA3	输出	光栅扫描地址；
RA4	输入/输出	光栅扫描地址或AC转换信号；
RD0－RD7	输入/输出	对于VRAM的数据总线(低半边)；
RD8－RD15	输入/输出	对于VRAM的数据总线(高半边)；
$\overline{\text{EC}}$	输出	字体数据的RD总线的传输控制；

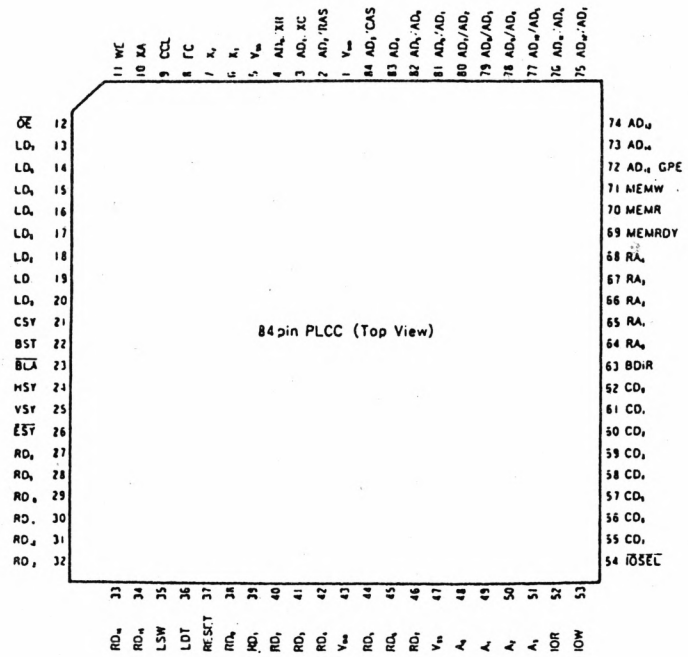
信号名称	方　向	功　　能	
$\overline{OE}$	输出	SRAM输出控制；	
OCL	输出	字形码的锁定时钟；	
WE	输出	VRAM的写控制；	
$\overline{XA}$	输出	VRAM的CPU相关定时	
V_{ss}	输入	0　V	
V_{DD}	输入	＋5V	
AD0/$\overline{XR}$	输出	DRAM的CPU　RAS地址定时；	SRAM地址；
AD1/$\overline{XC}$	输出	DRAM的CPU　CAS地址定时；	SRAM地址；
AD2/$\overline{RAS}$	输出	DRAM的RAS；	SRAM地址；
AD3/$\overline{CAS}$	输出	DRAM的CAS；	SRAM地址；
AD5/AD0	输出		SRAM地址
AD6/AD1	输出	DRAM地址；	SRAM地址；
AD7/AD2	输出	DRAM地址；	SRAM地址；
AD8/AD3	输出	DRAM地址；	SRAM地址；
AD9/AD4	输出	DRAM地址；	SRAM地址；
AD10/AD5	输出	DRAM地址；	SRAM地址；
AD11/AD6	输出	DRAM地址；	SRAM地址；
AD12/AD7	输出	DRAM地址；	SRAM地址；
AD13	输出	SRAM地址；	
AD14	输出	SRAM地址；	
AD15/GPE	输出	SRAM地址	
		在Hercules方式里控制寄存器0位和1位的输出；	

信号名称	方向	功能			
LD4	输出	DB	主B(EGA)	B_0(线性RGB)	LD4
LD5	输出	DG			
LD6	输出	DR	给IBM的彩色监视器主G(EGA)		
			B_1(线性RGB)		LD5
			主R(EGA)	B_2(线性RGB)	LD6
	输出	DI	次G(EGA)	G_0(线性RGB)	LD7
LD0	输出	BFP			LD0
LD1	输出			G_1(线性RGB)	LD1
LD2	输出		次R(EGA)	G_2(线性RGB)	LD2
LD3	输出	视频	次B(EGA)	R_0(线性RGB)	LD3
BLA	输出	空白		R_1(线性RGB)	HSY
BST	输出			R_2(线性RGB)	SCK
CSY	输出	合成同步			VSY
HSY	输出	水平同步			(ECK)
VSY	输出	垂直同步			
ESY	输入/输出	对于内部同步			

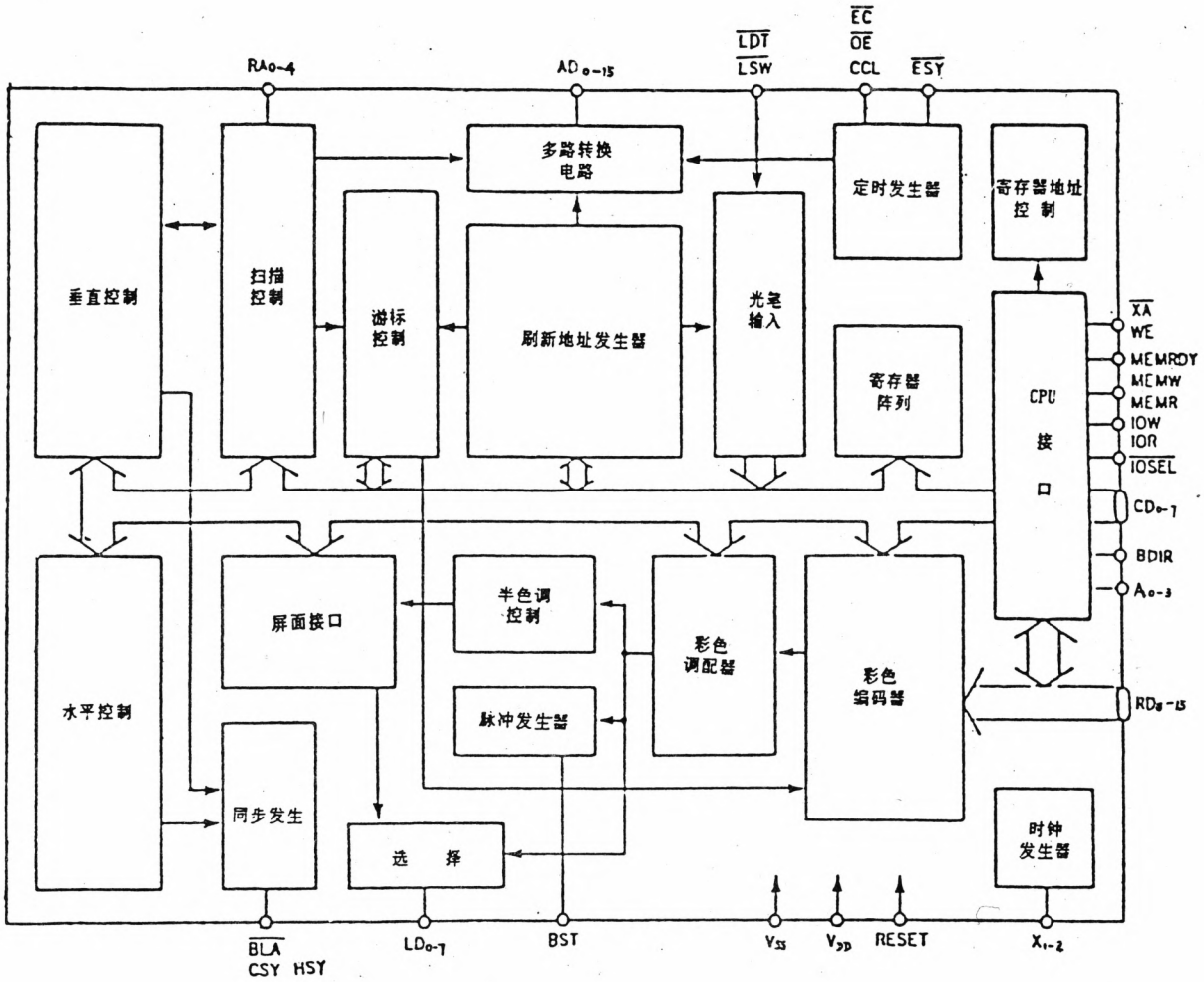
对于平板式



V6366引脚(100引脚)配置示意图



V6366引脚(84引脚)配置示意图



V6366 内部逻辑框图

μPD72067

软驱控制器

μPD72067 FDC(软驱控制器)，具有一般FDC上安装的电路和VFO电路。这样大幅度减少了零部件个数，减少了系统体积，提高了可靠性。

μPD72067和μPD765A/765B/7265，μPD72065/72065B/72066，支持一般的FDC命令，并能够和IBM的格式ECMA/ISO格式兼容。

特征：

.μPD765A/765B/7265和μPD72065/72065B/72066的命令兼容

.IBM disk 1（单面 128，256，512字节/扇区)兼容

.IBM disk 2（双面 256字节/扇区） 兼容

.IBM disk 2D(双面高密256，1024字节/扇区） 兼容

.ECMA/ISO小型软盘格式 兼容

.ECMA/66(ISO/TC 97/SC11 N419)……单面低密(256字节/扇区)

.ECMA/70(ISO/TC 97/SC11 N475)……双面高密(256字节/扇区)

.数据传输率:对高密软盘，驱动器，能够达到300RbPS

.备用功能

.具有产生上下限幅信号用的VFO(DPLL)

.具有写入补偿电路

.具有系统时钟发生电路

.能够安装VFO(μPD71065/71066也能)

.备用模式控制功能

.FM，MFM控制(读/写时用command<命令>设定)

.记录长度可变 128，256，512，1024，2048，4096， 8192字节/扇区

.multi-sector(多扇区)功能

.multi-track(多扇区)功能

.可以接4台软盘驱动器(单面/双面 低密/高密的4种组合)

.4台软盘驱动器可以同时进行寻道操作(驱动器在寻道过程中，

可以对其它驱动器发出寻道命令）

.可以指定读/写扇区的中间位置

.具有CRC校验功能

.可编程步进速度(用特殊指令指定)

.可编程加载磁头时间，卸磁头时间(用特殊指令指定)

端子名	I/O	功　　能	reset时的状态
RESET (复位)	I	置FDC为idle(空转)状态。 。驱动器接口，除WDATA(不定)外，都输出低电平 。与主系统(main system)相连的一侧INT，DRQ为低平，DB0－DB7处于输入状态。Reset(复位)后，FDC变为外部模式	
_RD	I	主系统(main system)从FDC读出数据的控制信号	
_WR	I	主系统(main system)向FDC写入数据的控制信号	
_CS	I	使_RD，_WR信号有效	
A0	I	地址总线末位，是用来选择FDC内部的状态寄存器、数据寄存器和辅助命令寄存器的。 A0＝0时，选择状态寄存器和辅助命令寄存器 A0＝1时　选择数据寄存器	

端子名	I/O	功　　能	复位时的状态
DB7-DB0	I/O	双向有三种状态的数据线	输入
DQR	0	双DMA方式传送数据的DMA请求信号	低电平
_DACK	I	DMA周期的许可(应答)信号	
TC	I	数据传送完毕的指示信号	
INDEX	I	指示驱动器的读/写头在磁道的物理开始点的位置的信号	
INT	0	向主系统(main system)输出的请求传送数据和处理运行结果的信号	低电平
DR0 DR1 (EM2, EM3	I/O	外部模式的时候，DR0，DR1成为决定数据传输率的输入信号。 内部模式时，EM2，EM3成为驱动器的主轴(spindle)方式的输出控制信号。 FDC在没有19MHZ时钟的情况下，(下拉XB1端子的情况)，DR1(EM3)端子必须下拉(pull down)	
EM0, EM1	0	输出驱动器的主轴(spindle)方式的控制信号	低电平

端子名	I/O	功　　能	复位时的状态
CLKOUT	O	用μPD71065/71066作为外部VFO的情况下，μPD71065/71066输出必要的时钟。 DR1＝0时，输出16MHZ时钟 DR2＝1时，输出19.2MHZ时钟	注1
RDATA	I	利用从驱动器的读出数据的时钟位和数据位构成的信号。读入时，WINDOW和RDATA如果不同时输入，则陷入死锁状态。	低电平
WE	O	指示向驱动器写入的信号。	低电平
SIDE	O	双面型驱动器，head0，head1的选择信号。 SIDE＝0时　选择head0 SIDE＝1时　选择head1	
US0，1	O	驱动器的选择信号，这些信号经过译码器后选择4台FDD中的一台	
WDATA	O	是用驱动器的写入数据的时钟位和数据位构成的	不定
FLTR/STEP	O	_RW/SEEK信号设定为_RW时，FLTR/STEP为FLTR，解除驱动器的出错状态。	低电平

端子名	I/O	功　　能	复位时的状态
		_RW/SEEK信号设定为SEEK时，FLTR/STEP为STEP，产生寻道脉冲(seck pulse)	低电平
LCT/DIR	0	_RW/SEEK信号设定为_RW时，LCT/DIR为LCT有效，指示驱动器的读/写头选择43柱面以下。 _RW/SEEK信号设定为SEEK时，LCT/DIR为DIR有效，指定SEEK(寻道)操作的方向，DIR＝0，为离心方向，DIR＝1，为向心方向。	低电平
FLT/TRK0	I	_RW/SEE信号设定为_RW时，FLT/TRKO为FLK有效，输入指示驱动器的出错状态的信号。_RW/SEEK信号设定为SEEK时，FLT/TRKO为TRKO有效，置驱动器的读/写头到柱面0，输入信号指示其位置。	
WPRT /2SIDE	I	_RW/SEEK信号设定为_RW时，WPRT/2SIDE为WPRT有效，输入信号指示介质(media)的禁止写状态。 _RW/SEEK信号设定为SEEK时，WPRT/2SIDE为2SIDE有效，输入信号，指示双面介质(media)的哪一面。	低电平
READY	I	指示驱动器准备好状态的信号	

端子名	I/O	功　　能	复位时的状态
HDLD	O	指示驱动器读/写头状态的信号	低电平
XA1	I	用内部VFO时(EXT＝0)，接32MHZ的水晶振子。 用外部VFO时，输入到XA1端子上(XA2端子悬县空)。	
XA2	—	用外部VFO时，(EXT＝1)，接16MHZ的水晶振子。 用外部时钟时，输入到XA1端子上(XA2端子悬空)	
XB1	I	当用300kbps的数据传输率时，接19.2MHZ的水晶振子。 当用外部时钟时，输入到XB1端子上(XB2端子悬空)	
XB2	—	当不用300Kbps的数据传输率时，请把XB1接地中	
FMT(MFM)	I(O)	外部方式下是FMT，输入信号，选择IBM格式或ECMA格式 FMT＝0　选择IBM格式　FMT＝1　选择ECMA格式，内部方式下的格式用选择格式命令来设定。	

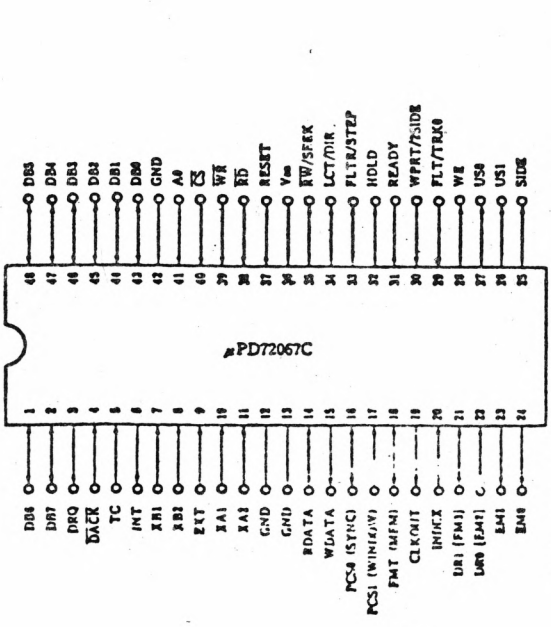
端子名	I/O	功　　能	复位时的状态
		在内部方式下，EXT＝1时FMT(MFM)端子是MFM有效，输出信号，指定外安装VFO电路的操作方式 (EXT＝0时，无意义)　MFM＝0　指定FM方式　　MFM＝1　指MFM方式	
PCB0 (SYNC)	I/O	外部方式下是PCB0有效，输入信号决定预校准量(precompensation) 内部方式下，EXT＝1时，是SYNC有效，输出信号，表示FDC的操作方式(SYNC＝0　停止数据读操作；SYNC＝1　正在读数据)EXT＝0时无意义。	
PCB1 (WINDOW)	I(I)	外部方式下是DCB1有效，输入信号决定(pre-compensation) 内部方式下，EXT＝1时，WINDOW有效。输入用外安装VFO电路产生的信号。该信号是为了取样RDATA的时钟位和数据位而使用的。对时钟位和数据位的判断在FDC内部进行 EXT＝0时，无意义。	
EXT	I	内部方式时，输入信号，决定用内部VFO电路还是用外安装VFO电路。	

端子名	I/O	功　　能	复位时的状态
		(μPD71065/71066等)。EXT＝0 用内部VFO电路　EXT＝1，用外安装VFO电路。外部方式下，该信号无意义。	
_RW/SEEK	0	驱动器接口信号之一，该信号区分是用R/W还是用seek。 _RW/SEEK＝0时，用_RW _RW/SEEK＝1时，用SEEK(寻道)	低电平
VDD	—	接电源正极	
GND	—	接地	

注1　内部方式下，EXT＝0时，低电平　　EXT＝1时，输出时钟
　　外部方式下，为低电平

注2　内部方式下，使用VFO的情况时，通常固定上拉和下拉的输入电平。

注3　2406、2403封装为48脚双列直插式封装。

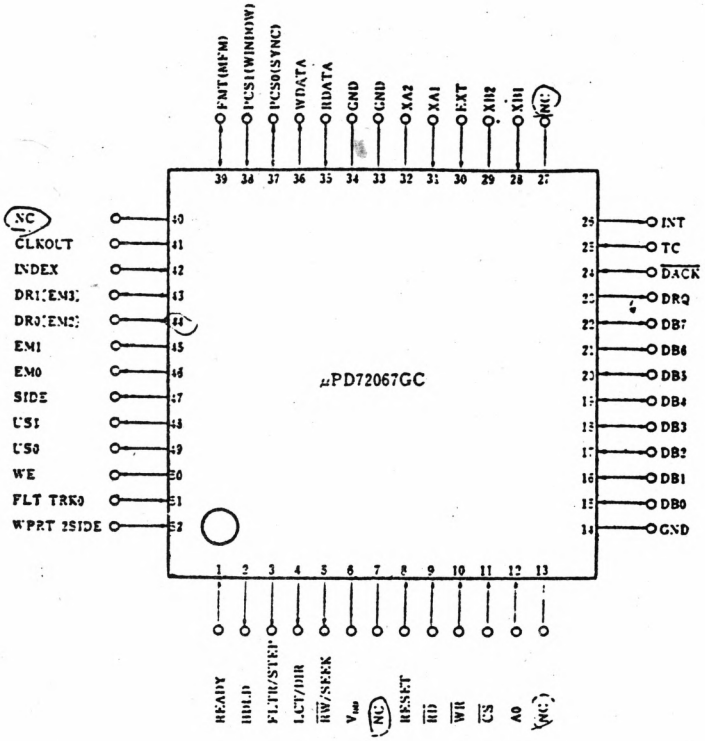


( ) 内は外付けVFOを使用するとき (内部モードでEXT=1のとき)

[ ] 内は内部モードのとき

DB0-7	: Data Bus	A0	: A0
DRQ	: DMA Request	CS	: Chip Select
DACK	: DMA Acknowledge	WR	: Write
TC	: Terminal Count	RD	: Read
INT	: Interrupt Request	RESET	: Reset
XB1,2	: Crystal B 1,2	RW/SEEK	: Read Write/Seek
EXT	: External VFO	LCT	: Low Current
XA1,2	: Crystal A 1,2	DIR	: Direction
GND	: Ground	FLTR	: Fault Reset
RDATA	: Read Data	STEP	: Step
WDATA	: Write Data	HDLD	: Head Load
PCS0,1	: Precompensation	READY	: Ready
SYNC	: VFO Synchronize	WPRT	: Write Protected
WINDOW	: Data Window	2SIDE	: Two Side
FMT	: Format	FLT	: Fault
MFM	: MFM Mode	TRK0	: Track 0
CLKOUT	: Clock Output	WE	: Write Enable
INDEX	: Index	US0,1	: Unit Select 0,1
DR0,1	: Data Rate 0,1	SIDE	: Side Select
EM0-3	: Enable Motor 0-3		

· 2401H封装为扁平封装。



( ) 内は外付けVFOを使用するとき（内蔵モードでEXT＝1のとき）
( ) 内は内蔵モードのとき

NC : Non-Connection

MC146818高性能实时钟RAM(RTC)

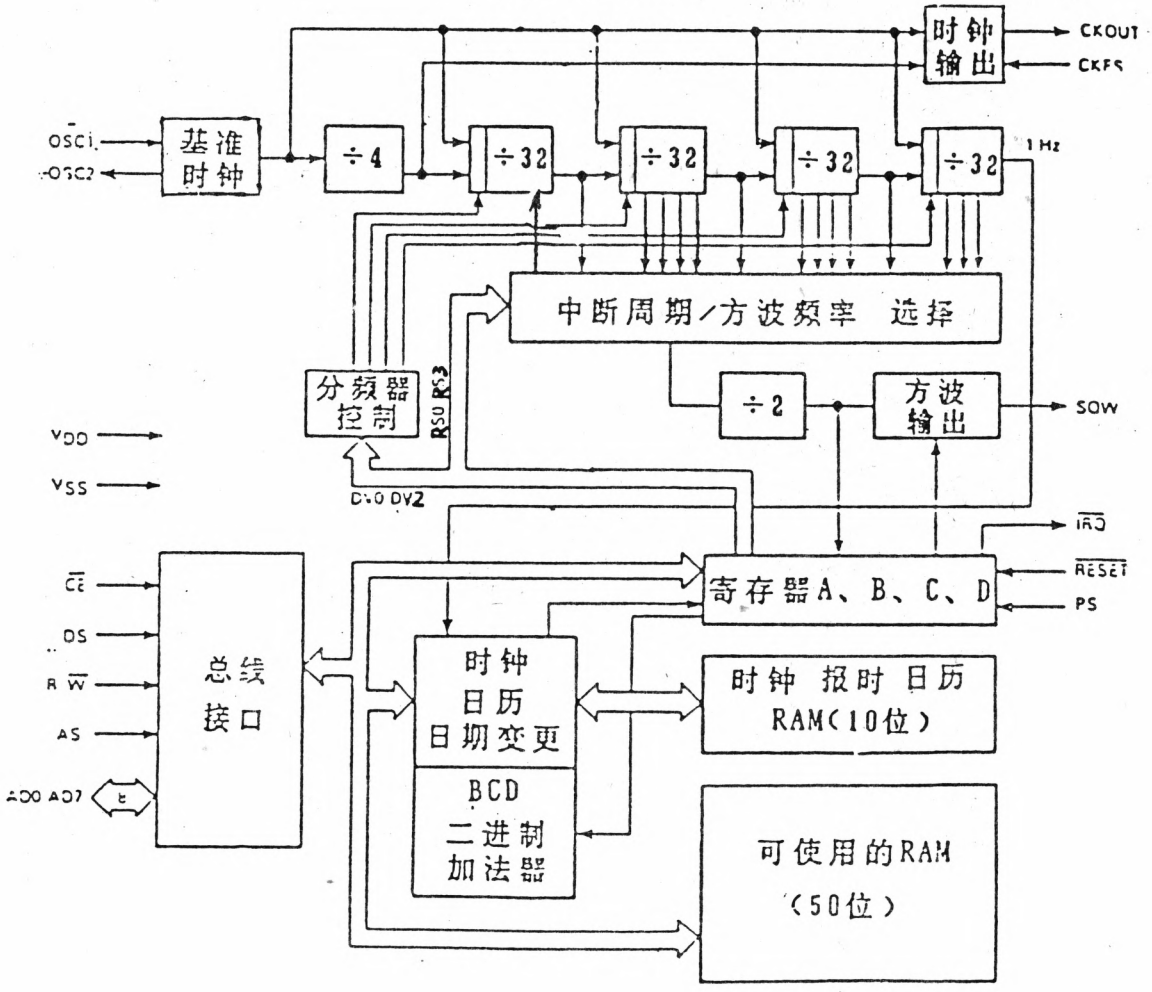
MC146818实时钟RAM具有独特的MOTEL的概念，它应用于各种微机处理器、微型计算机和大型计算机，它具有三个特点：一个完整的可报时的时钟和100年的日历； 可编程周期中断和方波产生器，以及50位低电压静态RAM。 MC145818使用1MHZ的微处理器和高速CMOS总线接口，只耗极少的电能。

该实时时钟RAM有两个特点，首先，CMOS由电池供电(在一种NMOS/TTL系统)，具有电池保护功能。例如:RAM时间，日历。 另外，MC146818可与CMOS微处理器共同使用，以减少软件计时的工作负荷，并可扩展成象MC146805EZ这样的芯片的MPU的RAM内存。

.低能耗、高速度、高密度CMOS
.内部时基和振荡器
.每一天的分、秒、小时
.计算星期、日、月、年
.有效电压3V－6V
.时基输入选择:4.19430MHZ,1.048576MHZ或32.768MHZ
.时基振荡器由双晶振提供
.在低频时基工作时，典型的功耗为40－200μW
.在高频时基工作时，典型的功耗为4.0－20mW
时间、日历和报时的二进制或BCD码输出
.带有MA及PM标志的12小时输出和24小时时钟输出
.白天存储时间选择
.自动结束月份识别
.自动提供闰年补偿
.与微处理器总线兼容
.BUS采用MOTEL电路
.提高管脚效率复用总线结构
.作为软件接口的64个RAM地址
.14字节时钟和控制记录
.50字节一般用途的RAM

.状态位表示出完整的日期
.(IRQ)中断信号与总线兼容
.三个中断由独立的软件控制和检测
 报时功能由每秒一次至每天一次
 周期变化率从30.5μs—500ms
 时间的循环更新
.可编程的方波输出信号
.时钟输出可作为微处理器的时钟输入
 时钟频率由÷1—÷4
.24管脚双通道封装
.提供芯片包装

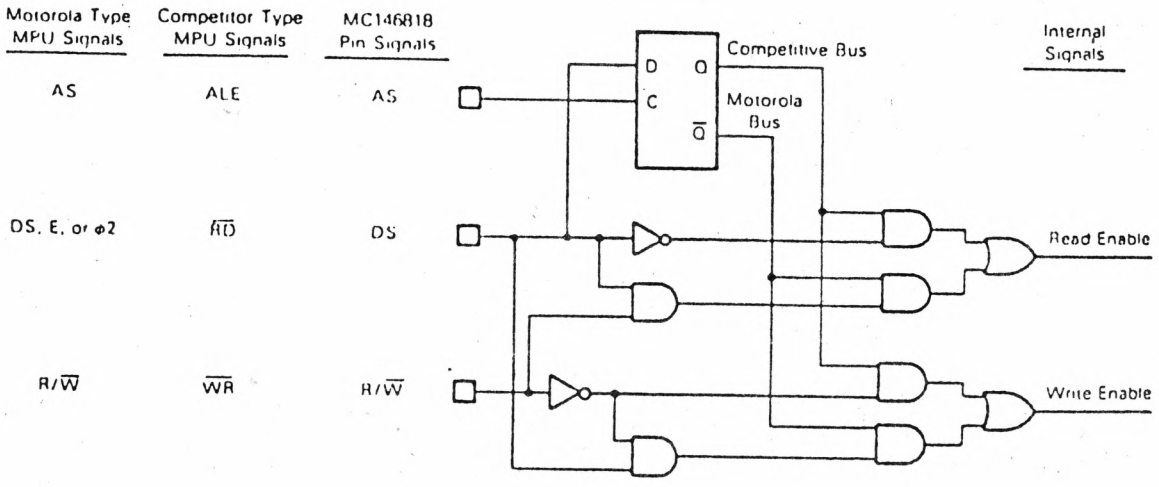
FIGURE 1 — BLOCK DIAGRAM



Motcl电路具有一种全新的概念，它允许MC146818同多种微处理器直接连接，对不同的普通多路总线控制信号，不需采用额外的逻辑电路。

实际上，所有的微处理器接口都同两种同步的总线结构之一相接，一种总线由Motorola Mc6800产生，另一种总线由Intcl 8080及其协处理器8228产生。

Motcl电路(即Motorola和Intc(总线兼容)被植入外设和存贮器IC，使之可与其它总线直接连接，现在已有一种标准的工业总线结构，Motcl概念的逻辑图如下



Motcl(选择了两个管脚的两种形式的其中一种，在Motorola的产品中，DS和R/W一起选通产生内部读使能信号，其内部的写使能信号的选通由一个与R/W相反的电平提供。RD及WR的转变识别出内部读写使能信号，解决了总线拥挤的情况。

MC146818通过AS/ALE寄存DS/RD脚的状态，自动选择处理器的类型，因为在AS及ALE时，DS总是低电平，RD总是高电平，寄存器自动表明与哪一种处理器相连接。

信号说明

图1 所示的框图 表示出MC146818高性能实时钟RAM的主要内部功能的管脚连接，以下描述各管脚功能

V_{DD} V_{SS}－电源信号 输入信号

直流电源通过此两管脚供给芯片，V_{DD}为正电压

OSC1， OSC2－时基 输入信号

它是由外部信号或晶体振荡器产生计时功能的时钟频率。频率为4.194304MHZ 1.048576MHZ和32.768KHZ的方波输出可与OSC1连接，内部的时基频率由寄存器A决定

CKOUT－时钟输出 输出信号

CKOUT脚是一个一分频或四分频的时基频率输出信号。CKOUT的主要用途是作为微处理器的输入时钟(信号)，补偿第二个晶振的损失。

CKFS－时钟输出频率选择，输入信号

当CKFS端与电压VDD连接，CKOUT输出频率与OSCI端时基频率一样，当CKFS端与VSS连接，CKOUT输出频是OSCI时基频率的4分频。

SQW－方波信号 输出信号

它可输出15种类型的由内部分频器产生的方波信号。 SQW的输出频率由寄存器A决定。SQW信号的关断由寄存器B的SQWE位决定。

AD_0－AD_7－复用双向数据/地址总线

复用总线处理器可节约管脚，在总线周期第一周期，其管脚作为地址线用，第二周期作为数据线用，数据和地址复用并不减慢MC146818的存取时间， 因为总线由地址到数据的转换与内部RAM的存取同时进行。

地址信号在AS/ALE信号下降沿到来之前有效，此时，MC146818锁存从AD0－AD5的地址。在DS和WR信号有效时，写入数据有效并保持。在读周期内MC146818在DS或RD信号有效后，输出8位数据，然后，在Motorola的Motel产品的DS的下降沿或其它的RD的上升沿到来时， 停止驱动总线(总线处于高阻状态)

AS－复用地址选通，输入信号

复用地址选通脉冲高电平有效，它可使总线信号分离。在AS或ALE信号下降沿时MC146818内部的地址加载到总线， MC146818内部的自动MOTEL电路也随之转换DS端的状态。

DS－数据选通　输入信号

DS端具有MOTEL电路的两种形式，若用于Motorola生产的处理器，在总线周期的后一个周期内，DS是正脉冲。 在读取时DS表示RTC驱动双向总线的时间，在写入时在DS的上升沿，实时钟RAM装载数据。

DS的第二种MOTEL电路形式，它可是由竞争处理器中的DR　MEMR和I/OR组合产生的，在这种情况下，当实时钟RAM驱动总线读数据时，DS表示时间阶段，这种DS形式也与一种典型的存贮器输出使能信号相同。

在MC146818K　Motcl电路在AS/ALE信号的下降沿转换DS脚的状态。在采用AS/ALE的Motorola复用总线处理器中、 ADTEL模式电路要求DS为低电平。

在AS/ALE为高电平时，为了确保MOTEL的竞争模式， DS必须保持高电平。

R/W－读/写　　输入信号

MOTEL电路用以下2种方法之一产生R/W， 当使用Motorola的处器器产品时，R/W的电平指出当前的循环是读还是写。当DS为高电平，读取时，R/W为高电症，相的反，写入时R/W为低电平。

第二种　R/W的形式，是作为负写脉冲，它帅竞争类处理器中的WR、MEMW和I/OW组全产生的，在这种模式中，MOTEL电路给了R/W信号端同样的含义，在许多一般的RMA中，它是负写脉冲。

CE－片选　　输入信号

在总线周期中，MC146818被使用、CE必须是保持(Motorola的MOTEL模式)和在RD和WR状态下(其它的MOTEL模式) CE信号必须保持稳定，不被锁存无CE信号时，总线周期内将不会引起MC146818内部的任何操作，当CE为高电平，复用总线的输出是一个高阻状态。

当CE为高电平，从处理器发出的所有地址、数据、DS、 及R/W信号在MC146818中都未被接受，这使得MC146818同掉电的处理器隔离。

当CE保持高电平，一个未加电的外设不能通过时实钟电源的输入端得到电能，当它电源中断时，电池的电能消耗将通过使用电阻或箝制CE来降低，CE不用时，应将之接地。

IRQ－中断申请　输出信号

IRQ端为MC146818的低电平输出， 它可用作处理器的中断输入信号，只要静态位提出中断申请，并且中断响应使能位已被设置，那么IRQ信号的输出将保持低电平， 当IRQ端请0时处理器程序一般读取寄存器C，RESET位在中断期间也被清零。当没有中断申请时， IRQ为高阻状态。在处理器中，多种中断外设通过上拉方式同IRQ总线连接。

RESET－复位、输入信号

RESET端不影响时钟，日历和RAM等功能， 来电时RESET在TRLH时间内保持低电平，以确保电源供给正常。

当电源掉电、以下情况发生

a)周期中断(PIE)位被请为零

b)报警中断(AIE)位被请为零

c)数据装载中断(UIE)位被请为零

d)数据装载标志(UF)位被请为零

e)中断请求标志(IRPF)位被请为零

f)周期中断标志(PF)位被请为零

g)报时中断标志(AF)位被请为零

h)IRQ端为高阻状态

i)方波输出(SPWE)位被请为零

PS－电源识别、输入信号

电源识别，是控制寄存器D中的有效RAM和时间(VRT)位。 当PS端为低电平，VRT位被请零。

如果来电时，使用URT功能，PS端必须在TPLH时间内保持低电平。

当电源正常时，VRT位为零，则表示RAM时间存贮器，日历不被保证，如果电源来电，允许VRT位由寄存器D来设置，那么PS必须是高电平。

2503 打印系统控制部分

打印系统的控制部分主要用CITIZEN公司的专用门阵列P2503，完成并行口控制、数据接收、I/O地址译码、打印针通电、回针信号的控制、系统时钟分频等。

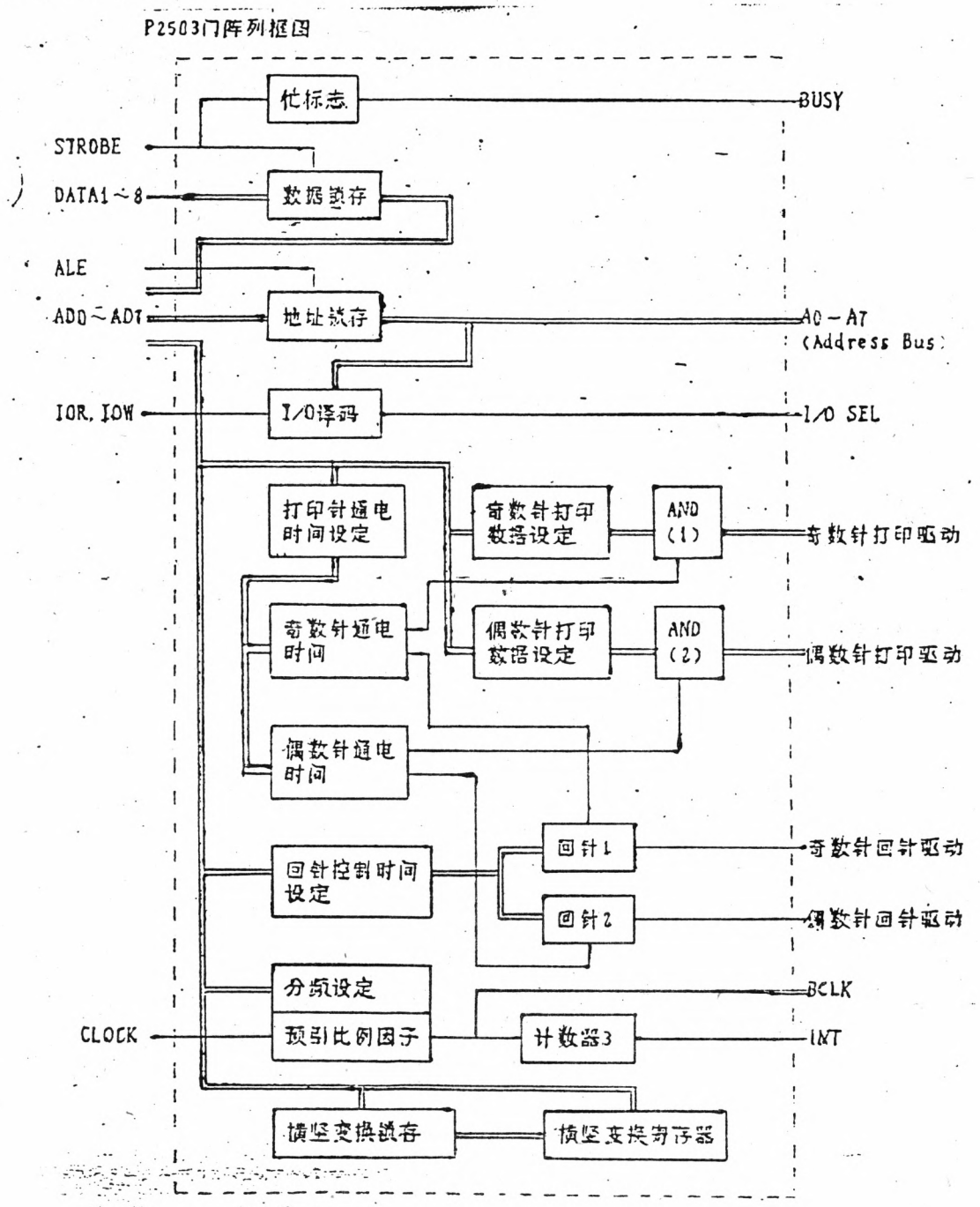


图3.6 P2503框图

*数据锁存、忙信号

并行口的STROBE信号为并行口DATA1—DATA0数据锁存，BUSY信号为高电平表示打印机处于忙状态，BUSY信号为低，表示打印机空闲，可以通过并口接收新数据。

*地址锁存

地址锁存信号ALE，用来把地址从地址/数据总线上分离出来，MS—2406打印系统没有用此功能，采用SG—8801门阵列地址和数据的分离。

*I/O译码

I/O地址译码，范围为00H—1FH，A15也可以参加译码，可以改变译码范围。

*打印针通电时间设定

打印针通电时间的长短。

*奇数(偶数)针通电触发。

在设定通电时间后，触发通电。

*奇数(偶数)打印数据锁存

打印针数据锁存，分成两部分，奇数针和偶数针。通电触发前可能分几次设定。

*AND(1)、(2)

打印针数据、通电时间信号相与。送到打印针驱动电路，奇、偶各有12位，共有24位。

*回针时间设定

打印针回针时间设定。

*时间1，2

这是时间1，时间2是门阵列P2503定时用，与系统V40中定时/计数器不一样。

打印针通电时间计时结束时，回针设置的时间开始计时，去驱动回针电路。回针部分开始工作。

*分频比例因子设定

把CPU的时钟，进行分频，用户可编程。分频所得到的时钟作为P2503计数基本时钟，也可以送回V40，作为V40定时/计数器计数基本时钟。

*时间3

定时/计数器3是具有较广泛用途，可以用软件设定，作为V40中断信号。打印系统中把它作为双口RAM定时中断CPU，去查询双口RAM。

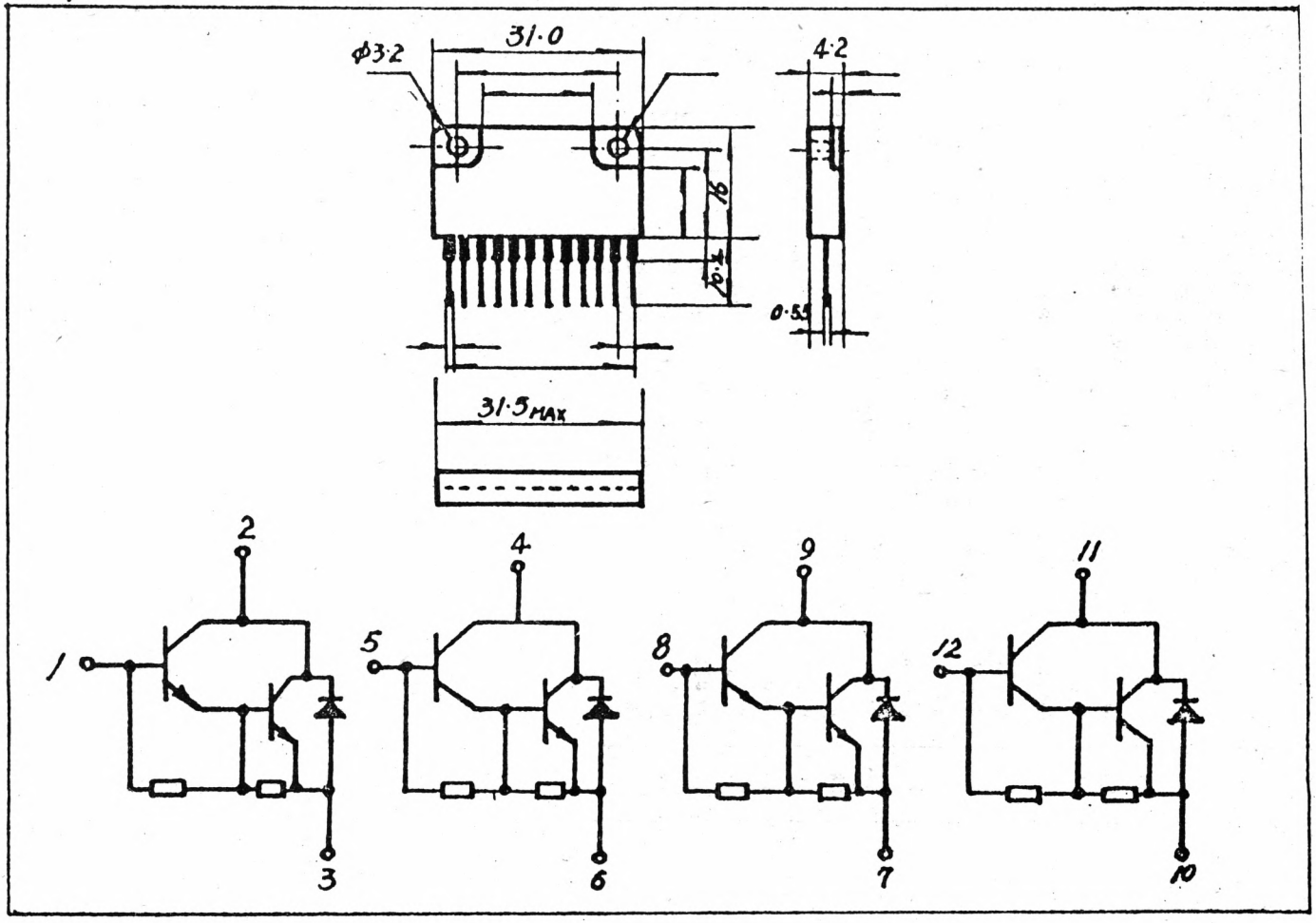
2503 管 脚 说 明

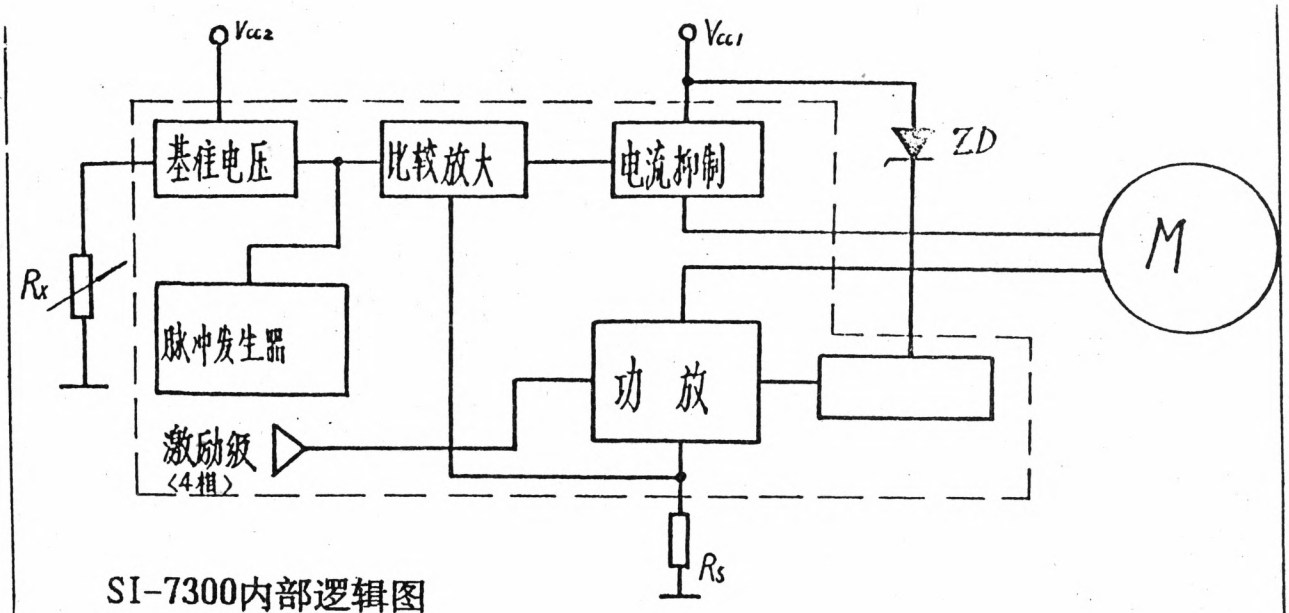
PIN	SYMBOL	IN/OUT	FUNCTION
1	ESEL	IN	STROBE边缘触发选择
2	STROBE	IN	并口数据
3	VCC		＋5v(电源)
4	BXO	IN	
5	DX1	IN	
6	DX2	IN	
7	DX3	IN	
8	DX4	IN	
9	DX5	IN	并口初始化信号
10	DX6	IN	并口自动走纸信号
11	DX7	IN	并口选择输入信号
12	CLK	IN	内部时钟
13	/TOW	IN	I/O写
14	/IOR	IN	I/O写
15	GND		OV(地)
16	ALE	IN	地址总线锁存
17	AD0	I/O	地址/数据总线
18	AD1	I/O	地址/数据总线
19	AD2	I/O	地址/数据总线
20	AD3	I/O	地址/数据总线
21	AD4	I/O	地址/数据总线
22	AD5	I/O	地址/数据总线
23	AD6	I/O	地址/数据总线
24	AD7	I/O	地址/数据总线
25	AD15	IN	地址线

PIN	SYMBOL	IN/OUT	FUNCTION
26	_reset	IN	复位信号
27	DATA1	IN/OUT	数据总线
28	VCC		+5V
29	DATA2	IN/OUT	数据总线
30	DATA3	IN/OUT	数据总线
31	DATA4	IN/OUT	数据总线
32	DATA5	IN/OUT	数据总线
33	DATA6	IN/OUT	数据总线
34	DATA7	IN/OUT	数据总线
35	DATA8	IN/OUT	数据总线
36	NC		
37	NC		
38	NC		
39	NC		
40	GND		地
41	NC		
42	NC		
43	NC		
44	NC		
45	NC		
46	_WP1	OUT	时序信号
47	_WP2	OUT	时序信号
48	_WP3	OUT	时序信号
49	TMINT	OUT	时序出错信号
50	H11	OUT	针驱动数据

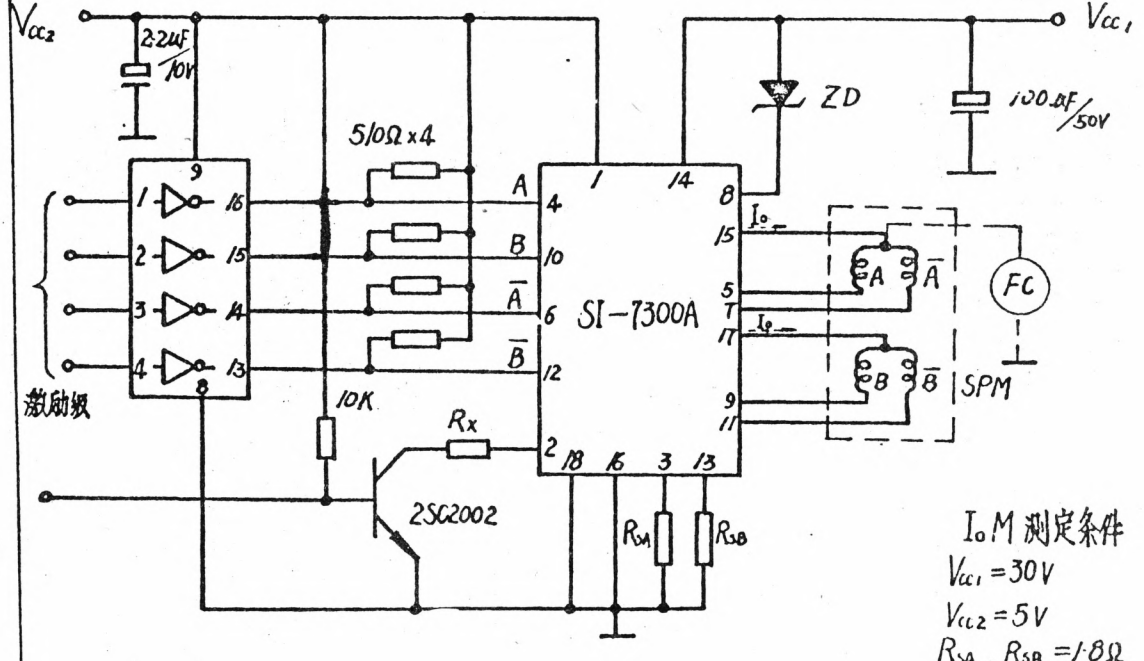
PIN	SYMBOL	IN/OUT	FUNCTION
51	HPD18	OUT	打印针驱动数据
52	HPD19	OUT	打印针驱动数据
53	VCC		打印针驱动数据
54	HPD20	OUT	打印针驱动数据
55	HPD7	OUT	打印针驱动数据
56	HPD21	OUT	打印针驱动数据
57	HPD17	OUT	打印针驱动数据
58	HPD15	OUT	打印针驱动数据
59	HPD9	OUT	打印针驱动数据
60	HPD5	OUT	打印针驱动数据
61	HPD1	OUT	打印针驱动数据
62	HPD3	OUT	打印针驱动数据
63	HPD12	OUT	打印针驱动数据
64	HPD16	OUT	打印针驱动数据
65	GND		打印针驱动数据
66	HPD20	OUT	0V(地)
67	HPD24	OUT	打印针驱动数据
68	HPD6	OUT	打印针驱动数据
69	HPD10	OUT	打印针驱动数据
70	HPD0	OUT	打印针驱动数据
71	HPD2	OUT	打印针驱动数据
72	HPD22	OUT	打印针驱动数据
73	HPD18	OUT	打印针驱动数据
74	HPD14	OUT	打印针驱动数据
75	HPD4	OUT	打印针驱动数据
76	PLSA	OUT	偶数针回针控制
77	PLSB	OUT	奇数针回针控制
78	VCC		+5V(电源)
79	PB0	OUT	
80	PB1	OUT	
81	PB2	OUT	
82	PB3	OUT	
83	PB4	OUT	
84	PB5	OUT	并口输入信号寄存器片选
85	PB6	OUT	并口选择信号
86	PB7	OUT	并口纸尽信号
87	HERR	OUT	打印针出错号
88	/RP2	OUT	传感器寄存器片选
89	/RP3	OUT	
90	GND		0V(地)
91	BUSY	OUT	并行口忙信号
92	BCLK	OUT	计数器基时钟
93	PA0	OUT	并口打印机出错
94	PA1	OUT	并口应答信号
95	PA2	OUT	
96	PA3	OUT	
97	PA4	OUT	
98	PA5	OUT	
99	PA6	OUT	
100	PA07	OUT	

SLA4070





SI-7300内部逻辑图



Io M 测定条件

V_{cc1} = 30V

V_{cc2} = 5V

R_{SA} . R_{SB} = 1.8Ω

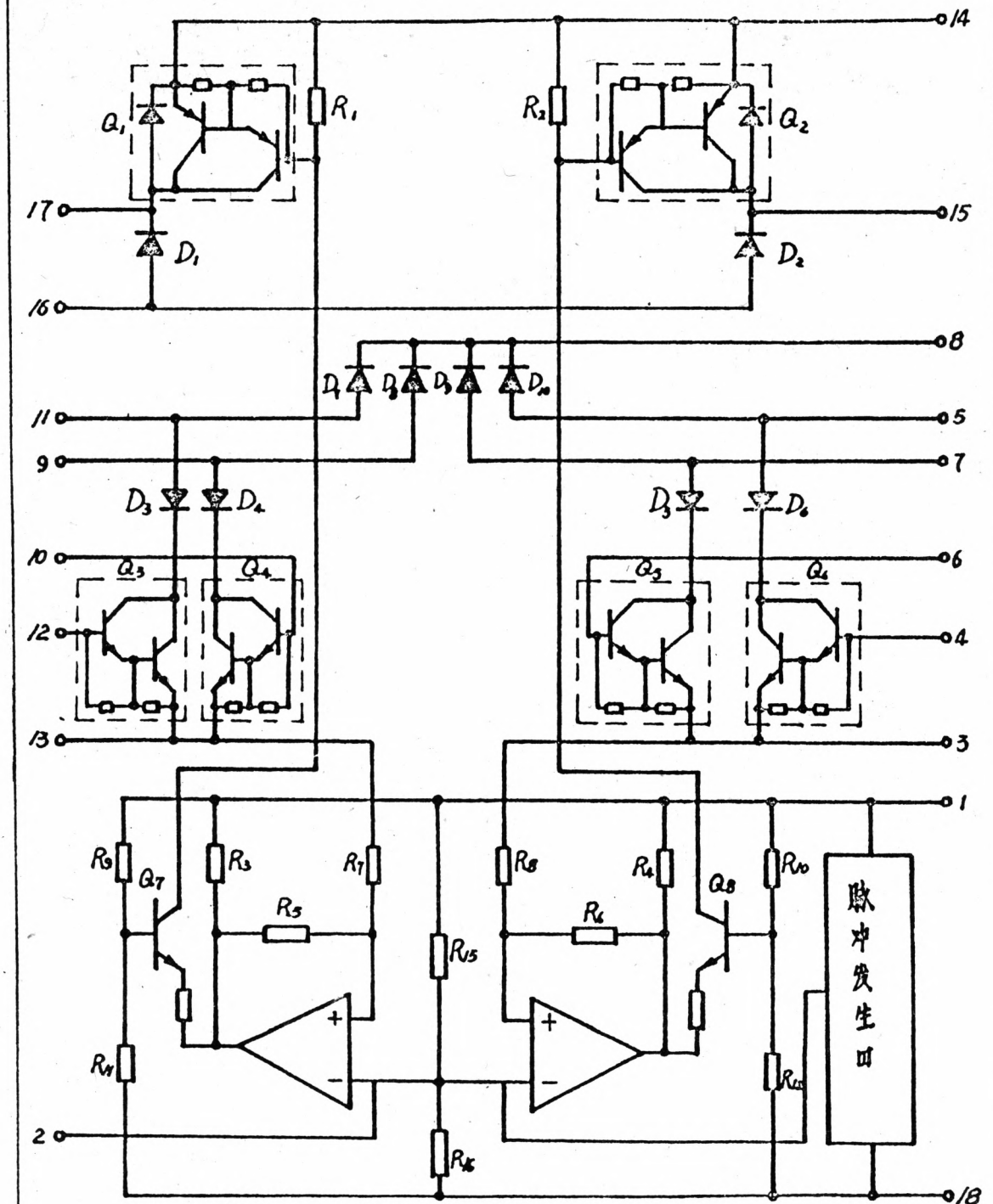
SPM · R_m = 3.6Ω

L_m = 9.0 mH

ZD : V_Z = 60V

SI-7300接线图

SI—7300A



SI-7300内部布线图

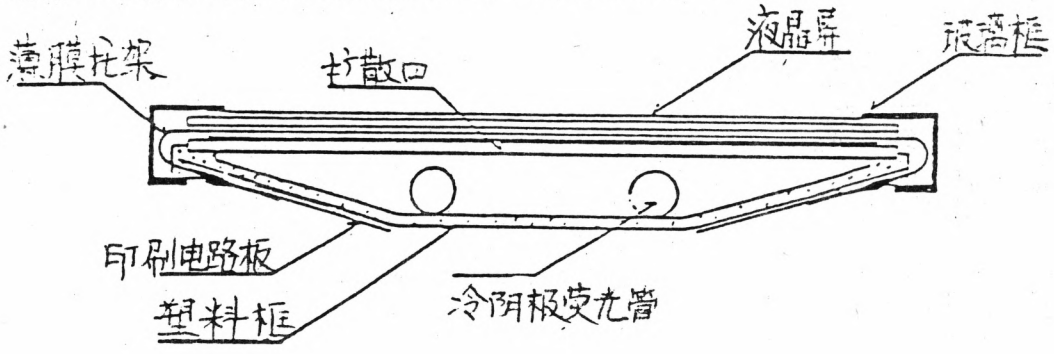
LCD 技 术 资 料

1.应用

此数据是介绍LCD单元LM64135T点阵矩阵的规格。

2.结构

液晶显示屏是由640×400全点阵象素显示单元组成，包括一个液晶板，一个包括电子无件的PWB(印刷电路板)，以及连接到LCD板，PWB电路CCFT背景光及外围塑料框架的TAB(绝缘屏蔽带)。

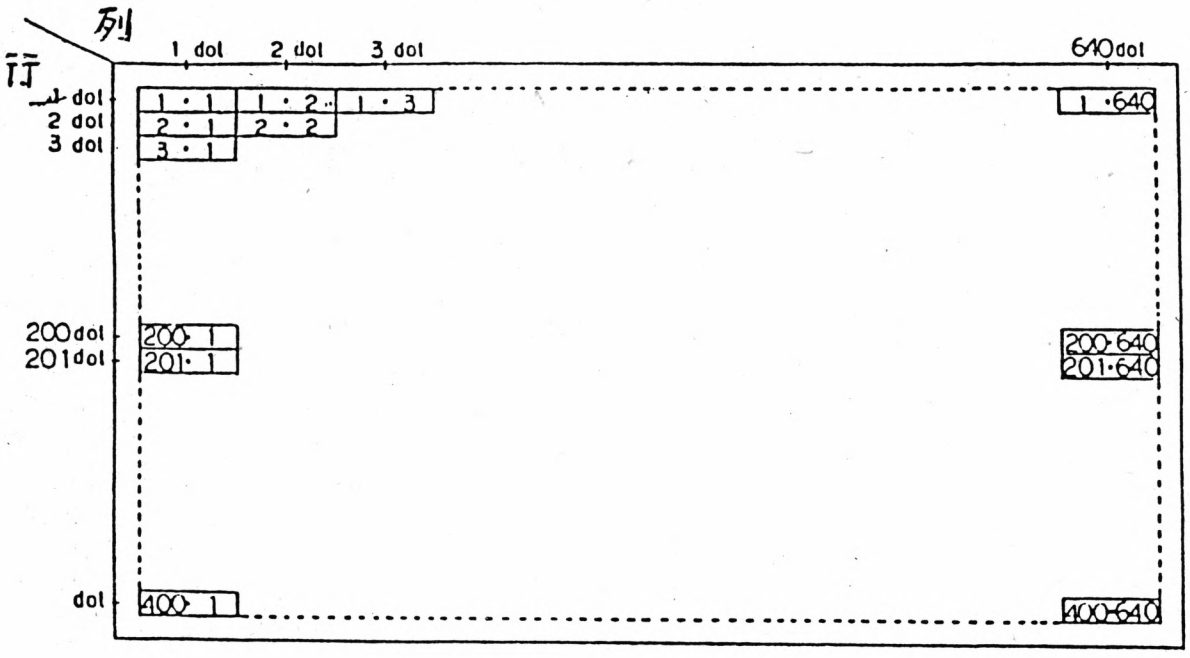


3.接口信号

管脚号	信号名	说　　明	电　平
1	S	描起始信号	动态
2	CP1	输入数据锁存信号	高态→低态
3	CP2	输入时钟	高态→低态
4	NC	——	——
5	NC	——	——
6		提供给逻辑电路和LCD的电源	——
7	VSS	地电位	——
8	V	LCD电源	——
9	DU0		
10	DU1	显示数据信号(上半部)	高态，低态
11	DU2		
12	DU3		

管脚号	信号名	
13	PL0	
14	DL1	
15	DL2	显示数据信号(上半部) 高态，低态
16	DL3	

4.显示单元象素图



注意：1·2意思是第一行，第二列象素

5.部件驱动原理：

*电可擦屏幕是由两个显示段组成(上段、下段)，以便可以通过减小驱动占空比提供较高的对比度。每一显示段(640×200点)被驱动的占空比为1/200。

*LCD驱动器是80位的LSI，是由移位寄存器、锁存电路以及LCD驱动器电路组成。

被外部分配给每行(640点)的显示数据，通过移位寄存器，以4位并行

数据的形式，由时钟信号CP2顺序地从显示屏幕的左上方传输。当每行(640点)数据输入后则被锁存信号CPI锁存成并行数据形式，对应信号电极的640线，对应的驱动信号将由LCD驱动电路传送到LCD屏幕行电极的640线。与此同时，扫描信号驱动器发出扫描起始信号S到扫描电极的第一行，根据电压的合成而运用LCD的扫描和信号电极，将数据信号的内容分别显示于屏幕上半部、下半部的第一行。在第一行被显示期间，数据的第2行被装入。当数据的640点都被传送后，由CPI 的下降沿锁定，屏幕继续显示第二行。

如此的数据输入将周而复始重复到每一段的200行，从上半部到下半部，根据时间共享原理而完成显示的一帧。

扫描起始信号S产生扫描信号去驱动水平电极

为了避免闪烁感，屏幕显示采用的是70－76HZ/帧

因为DC电压用到LCD屏幕上，产生化学反应将毁坏LCD屏幕，而采用控制信号M就可以在每一显示帧翻转驱动波形从而避免了用DC电压的那种情况。

因为CMOS驱动器LSI的特性，随着运行频率的增加，部件的电源功耗上涨。为此驱动器LSI采用通过移位寄存器的4根线传送4位并行的数据以减低数据传送速度CP2这样一个系统。这样，部件的功耗将降到最小。

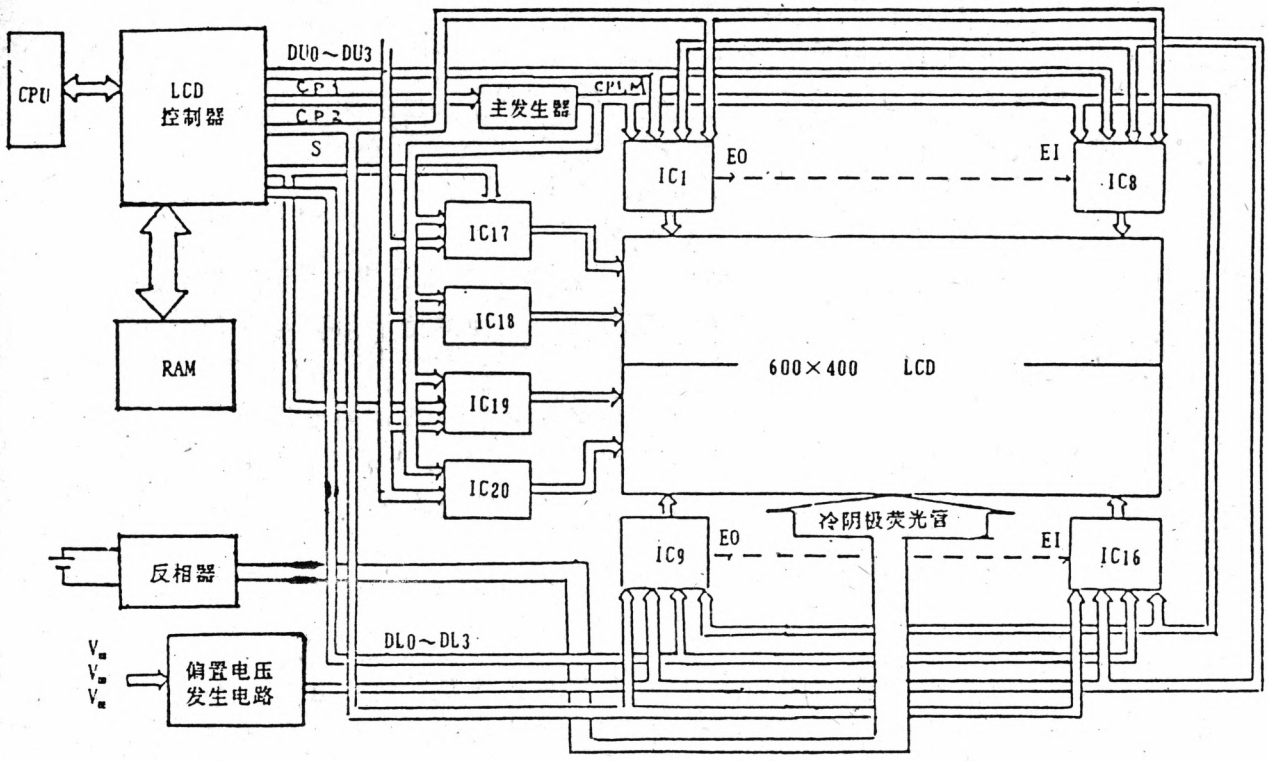
在这个电路配置里，4位显示数据被送到DU_{0-3}(高显段)和DL_{0-3}(低显段)的数据输入腿。

且LCD部件为了数据输入降低功耗而采用了总线线路系统。在这个系统里，只有当相关数据输入被馈送时，每一驱动器LSI的数据输入终端才有效。

对于上半部和下半部的数据输入，显示段驱动器LSI的片选如下所示；

在显示屏幕左侧尾端驱动器LSI端是第一个被选择，紧靠右边的驱动器LSI当80点数据(20CP2)馈入时才被选择。这个过程不断地进行下去直到 有数据送到位于显示屏面右侧尾端的驱动器LSI为止。此过程在列驱 动器LSI的上半部和下半部显示段是同时进行的。这样对于上半部和 下半部两显示段的数据输入必须通过4位总线线路从显示屏幕

的左边 尾端顺序馈送。因为这个图形显示部件里不含有刷新RAM，故其需要数据和定时脉冲以满足静态显示。



LCD 发生器电路框图

数据传送格式

一个数据是由11位(其中一个低电平的起始位，一个奇校验，一个高电平的停止位)组成。

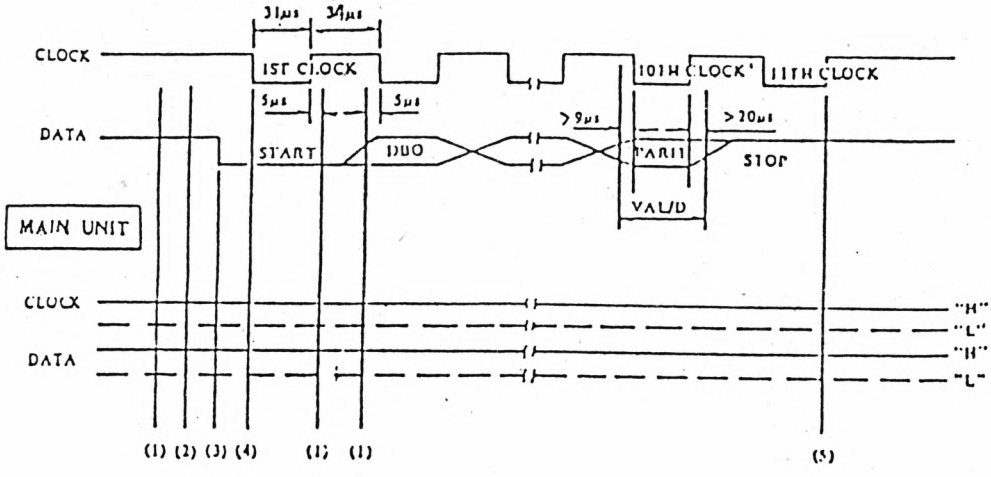


图1　　数据传送格式

(1)键盘在数据传送之前即时鉴别CLOCK线。

如果信号是：

"H" 它判定是否传送，并继续到(2)；

"L" 它停止传送，并将数据线变为高电平；

当CLOCK线被检测后，在CLOCK脉冲尾端前的5μs和CLOCK信号有效后的5μs这一区间里，执行上述判定。

但对第一个CLOCK是不执行检测的。

(2)5μs之后，对数据线检测

如果信号是

"高电平" →判定传送是可能的；

"低电平" →判定从主部件来了RTS并按照规定开始接收。

(3)在传送使能被确认后，键盘传送数据。

(4)用CLOCK同步传送11位数据，如图3.1所示；

(5)数据传送完之后，电路还将CLOCK和DATA线路保持高电平；

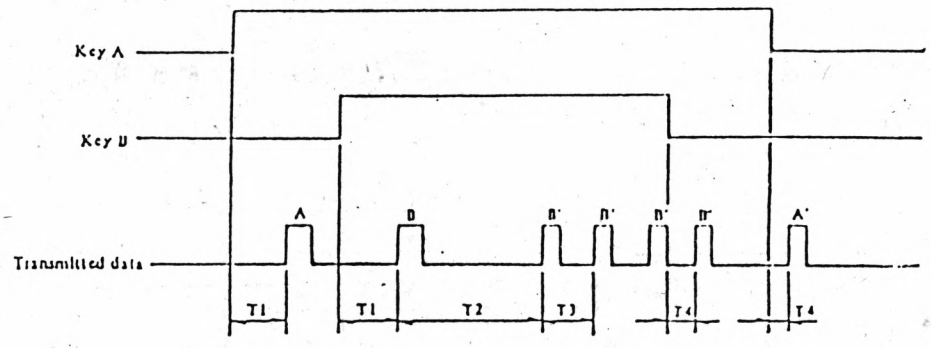


图2　　键的传送时序

$T_1 = 10 - 15ms$
$T_2 = 500ms$
$T_3 = 100ms$
$T_4 = 0 - 5ms$

A：按下A键
A"：释放A键
B：按下B键
B"：释放B键
B'：

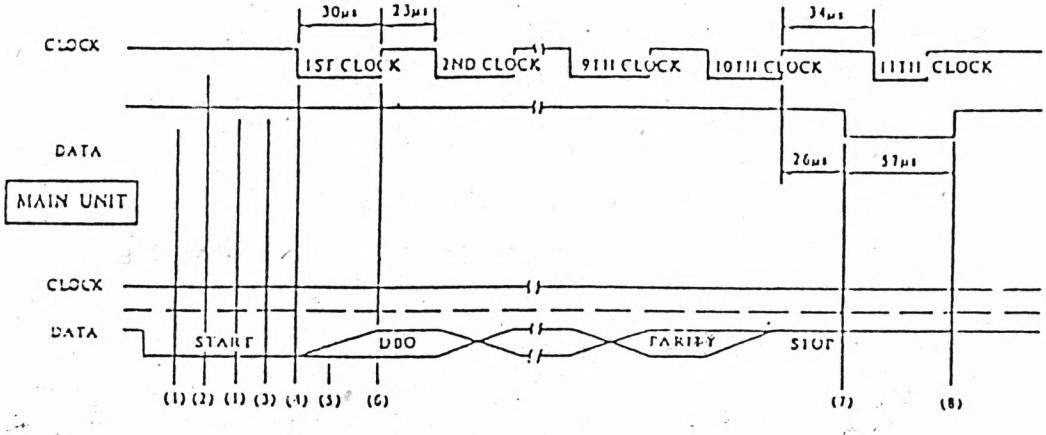


图3　　数据接收格式

(1) 键盘鉴别数据(DATA)线

如果信号为：

“低电平” →判定有请求从主部件发出；

“高电平” →判定没有请求从主部件发出；

(2) 键盘鉴别时钟(CLOCK)线

如果信号为：

“高电平” →开始接收

“低电平” →停止接收

(3) 键盘接到START位；

(4) 键盘输出CLOCK低电平约30μS；

(5) 主部件在接收到键盘发来的CLOCK低电平上转换数据；

(6) 键盘将CLOCK转换为高电平并接收数据；

(7) 键盘在接收到的STOP位上，将数据线转换成低电平("L") 通知接收完成的主部件。

(8) 在数据接收完成后，键盘保持CLOCL线和DATA线为高平。

(9) DATA线变为高电平("H")时，键盘则通知接收末端的主部件，如果失败则接到停止(STOP)位，那么接收数据则为00；

I/O 信号电路

I/O 信号是TTL电平如下所示：

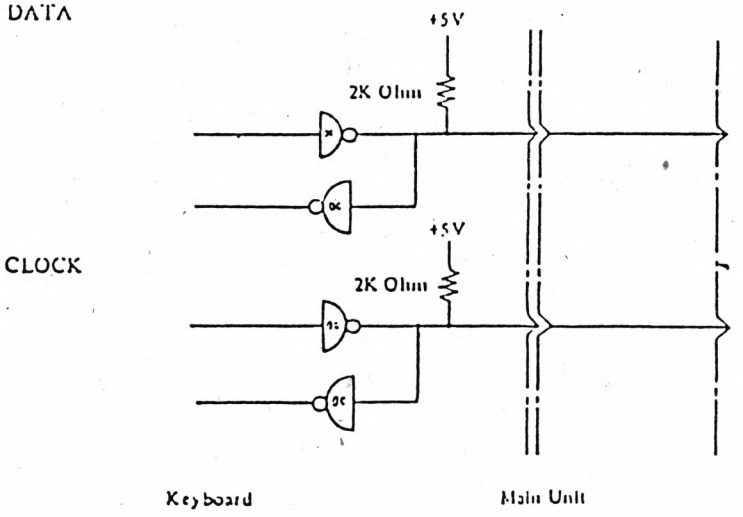


图4 输入和输出是TTL电平

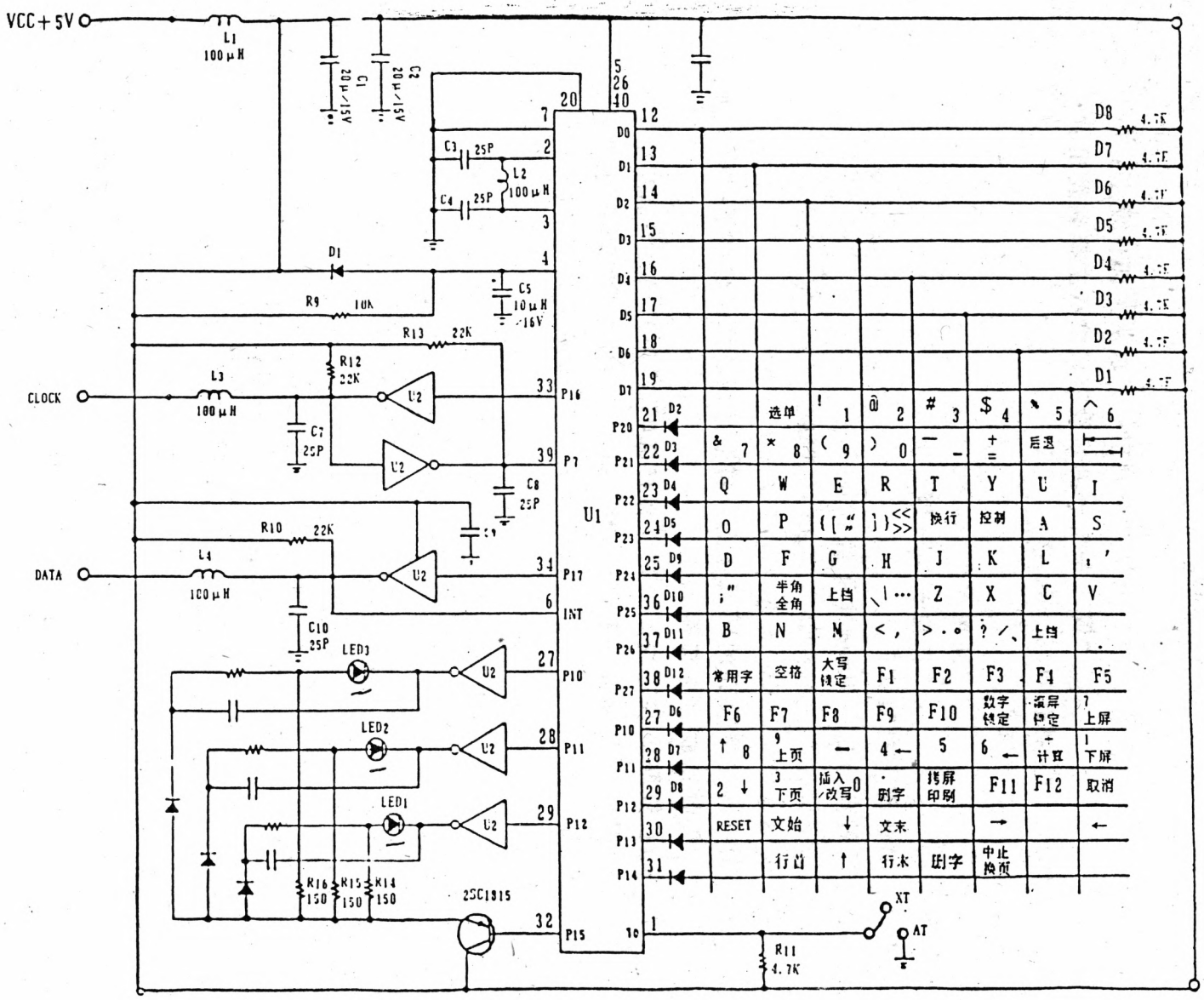


图5 KB-5161 AT/XT 电路图

TEAC FD－235F－127/027软驱技术说明

1.概述：

TEAC FD-235为135tpi、双面、3.5英寸软盘驱动器(以下简称FDD)，下面列出此型FDD的主要参数

1)型号	FD-235F-127 FD-235-027
2)安全标准	HL和LSA
3)格式化前容量	1M字节
4)数据传输速率	250K字节/秒
5)磁道密度	135tyi
6)所需电源	+5V 单向(4.5～5.5V)
7)磁道时间	3ms
8)盘转动速度	300rpm
9)前面板	黑色 P/N
10)退盘按钮	黑色 P/N
11)发光二极管颜色	淡黄色
12)信号接口	CMOS 5%
13)输入阻抗	5.6KΩ±%
14)可选择的电缆带	D0，D1
15)PCBA功能	(1)自动重新计数/自动装载 (2)全屏蔽检索和读数据输出 (3)34脚：准备就绪输出 (4)与电源连接

2.软盘

TEAC型软驱适用于3.5英寸软盘

3.、物理参数

1)宽：101.6mm

2)高：25.4mm

3)长：144mm

4)重量：370g

5)冷却：自然风冷

6)安装：接下列方式安装

a)从前面安装，垂直固定

b)从前面安装，水平固定，主电机向下

c)a)b)中的安装角度应小于25°，且前面板度上下一致

7)固定：用FDD机架上的固定孔

8)机架材料：铸铝

4.操作特性：

4.1数据容量：

录制方法				FM	MFM
数据转换速率（千位/秒）				125	250
磁道/软盘				160	160
磁道位密度（位/寸）				4,359	8,717
磁道磁力线密度（磁通翻转/寸）				8,717	8,717
数据容量	未格式化		千字节/磁道	3.125	6.250
			千字节/软盘	500	1,000
	格式化后	16扇区/磁道	千字节/扇区	0.128	0.256
			千字节/磁道	2.048	4.096
			千字节/软盘	327.68	655.36
		9扇区/磁道	千字节/扇区	0.256	0.512
			千字节/磁道	2.304	4.608
			千字节/软盘	368.64	737.28
		5扇区/磁道	千字节/扇区	0.512	1.024
			千字节/磁道	2.560	5.120
			千字节/软盘	409.60	819.20

4.2软驱转动特性：

1)主电机：　　无刷直流电机

2)主电机转速：　　300rpm

3)电机伺服方式：　　频率伺服

4)电机与主轴联接：　　电机轴直接联接

5)软盘转速：　　300rpm

长期转速误差：　　±1.5%

瞬间转速误差：　　±2%

6)起动时间：　　小于500ms
7)平均等待时间　　小于100ms
4.3索引检测
1)索引数目：磁盘每转一圈一个
2)索引方法：用霍尔元件检测主电机转速
3)检测周期：200ms±1.5%
4)索引脉冲检测时间误差：用指定检测盘小于±1ms
4.4磁道结构
1)密度：135tpi
2)磁柱面个数：80柱面
3)磁道个数：80道/面，160道/盘
4)最外道半径(00道)：0面　39.500mm
　　1面　38.00mm
5)最里道半径(79道)：0面　24.6875mm
　　1面　23.1875mm
6)定位精度：用指定检测盘小于±15μm(40道，23±2° c，45%～55%RH)

4.5磁头
1)磁头：读/写头带擦除间隙　2套
2)擦除后有效磁道宽度：0.115±0.008mm
3)读/写间隙方位角错：0° ±30′(用指定检测盘)

4.6磁道寻找特性：
1)磁头定位装置：步进电机和螺旋导杆
2)步进电机：4相　20步/周
3)步进电机驱动：2步/道
4)00道检测方法：光电检测器
5)磁道时间：3ms
6)设置时间：15ms (不包括磁道时间)
7)磁道平均检索时间：94ms(包括设置时间)

4.7窗口容限及其它：

1)窗口容限(用指定检测盘)：600毫微秒或更长

2)建议预写补偿：

00～43道： 0～±125ns

44～79道： ±125ns

3)磁头加载装置：无配备

4)文件保护装置：通过有关检测写禁止孔

5)软盘检测装置：通过有关检测写软盘插入

6)软盘插入力：小于700g(盘中心)

7)软盘退出力：小于1400g

8)50cm处噪音：小于50分贝(在3～4ms检索操作时)

5.环境条件：

1)环境温度：

(a)操作： 4° c～50° c

(b)贮存： -22° c～60° c

(c)运输： -40° c～65° c

2)温度变化：

(a)操作：小于每小时20° c

(b)贮存和运输：小于每小时30° c

3)相对温度

(a)操作：20%～80%(不冷凝)

最大湿球温度29° c

(b)贮存：10%～90%(不冷凝)

最大湿球温度40° c

(c)运输：5%～9.5%(不冷凝)

最大湿球温度45° c

4)振动：

a)操作：小于1.5g(10～100Hz，3分钟)

小于1.0g(100～200Hz，3分钟)

小于0.5g(200～600Hz，3分钟)

b)运输：小于3g(10～100Hz，3分钟)

5)冲击：

a)操作：峰值小于5g(11ms)

b)运输：峰值小于60g(11ms)

6)使用高度：小于5000m

6.可靠性

1)平均无故障时间：10，000小时

2)平均修复时间：30分钟

3)元器件设计寿命：5年

4)软盘寿命：3×10⁴次/磁道

5)软盘插入次数：3×10⁴次

6)预防性维修：不需要

7)错误率：

a)软错误：1次/10^9位

b)磁头读错误：1次/10^{12}位

c)检索错：1次/10^6位

8)安全标准：符合UL和CSA标准

7.电源接口

所需电压：+5V直流

a)电压误差：-6%～10%

b)允许波动电压：峰峰值小于100mv

8.信号接口

8.1电特性

1)接口电路：见图1

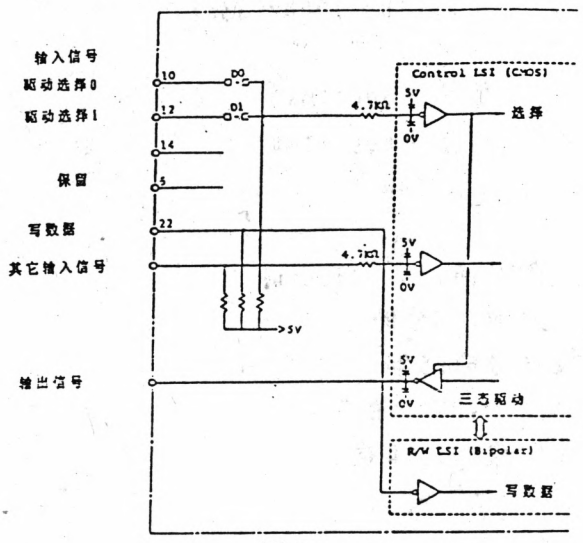


图1.

2)电特性：

a)写数据输入信号：

接收器：　　双极型读/写大规模集成电路

低电平(真)：　　0～0.5V

高电平(假)：　　2.5V～Vcc

低电平输入电流：小于-1.2mA

高电平输入电流：小于50μA

b)其它输入信号

接收电路：　　CMOS控制器

低电平(真)：　　0～0.2V

高电平(假)：　　0.7Vcc～Vcc

低电平输入电流：小于-1.1mA(包括终端电流)

高电平输入电流：小于20μA

c)每一输入信号线均应接固定上拉电阻

3)驱动电路电性能

驱动电路：　　大规模CMOS集成电路(三态输出)

低电平(真)：　　0～0.4V

高电平(假)：　　(Vcc-0.8)～Vcc

低电平输出电流：小于8mA

高电平输出电流：小于-4mA

高阻态(漏电流)：小于20μA

4)主机驱动电路和接收电路：

a)主机驱动电路：CMOS，HCOMS输出

输出电流：FDD输入电流又电缆线数

b)主机接收电路：CMOS，HCOMS，TTL等

c)接收电路为CMOS或HCOMS：

Ⅰ)推荐电路：见图2

Ⅱ)上接电阻R_1在FDD输出为高阻态时，防止不稳定的电压输入

Ⅲ)串联电阻R_2防止静电破坏，当电缆过长时(大于30cm)还可减轻脉冲干扰

一般R_2阻值：1～5.6KΩ

Ⅳ)当接收电路为HCOMS时，电容C1可用于防止电流冲击C1，应接在IC电源引脚的旁边

8.2信号接口插头和电缆

1)信号接口插头

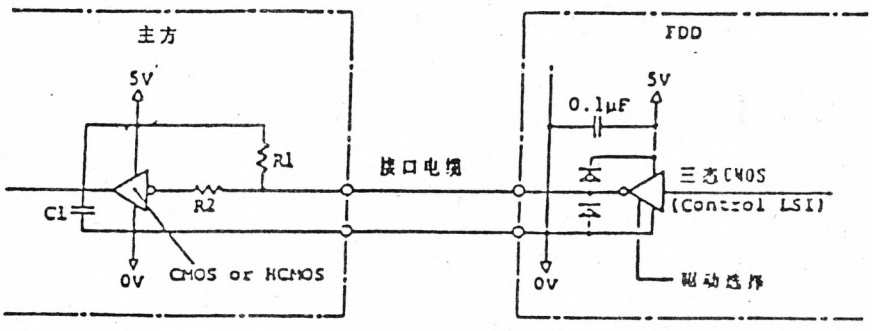


图2

a)FDD一侧的插头：Fufitsu，P/N FCN725P034-Au/O或相应的插头

b)引脚间距：2.54mm，34个管脚，方插头和引脚数：(管脚分两行，每行17脚，上边为偶数)

c)插头外观：见图3

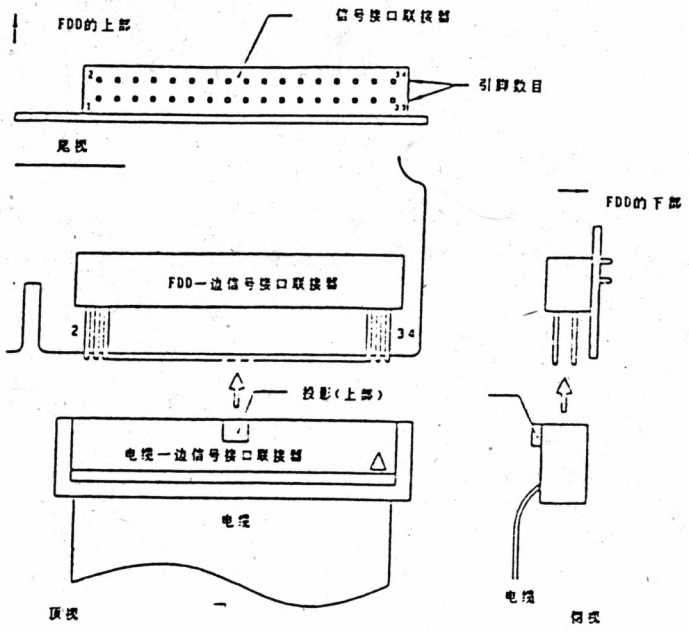


图3

d)接口连接：见表2

Pin Nos.	Signals	Pin Nos.	Signals	Directions
1	0V	2	OPEN	-
3	0V	4	OPEN	-
5	0V	6	RESERVED	INPUT
7	0V	8	INDEX	INPUT
9	0V	10	DRIVE SELECT 0	INPUT
11	0V	12	DRIVE SELECT 1	INPUT
13	0V	14	RESERVED	INPUT
15	0V	16	MOTOR ON	INPUT
17	0V	18	DIRECTION SELECT	INPUT
19	0V	20	STEP	INPUT
21	0V	22	WRITE DATA	INPUT
23	0V	24	WRITE GATE	INPUT
25	0V	26	TRACK 00	OUTPUT
27	0V	28	WRITE PROTECT	OUTPUT
29	0V	30	READ DATA	OUTPUT
31	0V	32	SIDE ONE SELECT	INPUT
33	0V	34	READY	OUTPUT

表2

8.3.5写允许输入信号

1)电平信号，擦除已写的数据并允许写新数据

2)当下列逻辑表达式得到满足时，FDD设置为定模式：

写允许*驱动选择*写保护

3)满足下列全部条件后，此信号有效

a)主电机启动500ms后

b)步进脉冲有效18ms后

c)单面选择信号电平转换100ms后

4)此信号无效后1.15ms内(不包括延迟时间)，不允许做磁头检索操作

8.3.6写数据输入信号

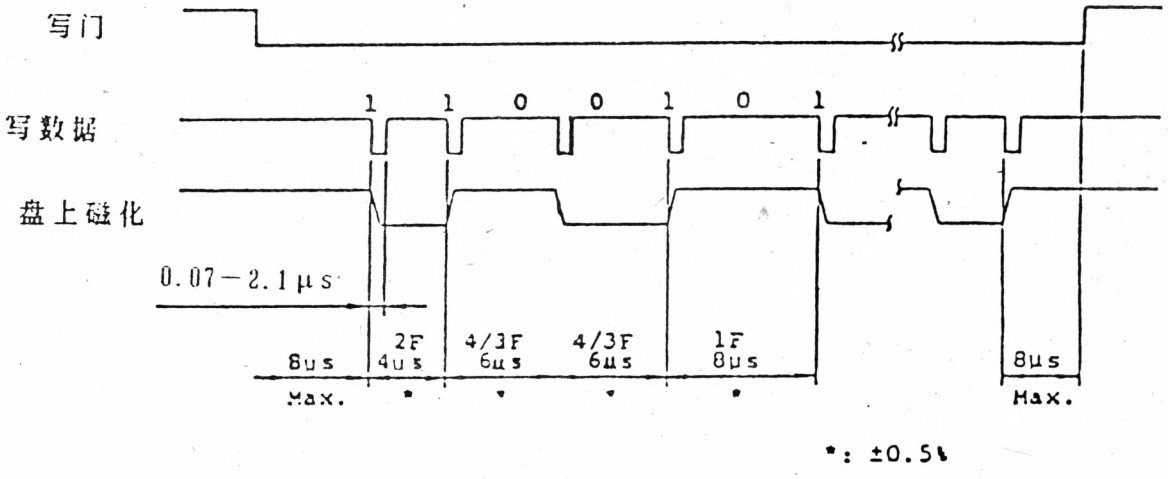
1)负脉冲信号，决定写在软盘上的内容，脉冲宽度应在0.7μs～2.1μs之间且使用脉冲的前沿

2)当满足下列任一条件时，写数据脉冲不被响应

a)写允许信号无效

b)写保护信号有效

3)此信号应按图4的时序输入



写数据时序(MFM方式)

图4

8.3.7面选择输入信号

1)电平信号，指定双面软盘中的哪一面用来读或写

2)高电平时磁头选择0面(底面)，低电平时，磁头选择1面(上面)

3)此信号变化100μs后，被选中面上的读/写数据脉冲有效

8.3.8备用信号

对于此FDD，终端为开放状态

8.3.9 00磁道输出信号

1)电平信号，指明磁头在00磁道上

2)该信号在步进脉冲有效后2.8ms失效

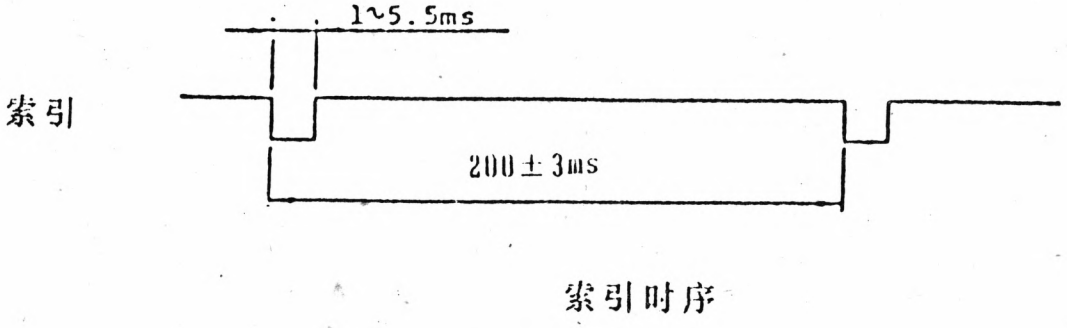
8.3.10索引输出信号

1)负脉冲信号，指明起始磁道，软盘转一周输出一个索引脉冲

2)当下列逻辑表达式满足时，输出索引脉冲。

索引检测×驱动选择×准备就绪×检索完成

3)图5为此信号的时序，脉冲前沿为基准，所有脉冲有效



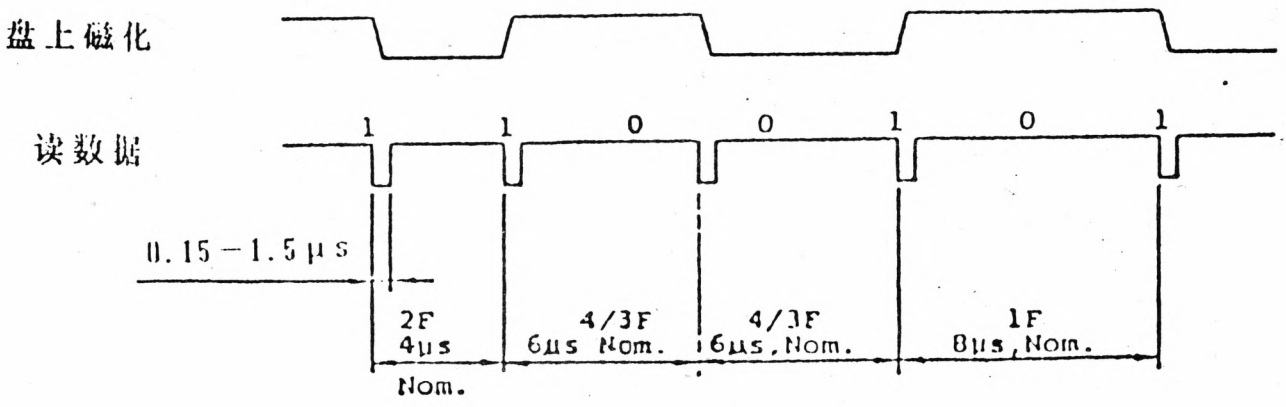
索引时序

图5

8.3.11读数据输出信号

1)负脉冲信号，用于读数据，由时钟位和数据位组成

2)图6为此信号的时序，脉宽为0.15μs，信号前沿为基准点



读数据时序(MFM方式)

图6

3)当下列逻辑表达式满足时，读数据脉冲输出读数据检测＊写操作＊准备就绪

4)当满足下列条件时，输出脉冲有效

a)步进脉冲有效后18ms

b)面选择信号电平变化100ms后

8.3.12写保护输出信号

1)电平信号用来检测软盘上的写保护孔是打开的

2)此信号有效时，软盘上的数据不可擦除，禁止写操作

8.3.13准备就绪输出信号

1)电平信号，指明FDD已处于读或写的准备状态

2)当下列所有条件均满足时FDD进入准备状态

a)FDD接通电源

b)FDD内插有软盘

c)电机启动有效后500ms

d)主电机转速达到额定转速的80%，索引脉冲计数已为2个

e)索引脉冲宽度小于13ms

3)主电机启动后，该信号有效所需时间小于600ms

4)主电机启动命令失效后，此信号在0.3ms内失效

8.3.14不用信号的处理

若某些输入/输出信号没用，应断开这些信号的电缆，或在主机方接大于1KΩ的上拉电阻

9控制时序

9.1电源开

1)电源通断保护

a)当电源电压低于3.5V时，无论输入信号状态如何，FDD均保护软盘不被误写，误擦除

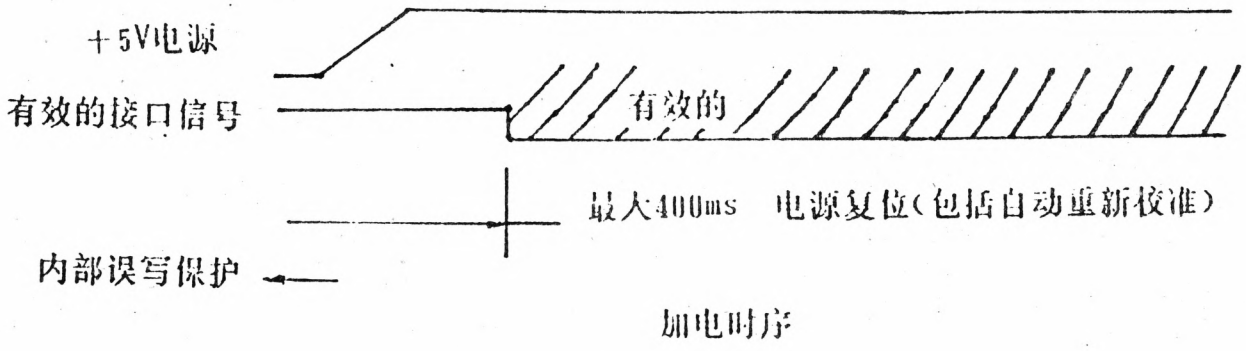
b)除a)以外，只要写允许输入信号无效，FDD也被保护，防止误写，误擦除

2)自动校准

a)电源接通后立即执行自动较准(磁头回到00道)

b)执行自动校准时，步进脉冲命令无效

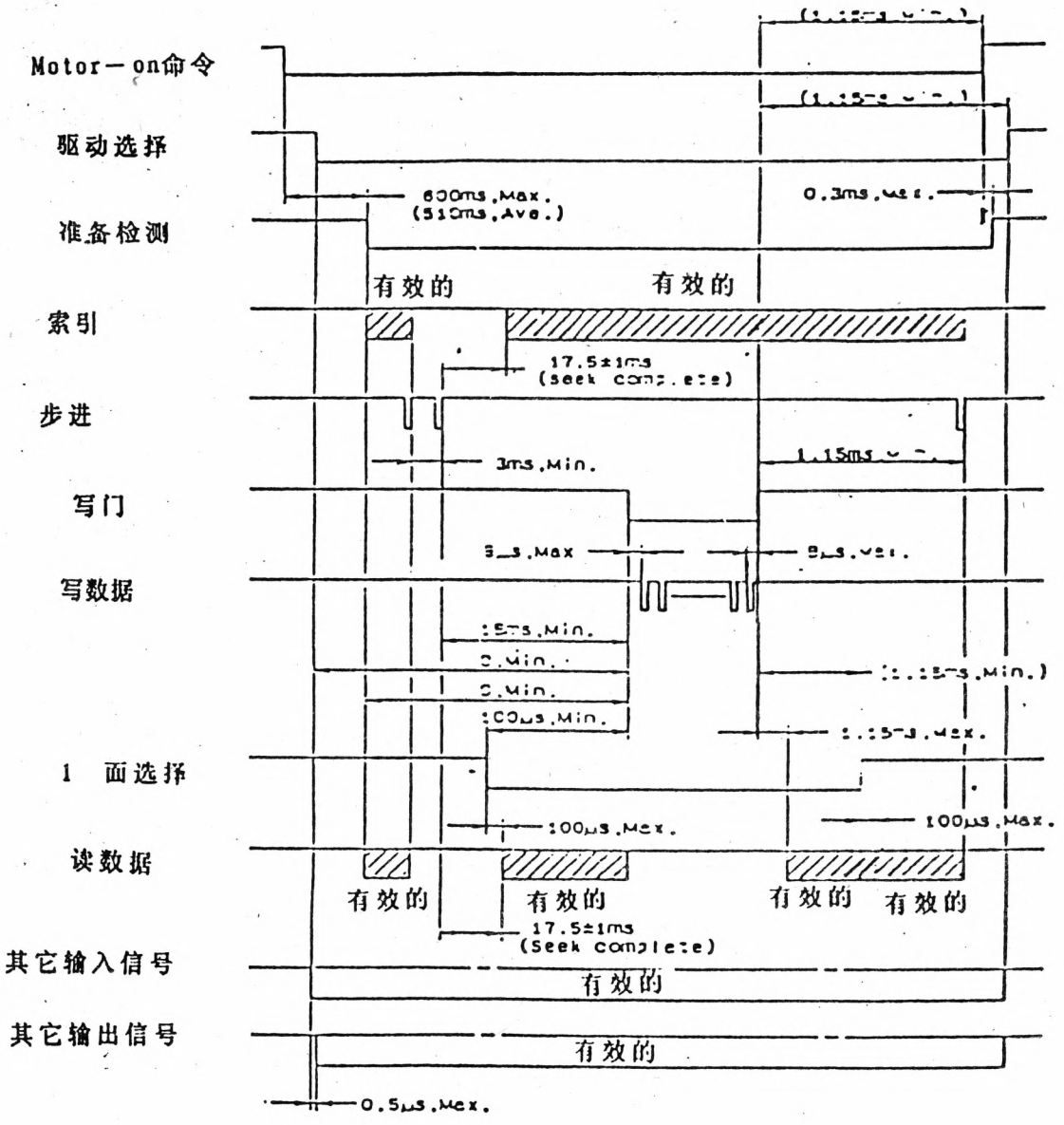
3)FDD电源复位时间：小于400ms(包括自动校准时间)



加电时序

图7

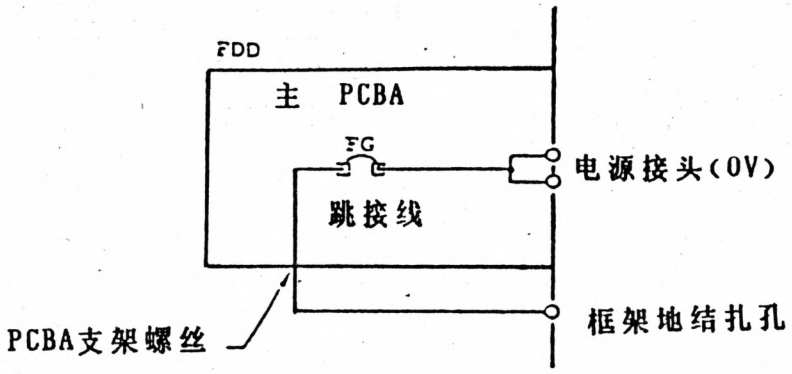
9.2读写操作时序



读/写操作时序

10.机架接地(图9)

FDD通过PCBA上的FG跳线夹接DCOV



框架地内部连接

图9

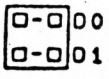
11.用户可选择的跳线

在PCBA上插有跳接线供用户选择

11.1 D0和D1跳线

1)在多路控制中，这接跳线指明FDD地址

2)通过驱动选择0和1信号，可以指定两个地址

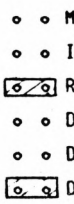
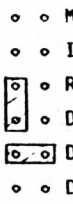
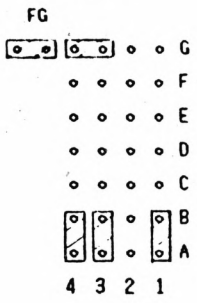
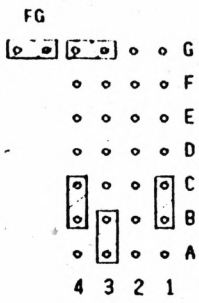
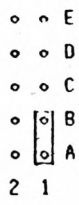


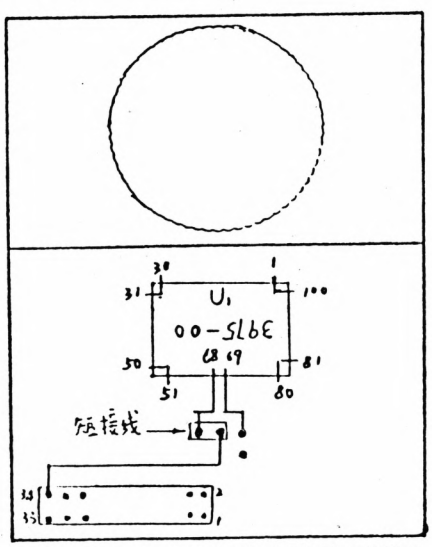
跨接示意

图10

TEAC-235F型软驱用于MS-2401、MS-2406机的说明

目前有三种软驱通过跳线来兼容MS-2401和MS-2406机

软驱编号	MS-2401	MS-2406
114-U		
3405-U		
4139-U		
	另外将U1 3957-00的69脚断开,将68脚接34线口的34脚。	只跳线不改线



注:MS-2402, MS-2403,MS-2401H软驱跳线同MS-2401.

机架说明

1-1　机械结构的操作

这种打印机是连续击打式点阵打印机。其机械部分包括打印头、托架传送部分、色带传送部分、走纸部分。以下是各部分的操作说明。

1-1-1　打印头结构

打印头是利用电感线圈的磁力方式，设计的打印头装在平行于大胶滚移动的托架上，设计的非常容易安装和拆卸。

打印头通过扁平电缆与控制电路相连。

打印头由以下的部分构成：

a）头部组件(nose assembly)

b）电感线圈部件

c）衔铁组件

(1) 打印头的操作(参照图1)

通常，衔铁的位置由衔铁弹簧控制的衔铁制动件的位置来决定。打印针(wive)和弹簧吸在衔铁上。

打印控制信号通过扁平电缆加到电感线圈上。

线圈一通上电，衔铁和磁芯之间就会产生吸引力，衔铁向大胶滚加速靠近，与衔铁相连的打印针从头部伸出来，通过色带，撞击打印纸和大胶滚表面。于是，就在打印纸上打出点来。

打印结束后，在衔铁弹簧作用下，衔铁重新复原到制动件的位置。打印针也在打印针弹簧作用下复原到起始位置。

(1) 色带
(2) 打印针
(3) 打印纸
(4) 大胶滚
(5) 衔铁组件
(6) 电感线圈部件
(7) 头部组件
(8) 打印头

(9) 打印针弹簧
(10) 衔铁制动件
(11) 衔铁
(12) 衔铁弹簧

1-1-2 托架传送机构

与大胶滚平行安装的托架导轨和底部框架内的托架组件由步进电机驱动。

其主要的组成要素如下：

(a) 步进电机
(b) 步进电机支架
(c) 皮带
(d) 左、右皮带轮
(e) 托架导轨
(f) 托架组件
(g) 左端到位传感器

(1) 结构和操作(参照图2)

装载打印头的托架在托架导轨和底部框架内的引导装置作用下沿大胶滚平行移动。在托架上固定有同步皮带。根据托架马达支架安装的位置，同步皮带具有一定的张力。

步进马达运转时，通过同步皮带动托架。如果从上往下看马达是向右(向左)转的话，则托架从左向右(从右向左)移动。马达旋转16.2°(9档)，则托架移动2.54mm(0.1英寸)。

(2) 托架回程操作(参照图2)

接收到CR信号后，步进马达根据控制电路发来的信号向左(从上向下看)旋转。

托架从右向左移动到左端时，托架上的挡光片就会挡住左端

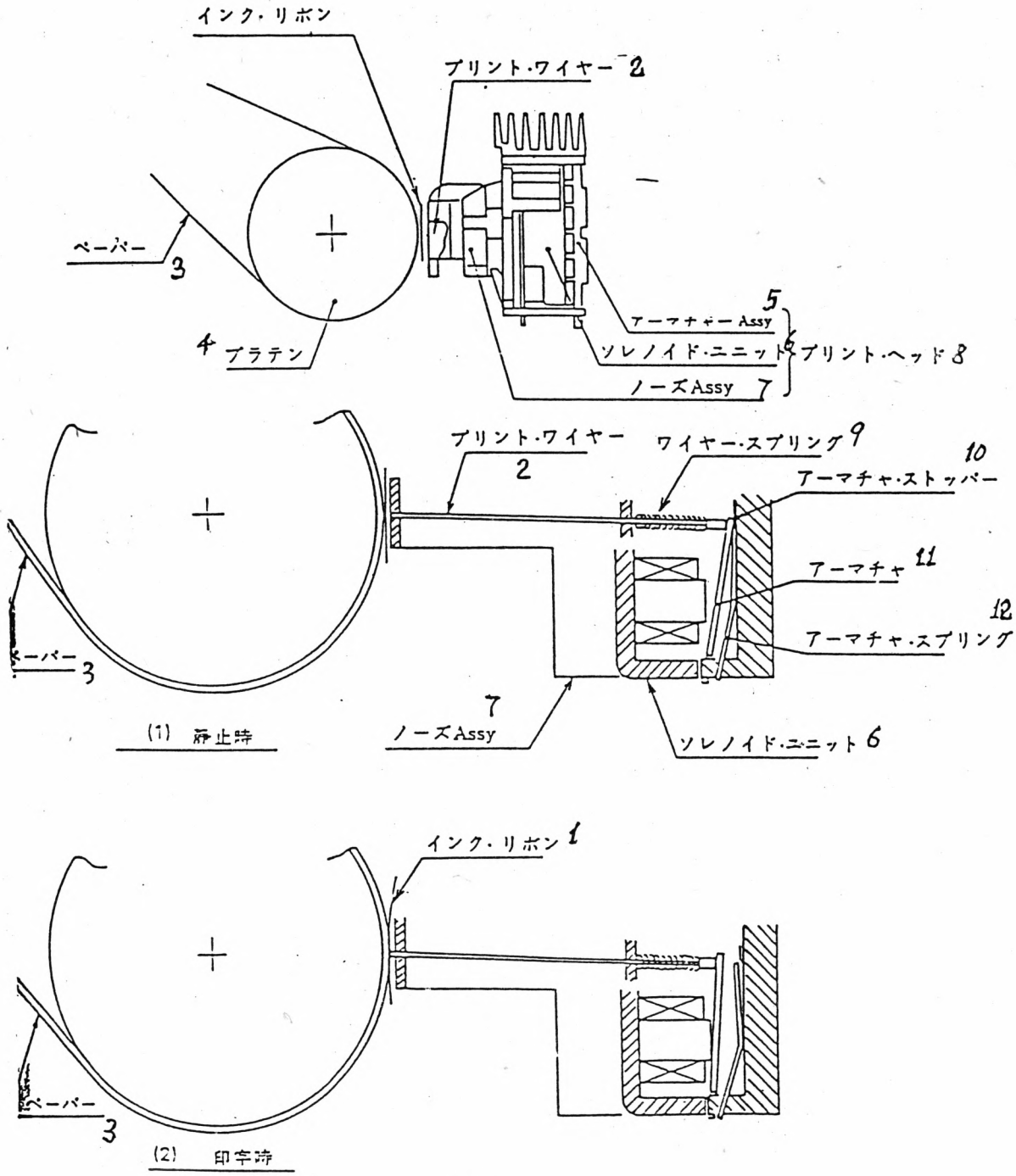

インク・リボン
プリント・ワイヤー 2
ペーパー 3
4 プラテン
5 アーマチャー Assy
6 ソレノイド・ユニット
ノーズAssy 7
プリント・ヘッド 8
プリント・ワイヤー 2
ワイヤー・スプリング 9
10 アーマチャ・ストッパー
アーマチャ 11
12 アーマチャ・スプリング
ペーパー 3
7 ノーズAssy
ソレノイド・ユニット 6
(1) 静止時
インク・リボン 1
ペーパー 3
(2) 印字時

図1

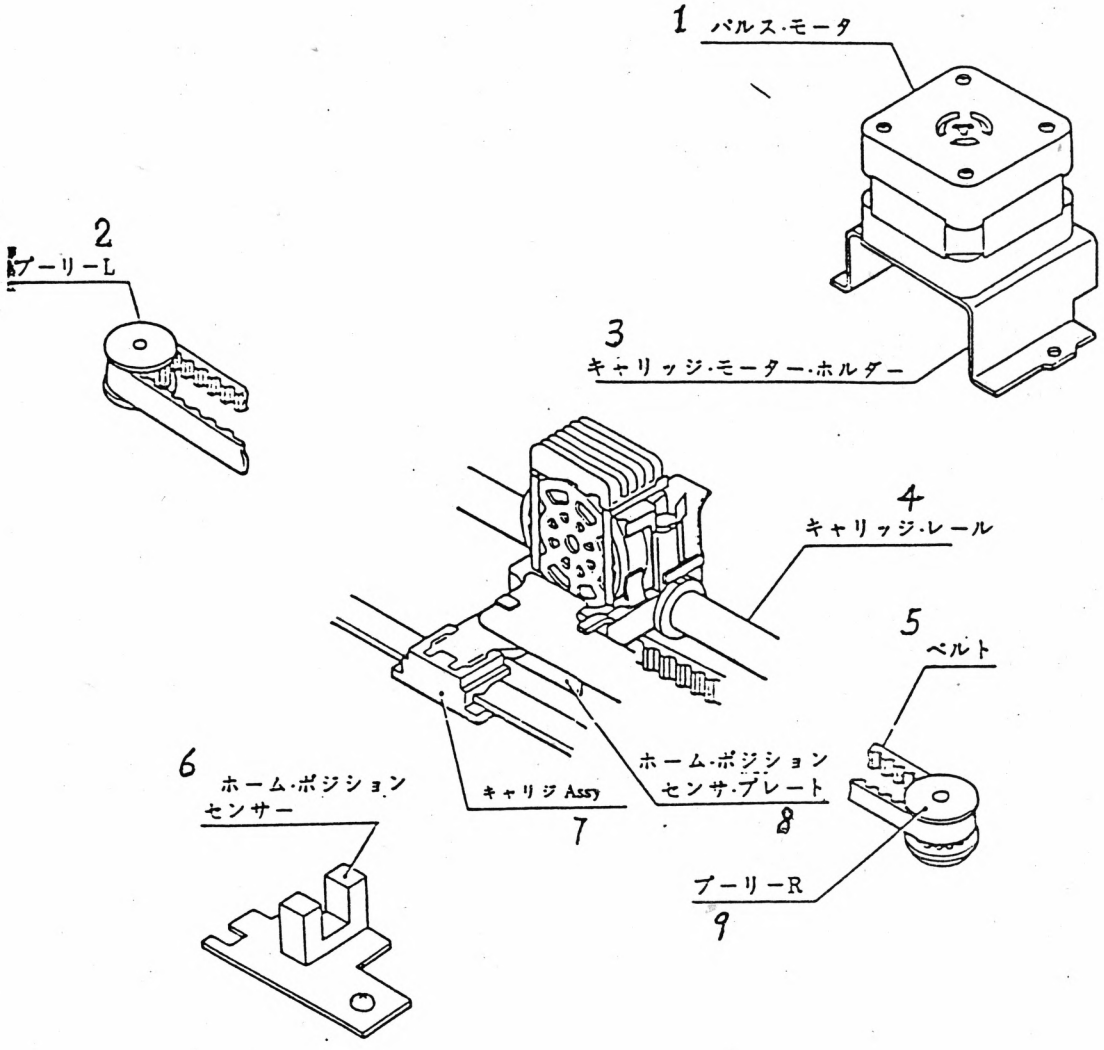

1 パルス・モータ
2 プーリーL
3 キャリッジ・モーター・ホルダー
4 キャリッジ・レール
5 ベルト
6 ホーム・ポジション センサー
キャリジ Assy 7
ホーム・ポジション センサ・プレート 8
プーリーR 9

図2

到位传感器的光，使传感器发出一上信号。

左端到位传感器是由一对发光二极管、光每晶体管构成。当挡光片挡住光路时，就会产生用于控制马达停止的脉冲信号。在该信号控制下，托架将在起始位置停下来。

(1) 步进电机
(2) 左皮带轮
(3) 步进马达支架
(4) 托架导轨
(5) 皮带
(6) 左端到位传感器
(7) 托架组件
(8) (左端到们传感器)挡光片
(9) 右皮带轮

1-1-3 色带传送机构

传送色带的驱动力由驱动托架的马达通过同步皮带来提供。

色带传送机构的组成如下所示：

(a) 步进马达(托架驱动马达)
(b) 左皮带轮
(c) 色带齿轮1、色带齿轮2
(d) 色带齿轮
(e) 色带盒出口1、色带盒出口2

(1) 色带传送操作(参照图3)

由同步皮带带动的左皮带轮，依次带动色带齿轮1、色带齿轮2、和色带齿轮旋转。

托架组件按图上箭头所示方向移动时，通过左皮带轮、色带齿轮1，色带齿轮2，色带齿轮将沿图上箭头所示方向旋转。当托架组件反方向移动时，色带齿柱就顺时针旋转，通过左皮带轮、2个色带齿轮1和色带齿轮2，使色带齿轮沿图中箭

头所指方向旋转。

就是说，尽管托架组件可向两个方向移动，色带齿轮却总是沿反时针方向旋转。

(2) 色带盒机构(参照图4)

色带不断地进行往复循环，夹在色带盒出口1和色带盒出口2之间沿同一方向传送。

随着结合在色带齿轮上的与之同轴的色带盒齿轮1的旋转，色带被折叠着压入色带盒内。在一侧的出口处设置的狭缝使得色带排列整齐，并在狭缝和后张力弹簧片之间翻转，接着，在后张力弹簧片所给的适当后张力作用下向打印头的方向传送出去。

(1) 托架从动齿轮　　(2) 色带齿柱

(3) 色带齿轮1　　(4) 托架组件

(5) 托架驱动轮　　(6) 色带齿轮

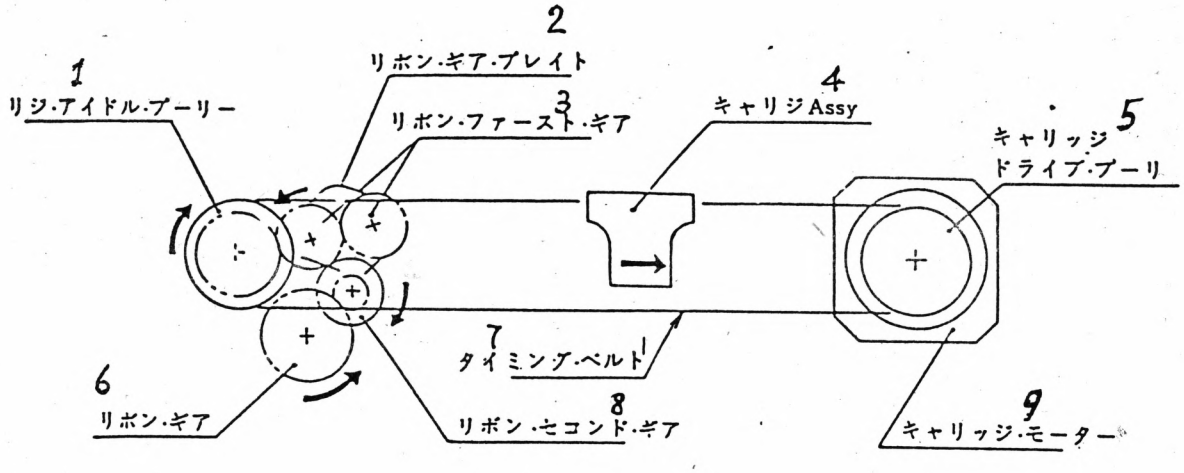


图3

(1) 色带　　(2) 打印头

(3) 色带盒齿轮1　　(4) 色带盒齿轮2

(5) 狭缝(出口)　　(6) 后张力弹簧片

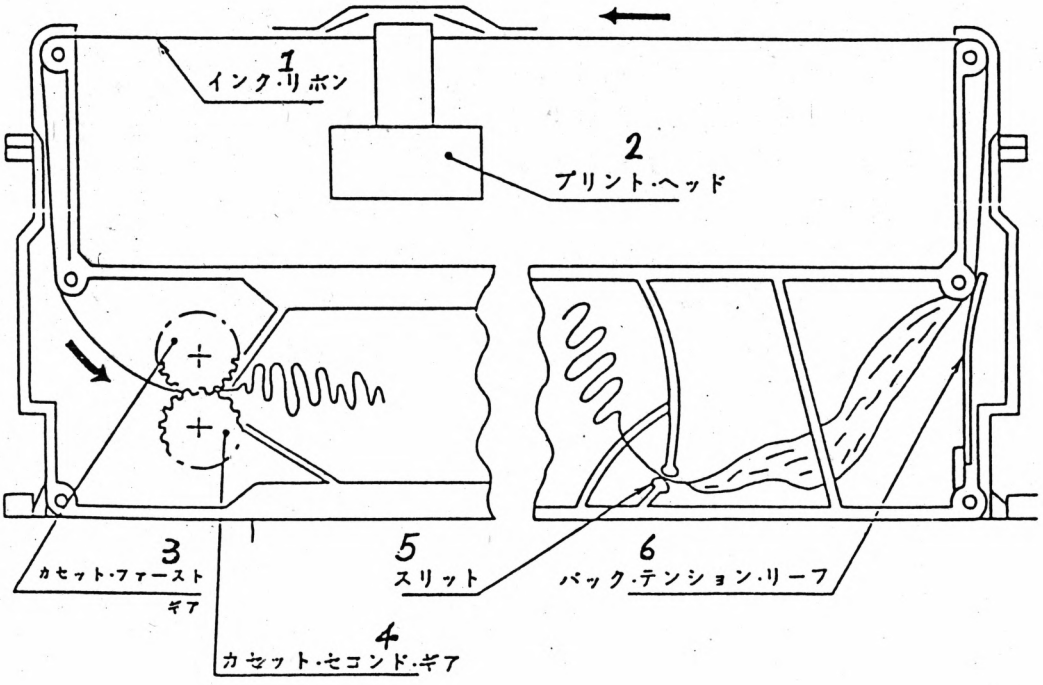


图4

1-1-4　走纸机构

打印纸传送是步进电机转动旋转，通过齿轮组来带动牵引轴使大胶滚完成的。

走纸机构的组成如下所示：

（a）齿轮的步进电机

（b）齿轮组

（c）引导器或导纸器

（d）大胶滚

(1) 走纸操作（参照图5）

用于打印纸传送的步进电机转动后，通过减速齿轮组作用，马达每旋转225°（60档），打印纸传送4.23mm（1/6英寸）。

(1) 大胶滚

(2) 大胶滚驱动齿轮

(3) 传动齿轮

(4) 大胶滚齿轮

(5) 走纸马达

(6) 从动齿轮

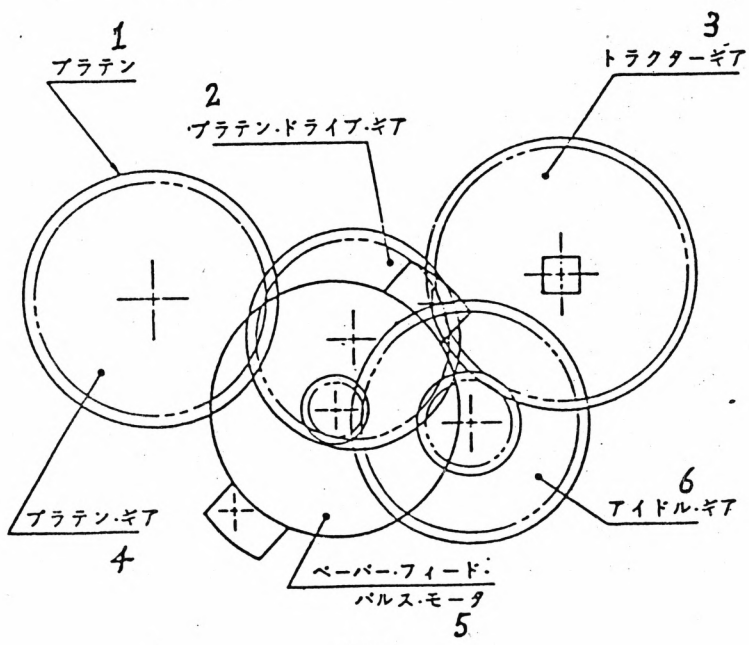


图5

(2) 无纸检测机构(参照图6)

有纸的状态下，纸尽传感器的磁铁是与簧片开关分开的，簧片开关处于OFF状态。如果缺纸，磁铁就向簧片开关靠近，簧片开关转为ON状态，从而检测出缺纸。

缺纸检出机构的组成如下：

(a) 纸尽传感器柄

(b) 纸尽传感器弹簧

(c) 纸尽传感器放大器

(1) 打印纸　　(2) 打印纸垫板

(3) 纸尽传感器柄　　(4) 压纸卷轴

(5) 簧片开关　　(6) 纸尽传感器弹簧

(7) 磁铁

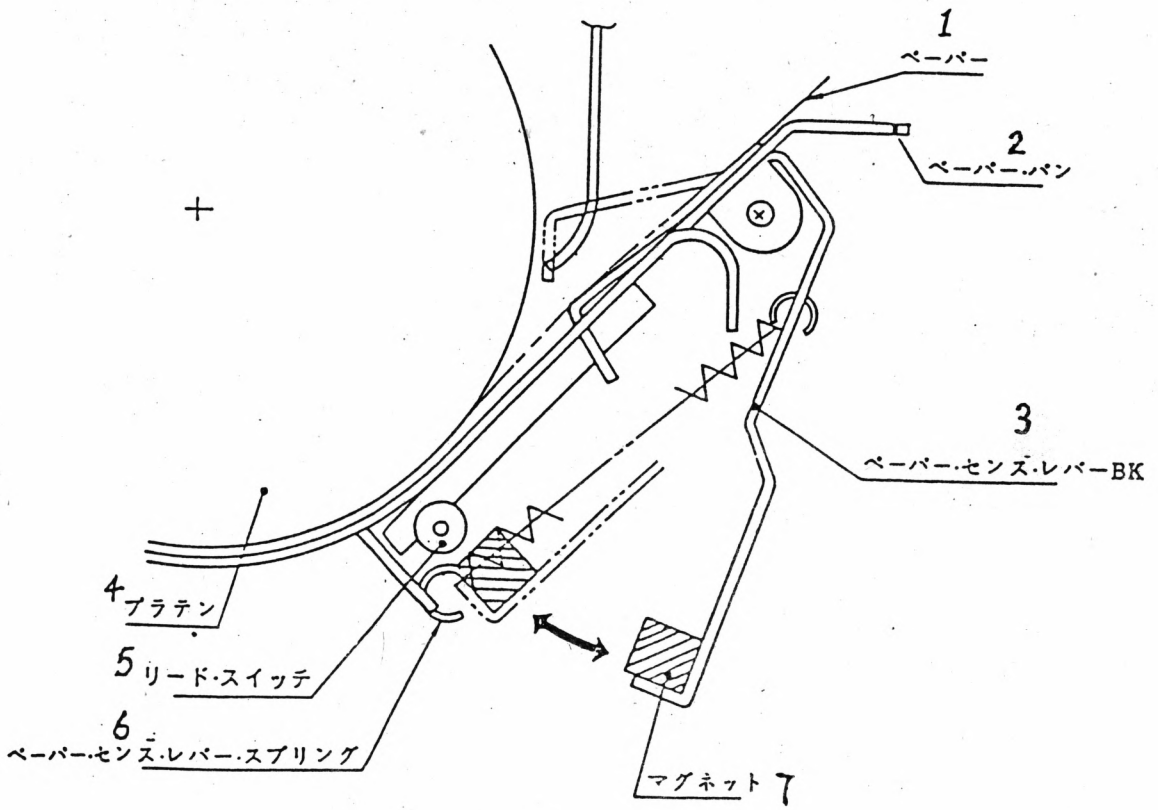


图6

1-1-5　头部间隙调节机构(参照图7)

头部间隙调节机构就是为了调节打印头和大胶滚之间的间隙到适当值，使托架导轨作偏心旋转，或前后移动托架组件，从而改变大胶滚和打印头间的间隙的机构。

纸厚调节柄向大胶滚一侧推进，大胶滚和打印头之间的间隙就会变窄；若向相反方向拨动，则间隙会变大。

由于调节柄自身和调节臂的板簧特性，当推进调节柄时可以感觉到卡嗒声，而且调节柄的位置可以固定。调节柄每移动一档(一次卡嗒声)，压纸卷轴和打印头之间的间隙就变化0.05mm。

(1)　打印头　　(2)　大胶滚
(3)　调节柄　　(4)　调节臂
(5)　托架组件　　(6)　托架导轨

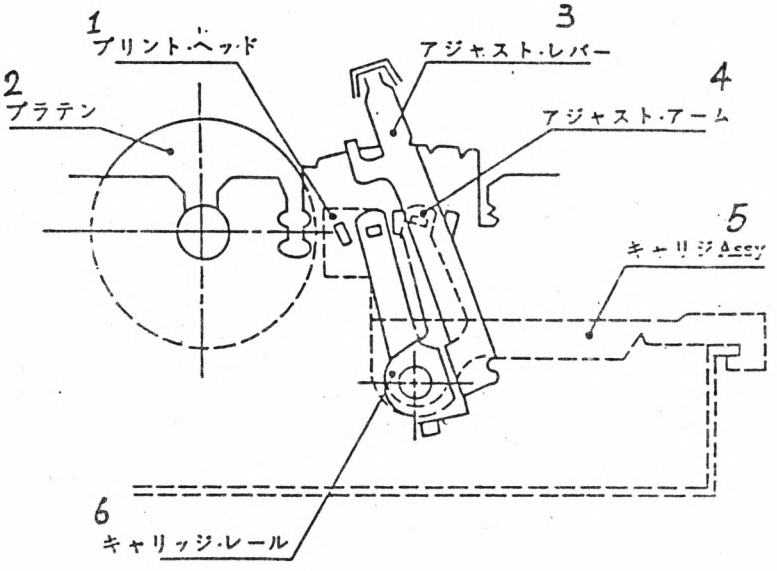


图7

2-3-3　打印头SA的拆卸、组装

[拆卸]

(1) 取下色带盒。

(2) 向外侧打开打印头的左右支架，然后从托架BK上取下打印头SA。

(3) 取下打印头SA上与连接PCB相连的扁平电缆。

(1) 左右打印头支架　　(2) 打印头SA

(3) 托架BK

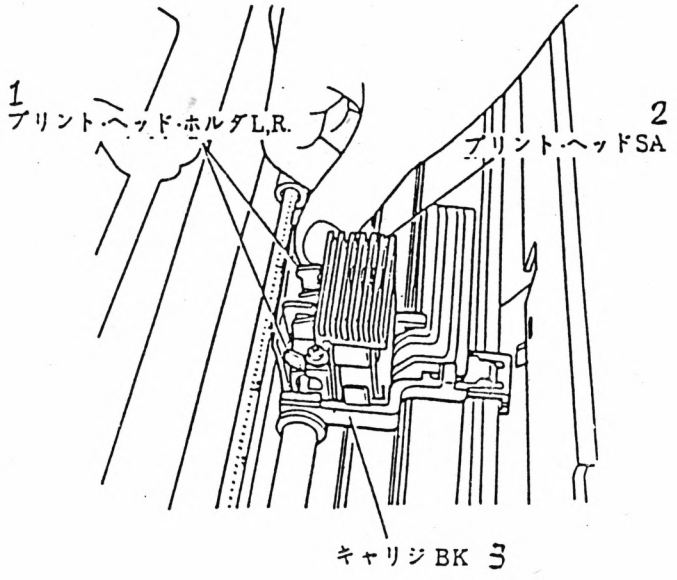


图8

[组装]

(1) 按与拆卸时的相反顺序进行。

2-3-4　托架马达的拆卸、组装

（同步皮带的拆卸、组装、调整）

使用工具

平口十字改锥

张力仪

钳扳

[拆卸]

(1) 取下外壳upper case

(2) 取下色带盒

(3) 取下固定托架马达的两颗螺钉(M3平头螺钉)。

(1) 托架马达　　(2) 托架马达支架

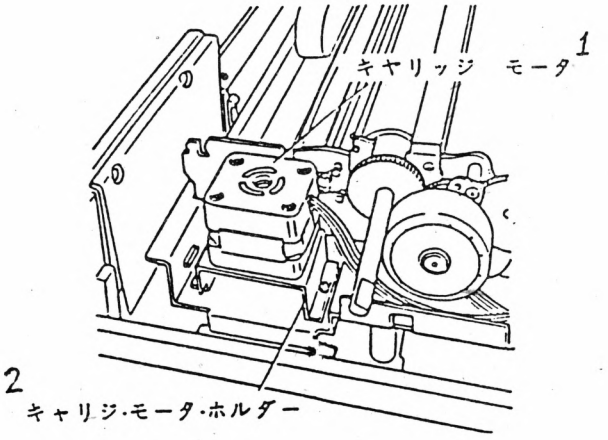


图9

(4) 从皮带轮上取下同步皮带，然后向上取出马达

(5) 取下固定托架马达支架的4颗螺钉后，卸下支架

(6) 取下固定导线用的带

(7) 取下从接口CN7到托架马达的连线

(1) 托架马达支架　　(2) 螺钉

(3) 同步皮带

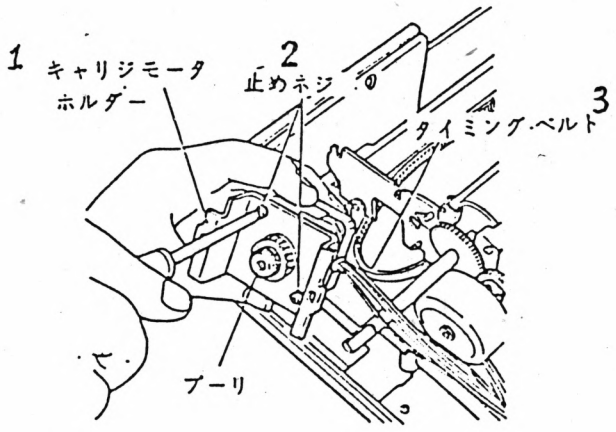


图10

[组装]

(1) 按与拆卸相反的顺序进行

注1 调整同步皮带的张力时，请按如下顺序进行：

a) 松开固定托架马达支架的螺钉，然后一边向与头部相反的方向移动托架马达，一边调整同步皮带到合适的张力。

b) 确认皮带张力时，先提起机械部件，然后把张力仪从底部框架BK的孔中伸进去测量。

（规格值：100g 弯曲 9mm±0.5mm）

注2　组装以后，当出现往复打印的摆动误差(即打印竖线不直)时，请调整主PCB.SA上的DIP开关1-2～1-4。(详细过程参照1-2-5-(2))

(1)　同步皮带　　(2)　张力仪

(3)　机械部件　　(4)　底部框架BK

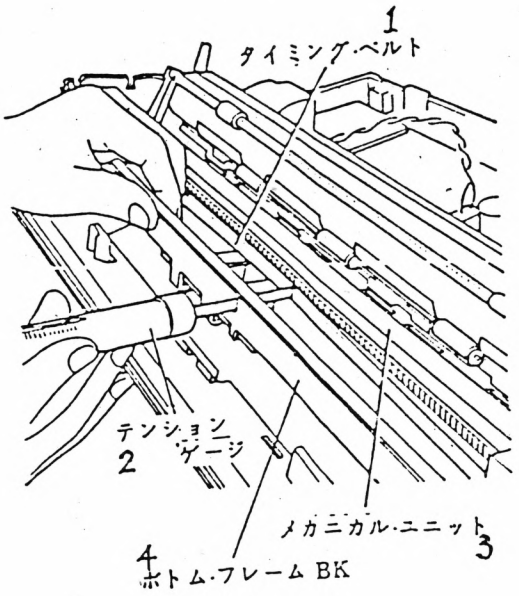


图11

2-3-5 打印头SA的间隙调整

使用工具

平口改锥

十字改锥

双头扳手

塞尺

[拆卸]

(1) 取下顶罩

(2) 取下色带盒

(3) 取下打印头SA(参照2-3-3)后，卸下托架色带保护片的固定螺钉，然后取出色带保护片

(1) 打印头SA　　(2) 托架的色带保护片

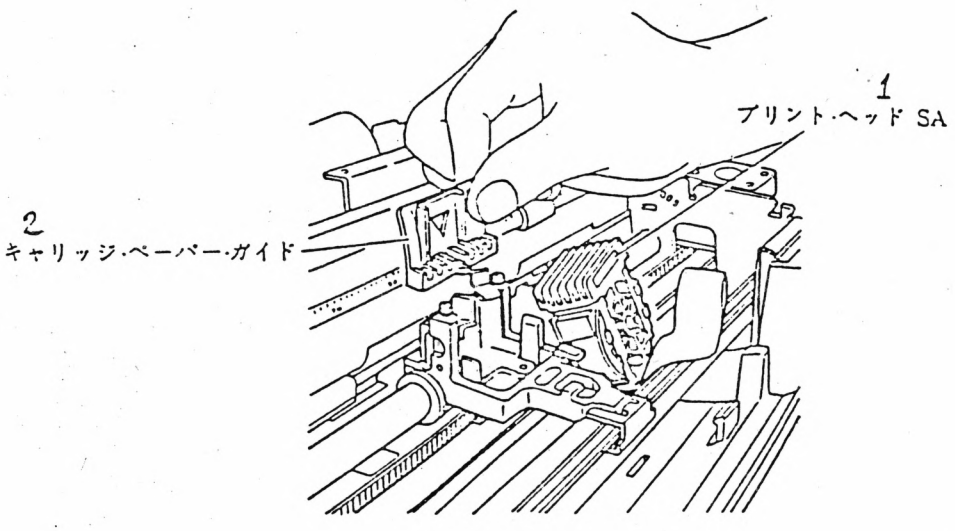


图12

(4) 取下色带保护片以后，重新装上打印头SA

(5) 从托架导轨左端的通孔插入的改锥旋转托架导轨，调整打印头SA和大胶滚轴之间的间隙

合适的间隙值：调节柄的位置于刻度 “2” 时为0.4mm± 0.5mm

※ 如果间隙太窄，则向色带盒一侧(即向后)转动插入的改锥

※ 如果间隙太大，则向压纸卷轴一侧(即向前)转动改锥

注 间隙规应按如图所示，从打印头SA的侧面插入并调整。如果从上方插入的话，则由于存在打印头SA顶端的段差而使测量错误，而且由于打印针的前端呈弯曲状态，间隙规应同时接触其两端的最突出部分。

(1) 塞尺　　(2) 大胶滚

(3) 打印头

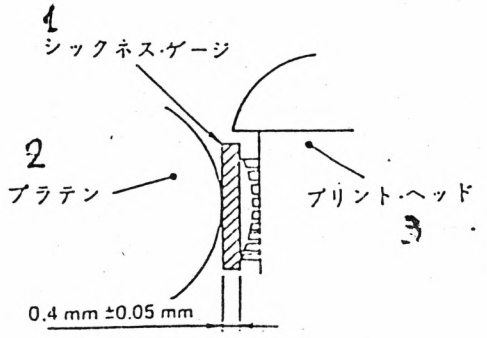


图13

(1) 调节柄　　(2) 托架导轨
(3) 塞尺　　(4) 打印头

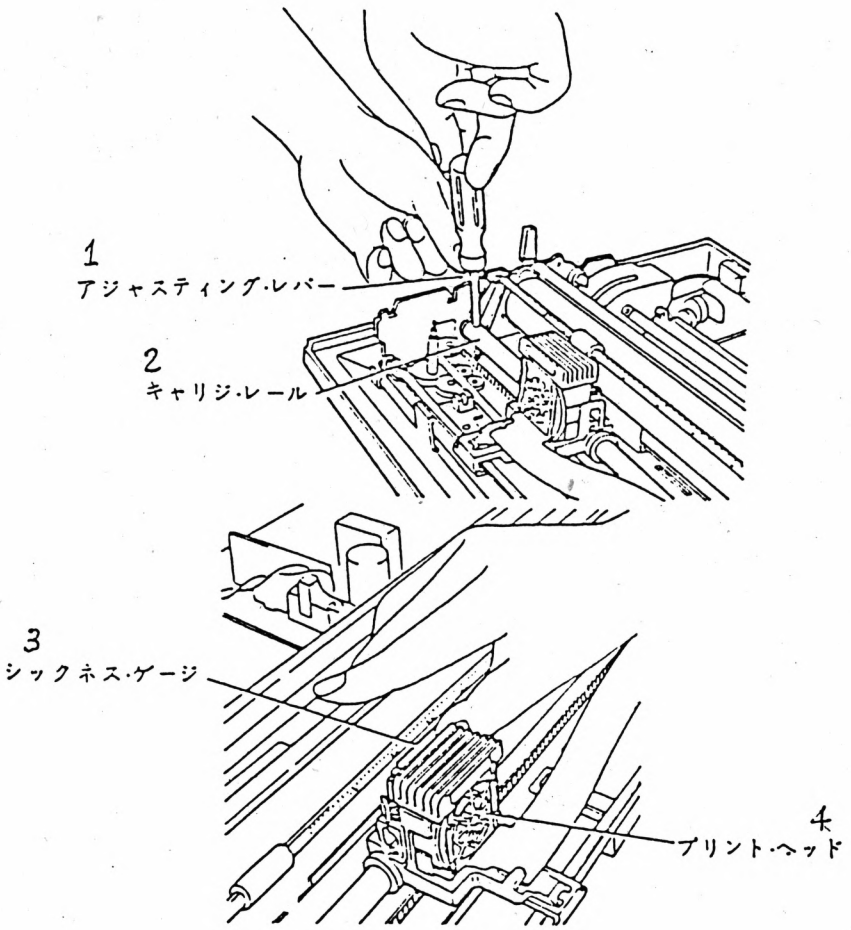


图14

(6) 间隙调整好以后，应拧好托架导轨的紧固螺母

注1 把改锥插入托架导轨的通孔以进行转动

注2 如果螺母拧得太紧，则调节柄的活动就会不畅

(1) 小于通孔直径的改锥

(2) 托架导轨的紧固螺母

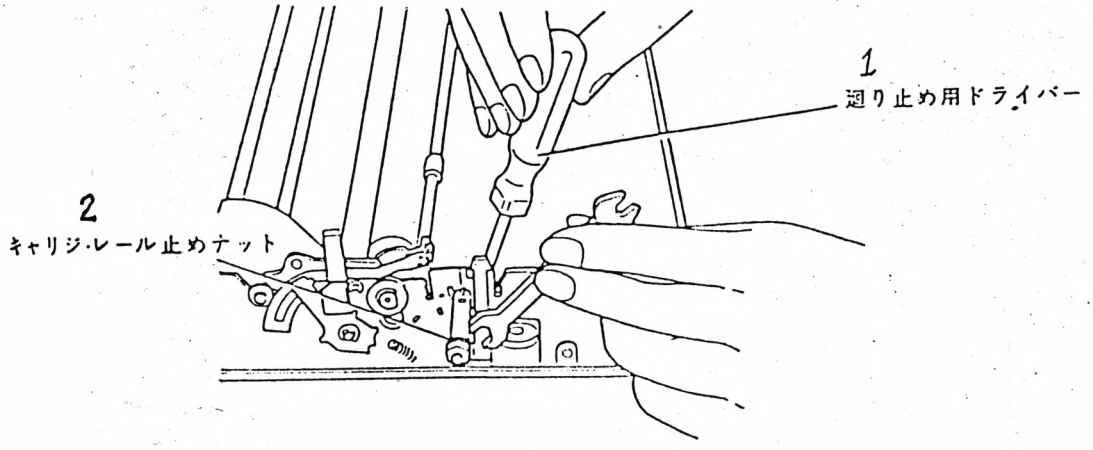


图15

[组装]

(1) 装好托架的色带保护片后，再装打印头

2-3-6　大胶滚的拆卸、组装

使用工具

十字改锥

平口改锥

[拆卸]

(1)　取下外壳

(2)　取下大胶滚左端的垫圈外的E卡圈(E6)，然后取下垫圈

(1)　大胶滚

(2)　E卡圈

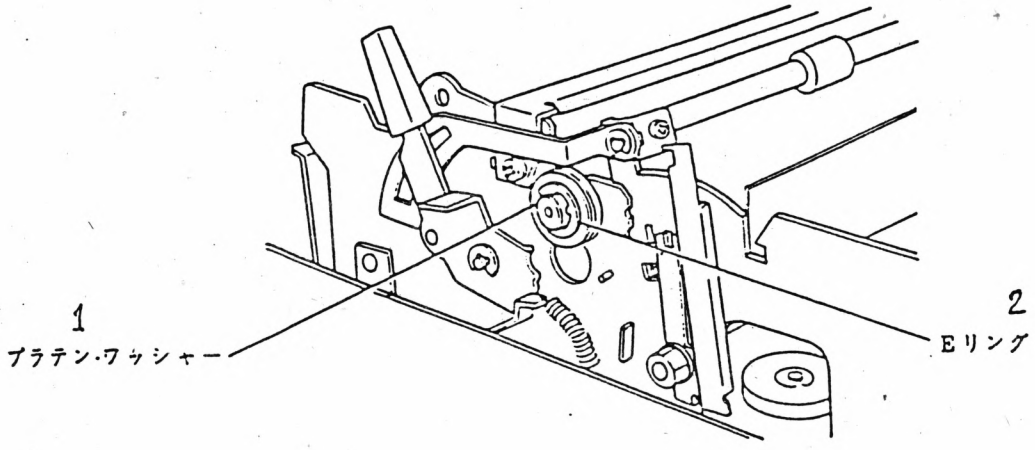


图16

(3)　卸下固定色带保护片的2颗螺钉(M3×4)，然后取下保护片

(4)　挪开左右两侧的大胶滚固定档圈，将大胶滚向上拔出

(1) 色带保护片

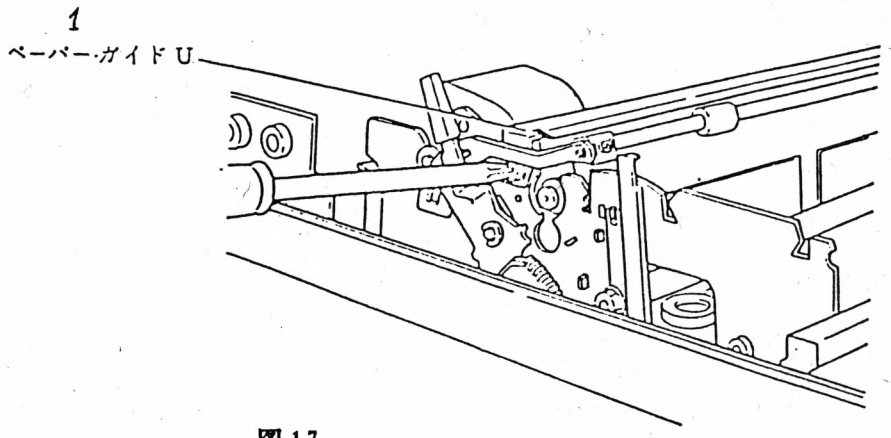


图17

[组装]

(1) 按拆卸的相反顺序进行。

注：当选择柄置于“FRI”的位置时，选择柄和连接杆之间的距离应确定为0.3mm～0.7mm
（调整时将选择柄的制动部分弯曲即可）

(1) 选择柄
(2) 连接杆

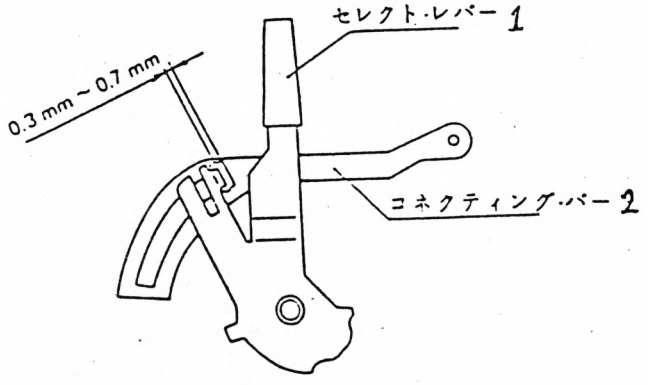


图18

2-3-7　走纸马达的拆卸、组装

使用工具

平口改锥

十字改锥

[拆卸]

(1) 拆下外壳

(2) 取下机械部件

(3) 卸下固定马达的螺钉(2颗)

(4) 卸下固定导线用的结线带

(5) 拔下连到电路板的插头

(1) 走纸马达

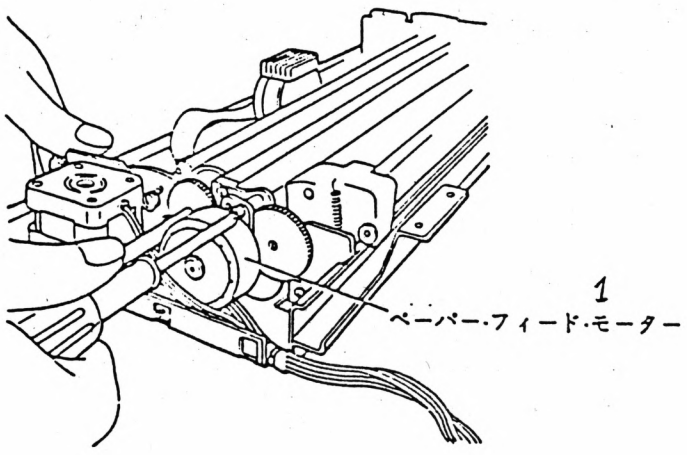


图19

[组装]

(1) 按与拆卸相反的顺序进行。

注：装入走纸马达时，应在齿轮间留一些间隙，但是若间隙留得过大，则走纸螺距的精度将受到影响。

2-3-8　导纸器的拆卸、组装

使用工具

十字改锥

平口改锥

[拆卸]

(1)　取下顶罩

(2)　卸下牵引轴两侧的固定轴承用的“E”卡圈

(1)　牵引轴　　(2)　轴承

(3)　U(上面)导纸器　　(4)　“E”卡圈

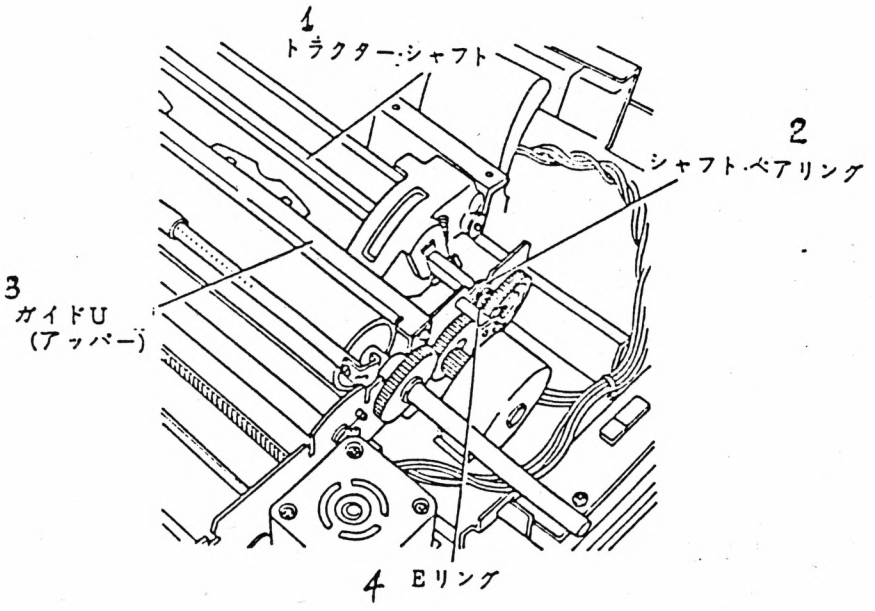


图20

(3) 向外撑开牵引轴的轴承(左右2个)

(4) 取下走纸导纸器U的固定螺钉(M3×4)，然后取下走纸导纸器

(5) 向斜后方拔出牵引轴

(6) 从牵引轴上拔下轴承和导纸器导引块

［组装］

(1) 按与拆卸相反的顺序进行

注：在往牵引轴上装入左右两个导纸器导引块时，应将导纸器支架的凸印置于同一位置。